

用户手册

G32R430

基于 Cortex-M52 内核的 32 位编码器专用 MCU

版本：V1.1

目录

1	简介及文档描述规则	7
1.1	简介	7
1.2	文档描述规则	7
2	系统架构	11
2.1	术语全称、缩写描述	11
2.2	简介	11
2.3	主要特征	11
2.4	系统架构框图	12
2.5	地址映射	12
2.6	存储器映射	13
2.7	启动配置	14
3	运算加速器（TMU）	15
4	FLASH 存储器	16
4.1	术语全称、缩写描述	16
4.2	简介	16
4.3	主要特征	16
4.4	FLASH 存储器结构	18
4.5	FLASH 存储器功能说明	19
4.6	寄存器地址映射	25
4.7	寄存器功能描述	26
5	复位与时钟（RCM）	32
5.1	术语全称、缩写描述	32
5.2	复位管理单元（RMU）	32
5.3	时钟管理单元（CMU）	34
5.4	寄存器地址映射	40
5.5	寄存器功能描述	40
6	电源管理单元（PMU）	51
6.1	术语全称、缩写描述	51
6.2	简介	51
6.3	结构框图	51
6.4	功能描述	51

6.5	寄存器地址映射	59
6.6	寄存器功能描述	59
7	备份域单元 (BKP)	63
7.1	寄存器地址映射	63
7.2	寄存器功能描述	63
8	嵌套向量中断控制器 (NVIC)	64
8.1	术语全称、缩写描述	64
8.2	简介	64
8.3	主要特征	64
8.4	中断和异常向量表	64
9	外部中断/事件控制器 (EINT)	67
9.1	简介	67
9.2	主要特征	67
9.3	功能描述	67
9.4	寄存器地址映射	69
9.5	寄存器功能描述	70
10	直接存储访问 (DMA)	73
10.1	简介	73
10.2	主要特征	73
10.3	功能描述	73
10.4	寄存器地址映射	77
10.5	寄存器功能描述	77
11	调试 MCU (DBGMCU)	85
11.1	术语全称、缩写描述	85
11.2	简介	85
11.3	主要特征	85
11.4	功能描述	85
11.5	寄存器地址映射	86
11.6	寄存器功能描述	86
12	通用输入/输出引脚 (GPIO)	88
12.1	术语全称、缩写描述	88
12.2	主要特征	88
12.3	结构框图	89

12.4	功能描述	89
12.5	寄存器地址映射	95
12.6	寄存器功能描述	96
13	定时器概述.....	101
13.1	术语全称、缩写描述	101
13.2	定时器类别及主要差异	101
14	高级定时器（TMR1）	105
14.1	简介	105
14.2	主要特征	105
14.3	结构框图	106
14.4	功能描述	106
14.5	寄存器地址映射	122
14.6	寄存器功能描述	123
15	通用定时器（TMR2/3/4）	142
15.1	简介	142
15.2	主要特征	142
15.3	结构框图	143
15.4	功能描述	143
15.5	寄存器地址映射	155
15.6	寄存器功能描述	156
16	低功耗定时器（LPTMR）	171
16.1	简介	171
16.2	主要特征	171
16.3	功能描述	171
16.4	寄存器地址映射	172
16.5	寄存器功能描述	172
17	看门狗定时器（WDT）	174
17.1	简介	174
17.2	独立看门狗定时器（IWDT）	174
17.3	窗口看门狗定时器（WWDT）	176
17.4	IWDT 寄存器地址映射	177
17.5	IWDT 寄存器功能描述	178
17.6	WWDT 寄存器地址映射	179

17.7	WWDT 寄存器功能描述	179
18	实时时钟（RTC）	181
18.1	术语全称、缩写描述	181
18.2	简介	181
18.3	主要特征	181
18.4	结构框图	181
18.5	功能描述	182
18.6	寄存器地址映射	183
18.7	寄存器功能描述	183
19	通用同步异步收发器（USART）	187
19.1	术语全称、缩写描述	187
19.2	简介	187
19.3	主要特征	187
19.4	功能描述	188
19.5	寄存器地址映射	201
19.6	寄存器功能描述	201
20	内部集成电路接口（I2C）	210
20.1	术语全称、缩写描述	210
20.2	简介	210
20.3	主要特征	210
20.4	结构框图	212
20.5	功能描述	212
20.6	寄存器地址映射	218
20.7	寄存器功能描述	219
21	串行外设接口（SPI）	228
21.1	术语全称、缩写描述	228
21.2	简介	228
21.3	主要特征	228
21.4	SPI 功能描述	229
21.5	BISS-C 功能描述	239
21.6	寄存器地址映射	239
21.7	寄存器功能描述	240
22	16 位模数转换器（16-BIT ADC）	246

22.1	术语全称、缩写描述	246
22.2	简介	247
22.3	主要特征	247
22.4	功能描述	248
22.5	寄存器地址映射	294
22.6	寄存器功能描述	294
23	12 位模数转换器（12-BIT ADC）	315
23.1	主要特征	315
23.2	功能描述	315
23.3	寄存器地址映射	328
23.4	寄存器功能描述	329
24	数模转换器（DAC）	343
24.1	简介	343
24.2	主要特征	343
24.3	结构框图	343
24.4	功能描述	344
24.5	寄存器地址映射	349
24.6	寄存器功能描述	349
25	温度传感器（TS）	353
25.1	简介	353
25.2	主要特征	353
25.3	结构框图	353
25.4	功能描述	353
25.5	寄存器地址映射	354
25.6	寄存器功能描述	354
26	比较器（COMP）	356
26.1	术语全称、缩写描述	356
26.2	简介	356
26.3	主要特征	356
26.4	结构框图	357
26.5	功能描述	357
26.6	寄存器地址映射	359
26.7	寄存器功能描述	359

27	芯片电子签名	367
27.1	简介	367
27.2	功能描述	367
27.3	寄存器功能描述	367
28	版本历史	369

1 简介及文档描述规则

1.1 简介

本用户手册向应用程序开发人员提供关于如何使用 MCU（微控制器）系统架构、存储器和外设所涉及的全部信息。

关于 Arm® Cortex®-M52 内核的相关信息，请参考 Arm® Cortex®-M52 技术参考手册；关于型号信息、尺寸和器件的电气特性等详细数据请参考对应的数据手册（datasheet）；有关 MCU 系列全部型号中，存储器映射、外设存在情况及其数目请查阅相应的数据手册。

在此说明：珠海极海半导体有限公司，在以下正文中，简称“Geehy”。

1.2 文档描述规则

1.2.1 “寄存器功能描述”规则

- (1) 控制类（CTRL）寄存器，未特别说明，都是“软件置 1 和清 0”。
- (2) 控制类寄存器后面一般会有动词缩写以作区别，动词可以有：EN-Enable、CFG-Configure、D-Disable、SET-Setup、SEL-Select
- (3) 状态类寄存器缩写后面一般会有 FLG 以作区别。
- (4) 数值、数据类寄存器，一般会包括 V、VALUE、D、DATA，这些词后面不加动词，比如：xxPSC，CNT，后面一般不添加动词。

1.2.2 术语全称、缩写描述

表格 1 R/W 方式缩写及描述

R/W 方式	描述	缩写
read/write	软件能读写此位。	R/W
read-only	软件只能读此位。	R
write-only	软件只能写此位，读此位将返回复位值。	W
read/clear	软件可以读此位，也可以通过写 1 清除此位，写 0 对此位无影响。	RC_W1
read/clear	软件可以读此位，也可以通过写 0 清除此位，写 1 对此位无影响。	RC_W0
read/clear by read	软件可以读此位，读此位将自动地清除它为 0，写该位无效。	RC_R
read/set	软件可以读也可以设置此位，写 0 对此位无影响。	R/S
read-only write trigger	软件可以读此位，写 0 或 1 触发一个事件但对此位数值没有影响。	RT_W
toggle	软件只能通过写 1 来翻转此位，写 0 对此位无影响。	T
Read Returns 0s	读取返回 0	R-0
Write 1 to set	写 1 设置	W1S
Write 1 to clear	写 1 清除	W1C
Write once	写一次	WOnce

R/W 方式	描述	缩写
Write Set once	写设置一次	WSonce
Write once	能写入一次此位	WO

表格 2 常用寄存器功能描述术语全称、缩写

中文全称	英文全称	英文缩写
使能	Enable	EN
禁止	Disable	D
清除	Clear	CLR
选择	Select	SEL
配置	Configure	CFG
控制	Control	CTRL
控制器	Controller	C
复位	Reset	RST
停止	Stop	STOP
设置	Set	SET
装载	Load	LD
校准	Calibration	CAL
初始化	Initialize	INIT
错误	Error	ERR
状态	Status	STS
准备	Ready	RDY
软件	Software	SW
硬件	Hardware	HW
源	Source	SRC
系统	System	SYS
外设	Peripheral	PER
地址	Address	ADDR
方向	Direction	DIR
时钟	Clock	CLK
输入	Input	I
输出	Output	O
中断	Interrupt	INT
数据	Data	DATA

中文全称	英文全称	英文缩写
大小	Size	SIZE
除法器	Divider	DIV
预分频器	Prescaler	PSC
乘法器	Multiplier	MUL
周期	Period	PRD

表格 3 模块全称、简写

中文全称	英文全称	英文缩写
静态存储控制器	Static Memory Controller	SMC
复位与时钟管理单元	Reset and Clock Management Unit	RCM
电源管理单元	Power Management Unit	PMU
嵌套向量中断控制器	Nested Vector Interrupt Controller	NVIC
外部中断/事件控制器	External Interrupt /Event Controller	EINT
直接存储器存取	Direct Memory Access	DMA
调试 MCU	Debug MCU	DBG MCU
通用输入/输出引脚	General-Purpose Input Output Pin	GPIO
复用功能输入/输出引脚	Alternate Function Input Output Pin	AFIO
定时器	Timer	TMR
看门狗定时器	Watchdog Timer	WDT
独立看门狗	Independent Watchdog Timer	IWDT
窗口看门狗	Windows Watchdog Timer	WWDT
实时时钟	Real-Time Clock	RTC
通用同步异步收发器	Universal Synchronous Asynchronous Receiver Transmitter	USART
内部集成电路接口	Inter-Integrated Circuit Interface	I2C
串行外设接口	Serial Peripheral Interface	SPI
片上音频接口	Inter-IC Sound Interface	I2S
四线串行外围接口	Quad Serial Peripheral Interface	QSPI
控制器局域网	Controller Area Network	CAN
安全数字输入输出	Secure Digital Input and Output	SDIO
全速 USB 接口	Universal Serial Bus Full-Speed Device	USB
模拟数字转换器	Analog-to-Digital Converter	ADC
比较器	Comparator	COMP
循环冗余校验计算单元	Cyclic Redundancy Check Calculation	CRC

中文全称	英文全称	英文缩写
浮点运算单元	Float Point Unit	FPU

2 系统架构

2.1 术语全称、缩写描述

表格 4 术语全称、缩写描述

中文全称	英文全称	英文缩写
高级高性能总线	Advanced High-Performance Bus	AHB
高级外围总线	Advanced Peripheral Bus	APB

2.2 简介

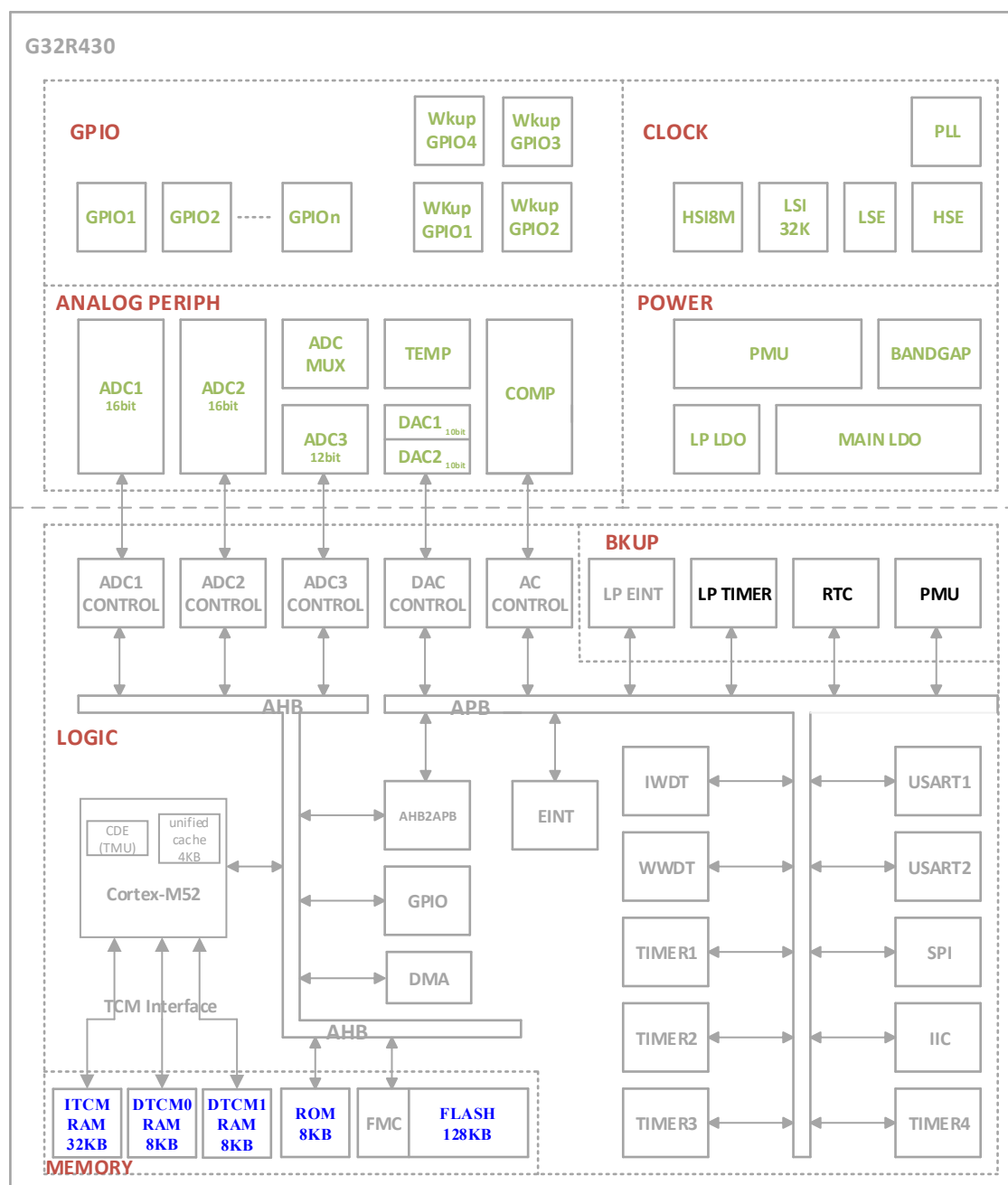
G32R430 采用基于 ARM V8.1-M 架构高性能低功耗的 Cortex-M52 作为产品内核，是针对高精度磁电式/光电式绝对值位置编码器应用定制的数模混合 MCU。

2.3 主要特征

- (1) 全温全压最高主频 128MHz
- (2) 4.3 CoreMark/MHz 和 1.6 DMIPS/MHz
- (3) 支持超低功耗模式
- (4) 支持 TMU 三角函数计算加速接口
- (5) 支持 I/D TCM 接口扩展紧耦合内存
- (6) 支持 4KB 的 I/D Cache
- (7) 支持 32 位定点运算
- (8) 支持嵌套矢量中断控制器 (NVIC)
- (9) 支持 SWD 调试接口

2.4 系统架构框图

图 1 G32R430 系统架构框图



2.5 地址映射

表格 5 存储器映射及寄存器地址

区域	地址范围	大小	外设名称
AHB 总线	0x4002 1800 - 0x4002 1BFF	1KB	GPIO
	0x4002 1400 - 0x4002 17FF	1KB	ADC3 (12bit)

区域	地址范围	大小	外设名称
	0x4002 1000 - 0x4002 13FF	1KB	ADC2 (16bit)
	0x4002 0C00 - 0x4002 0FFF	1KB	ADC1 (16bit)
	0x4002 0800 - 0x4002 0BFF	1KB	FLASH Interface
	0x4002 0400 - 0x4002 07FF	1KB	RCM
	0x4002 0000 - 0x4002 03FF	1KB	DMA
APB 总线	0x4000 5800 - 0x4000 5BFF	1KB	DBGMCU
	0x4000 3C00 - 0x4000 3FFF	1KB	TS
	0x4000 3B00 - 0x4000 3BFF	256Bytes	LPTMR
	0x4000 3A00 - 0x4000 3AFF	256Bytes	RTC
	0x4000 3830 - 0x4000 39FF	208Bytes	BKP
	0x4000 3800 - 0x4000 382F	48Bytes	PMU
	0x4000 3400 - 0x4000 37FF	1KB	COMP
	0x4000 3000 - 0x4000 33FF	1KB	DAC2
	0x4000 2C00 - 0x4000 2FFF	1KB	DAC1
	0x4000 2800 - 0x4000 2BFF	1KB	EINT
	0x4000 2400 - 0x4000 27FF	1KB	IWDT
	0x4000 2000 - 0x4000 23FF	1KB	WWDT
	0x4000 1C00 - 0x4000 1FFF	1KB	I2C
	0x4000 1800 - 0x4000 1BFF	1KB	USART2
	0x4000 1400 - 0x4000 17FF	1KB	USART1
	0x4000 1000 - 0x4000 13FF	1KB	SPI
	0x4000 0C00 - 0x4000 0FFF	1KB	TMR4
	0x4000 0800 - 0x4000 0BFF	1KB	TMR3
	0x4000 0400 - 0x4000 07FF	1KB	TMR2
	0x4000 0000 - 0x4000 03FF	1KB	TMR1
代码	0x2000 0000 - 0x2000 3FFF	16KB	DTCM
	0x0800 0000 - 0x0801 FFFF	128KB	FLASH
	0x1FFF 0000 - 0x1FFF 000F	16Bytes	Option Bytes
	0x0010 0000 - 0x0010 1FFF	8KB	System Memory
	0x0000 0000 - 0x0000 7FFF	32KB	ITCM

2.6 存储器映射

存储器映射分配的地址包括内核（包括内核外设）、片上 **Flash**（包括主存储区、系统存储区、选项字节）、片上 **SRAM**（DTCM）、ITCM、总线外设（包括 AHB、APB 外设），各类地址具体信息请参考对应型号的数据手册。

2.6.1 TCM

TCM 是与内核紧密耦合的存储器，拥有更快的访问速度，通常用于存放需要高速

访问或低延迟要求的关键代码和数据。G32R430 具有 16KB 的 DTCM 和 32KB 的 ITCM，它们可以以字节、半字（16 位）或全字（32 位）访问：

- 16KB DTCM，地址范围是 0x2000 0000 ~ 0x2000 3FFF
- 32KB ITCM，地址范围是 0x0000 0000 ~ 0x0000 7FFF

这些存储器可以在最大 CPU 时钟频率下寻址，等待周期为 0，CPU 和 DMA 都可以寻址。当使用 DMA 寻址 ITCM 时，需要增加 0x20004000 的地址偏移，也可以说，通过 DMA 访问 ITCM 时，0x20004000~0x2000BFFF 是 ITCM 的地址映射区。

TCM 存储器与内核紧密耦合，拥有更快的访问速度，通常用于存放需要高速访问或低延迟要求的关键数据。

2.7 启动配置

G32R430 支持从多个存储区启动，用户通过配置 Option Bytes 的 BOOTADDR[15:0]位进行启动方式选择。

- 从主存储器启动
- 从 BootLoader 启动

表格 6 启动模式配置及其访问方式

BOOTADDR[15:0]配置	启动模式	访问方式
0x4000	主存储器启动（Flash）	从主存储区启动
0x0080	系统存储器	从系统存储区启动
0x8000	DTCM	从地址为 0x20000000 开始的 DTCM 区启动
0x0000	ITCM	从地址为 0x00000000 开始的 ITCM 区启动

注意：若从 BootLoader 启动，用户可使用串口接口重新编程用户 Flash。

内嵌的 BootLoader

在嵌入式 BootLoader 模式下，用户可以选择通过以下任意一种串行接口重新编程 Flash：

- USART1（PB6/PB9）
- USART2（PD5/PD9）

3 运算加速器 (TMU)

有关三角法数学单元 (TMU) 的内容请查阅《G32R430 数据手册》中的 TMU 章节。

4 Flash 存储器

4.1 术语全称、缩写描述

表格 7 术语全称、缩写描述

中文全称	英文全称	英文缩写
闪存存储器控制器	Flash Memory Controller	FMC
一次性可编程（存储器区）	One-time Programmable	OTP
存储器加速器	Flash Accelerator	FACC

4.2 简介

Flash 接口管理 CPU AHB ICode 对 Flash 的访问。实现了闪存的擦除和编程操作以及读写保护机制。闪存接口通过指令预取和缓存行系统加速代码执行。

本章主要介绍 Flash 的存储结构、读、擦、写、读/写保护、解锁/锁定特性，及涉及到的寄存器功能描述。

4.3 主要特征

（1）Flash 存储器结构

Flash 存储器的区域划分、对应 NVR 和用途如下表所示：

表格 8 FLASH 对应区域

区域	大小（bytes）	对应 NVR	用途
Main memory	256（sector）x512（byte）=128KB		Main flash memory，存储代码
FLASH TRIM	512byte	NVR0	FLASH TRIM 自留区域。 存储 eflash IP 相关参数。上电 EFC 自动将参数加载到 eflash IP。 不向用户开放。
Option byte	512byte（前 3 个字节）	NVR1	RDP 代码保护 1、RDP[7:0] Level 0: 0xAA，无保护 Level 1: 非 0xCC、0xAA 的值，调试接口无法访问内部 RAM 或者 FLASH 程序区和 Data Flash 区； Level 2: 0xCC，禁止调试口，禁止从 RAM 区域 BOOT 当试图在 level1 条件下修改 RDP 为 level0 时，会擦除 Flash 程序区 Boot 配置和看门狗使能、FLASH 写保护锁等 BOOT_ADDR

区域	大小 (bytes)	对应 NVR	用途
			2、FLASH-Main 区域写保护锁区域配置 WLOCK[7:0] FLASH 程序区被逻辑上分成 8 个 bank，每个 bank 大小为 32 个 sector，即 16KB 大小，每个 bank 空间都可独立设置擦写保护 WLOCK[i] 0：该区域的 sector 写保护使能 1：该区域的 sector 写保护禁止 3、FLASH-Main 区域写保护锁总开关 WLOCKEN 0x33：禁止 WLOCK 其他：使能 WLOCK 4、IWDTEN/WWDTEN 看门狗使能 5、PVDEN 和 PVDVSEL 选择
SYSTEM INFO	1K byte	NVR2~3	IP trim 参数、芯片信息、测试模式使能、CP 模式使能、FLASHBIST 模式使能等参数存放区。上电后，控制器自动将该参数加载到寄存器。 该区域通过特殊序列进行写和擦除。

(2) 功能说明

Eflash 控制器主要完成以下功能：

- Flash 的读写保护处理。
- 实现 MCU 与 Flash 之间的读写数据。
- 对 Flash 进行 sector 擦除、main 擦除。
- Main array sector 支持 sector、main 擦除。
- NVR sector 只支持 sector 擦除。

(3) 上电后自动加载初始化信息。

- 上电复位后，硬件自动加载 NVR0 的信息到 eflash IP。
- 上电复位后，硬件自动加载 NVR1 的 option byte 信息到 eflash IP。
- 上电复位后，硬件自动加载 NVR2~3 的信息到系统 trim 相关寄存器。

(4) Flash 特性：

- 高达 128 Kbyte 的闪存块
- 闪存读取操作与 32 位数据宽度
- 单页擦除和整片擦除
- 在 $T_j=125^{\circ}\text{C}$ 下的最小写入擦除周期为 100,000 个周期
- 在 $T_j=125^{\circ}\text{C}$ 下数据保留时间超过 10 年

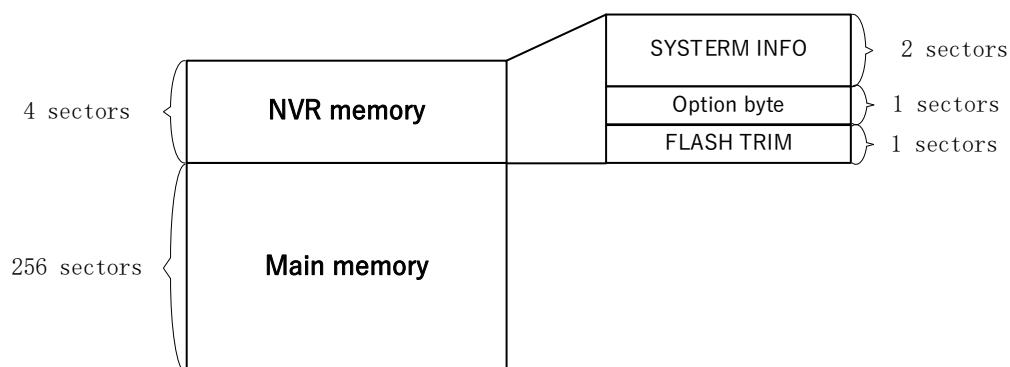
(5) Flash 接口特性：

- 闪存读取操作
- 闪存写入/擦除操作
- 由选项字节激活的读保护 (RDP)
- 由选项字节选择的 2 片写保护区域

- 由选项字节定义的专有代码读保护区
- 支持在 ICODE 预取加速
- 选项字节加载器
- 低功耗模式

4.4 Flash 存储器结构

图 2 eflash 的地址映射



表格 9Flash 存储器结构

块	名称	地址范围	大小 (字节)	扇区
主存储块		0x0800 0000 - 0x0800 01FF	512	扇 0
		0x0800 0200 - 0x0800 03FF	512	扇 1
		0x0800 0400 - 0x0800 05FF	512	扇 2
				
		0x0801 FE00 - 0x0801 FFFF	512	扇 255
信息块	Option-bytes (NVR1)	0x1FFF 0000 - 0x1FFF 001F	32	-
	SYSTEM INFO (NVR2~NVR3)	0x0802 0000~0x0802 03FF	1K	-
	FLASH TRIM	0x1FFF 0200~0x1FFF 03FF	512	-

图 3 模块框图

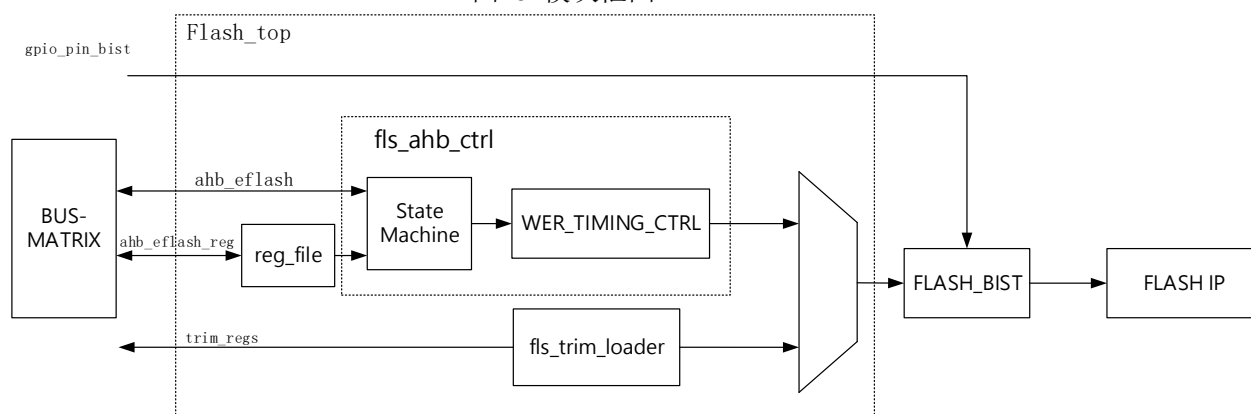
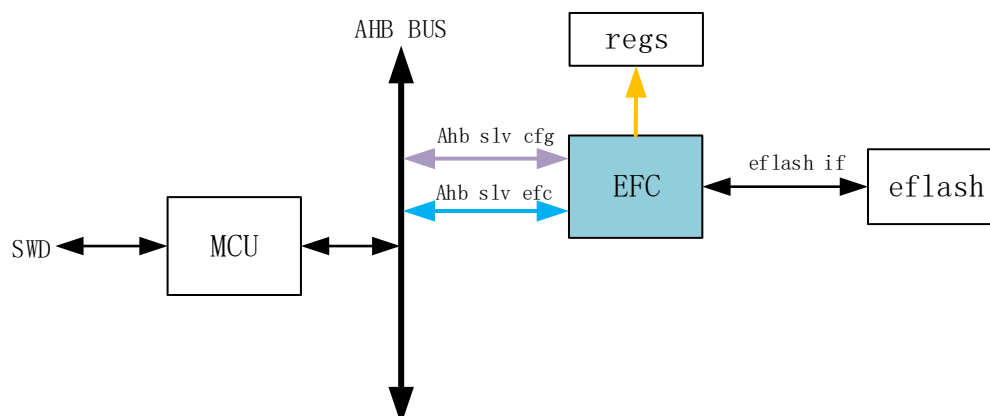


图 4 数据流框图



4.5 Flash 存储器功能说明

4.5.1 读取 Flash

Flash 等待周期的设置与 f_{HCLK} 的关系:

- 0~32MHz: 0 个等待周期
- 32~64MHz: 1 个等待周期
- 64~96MHz: 2 个等待周期
- 96~128MHz: 3 个等待周期

提升主频时, 需要先配置 FLASH_CR2 寄存器的 RDWAIT[3:0]位, 然后再升频;
反之降低主频时, 需要先降频, 再配置 RDWAIT[3:0]位。

4.5.2 主存储块

在对主存储区进行擦/写操作时, 不能再对 Flash 进行读取操作, 擦主存储块。

表格 10 不同区域的擦除方式

Main flash	Option bytes (NVR1)
Main/block/Sector	不支持

4.5.2.1 main 擦除

该操作只针对 main 区域, 步骤如下:

- (1) 检查 FLASH_SR 寄存器的 BUSY 位为 0, 以确认上次编程操作已经结束
- (2) 向 FLASH_KEY 寄存器写解锁序列 (0x96969696+0x3C3C3C3C), 解锁 flash 的 main 区域
- (3) 等待 FLASH_SR 寄存器的 MAINUNLOCK 位被硬件设置为 1
- (4) 设置 FLASH_CR1 寄存器的 ERTYPE[1:0]位为 10 或 11 (Main Erase)
- (5) 设置 FLASH_CR1 寄存器的 EREQ 位为 1

- (6) 向 FLASH 的 Main 区任意地址写入 0xA5A5
- (7) 等待 FLASH_SR 寄存器的 BUSY 位为 0，以及 ERD 位为 1
- (8) MCU 读取全部页并校验

4.5.2.2 main 区的 sector 擦除

- (1) 检查 FLASH_SR 寄存器的 BUSY 位，以确认上次编程操作已经结束
- (2) 向 FLASH_KEY 寄存器写解锁序列 (0x96969696+0x3C3C3C3C)，解锁 flash 的 main 区域
- (3) 等待 FLASH_SR 寄存器的 MAINUNLOCK 位被硬件设置为 1
- (4) 设置 FLASH_CR1 寄存器的 ERTYPE[1:0]位为 00 (Sector Erase)
- (5) 设置 FLASH_CR1 寄存器的 EREQ 位为 1
- (6) 向 FLASH 的 Main 区任意地址写入 0xA5A5
- (7) 等待 FLASH_SR 寄存器的 BUSY 位为 0，以及 ERD 位为 1
- (8) MCU 读取全部页并校验

4.5.2.3 写主存储块

- (1) 检查 FLASH_SR 寄存器的 BUSY 位为 0，以确认上次编程操作已经结束
- (2) 向 FLASH_KEY 寄存器写解锁序列 (0x96969696+0x3C3C3C3C)，解锁 flash 的 main 区域
- (3) 等待 FLASH_SR 寄存器的 MAINUNLOCK 位被硬件设置为 1
- (4) 设置 FLASH_CR1 寄存器的 PREQ 位为 1
- (5) 写任意数据 (字) 到 FLASH 的 Main 区的目标地址
- (6) 等待 FLASH_SR 寄存器的 BUSY 位为 0，以及 PRD 位为 1
- (7) MCU 读取该地址数据并校验

4.5.2.4 锁定/解锁

表格 11 eflash 解锁集合

		Main flash	Option bytes0 (NVR1)
FLASH_KEY	KEY1	0x9696_9696	
	KEY2	0x3C3C_3C3C	
FLASH_OPTKEY	KEY1		0xAAAA_BBBB
	KEY2		0x4455_6677

在对 Flash 擦写前需要进行 KEY 校验，每一个 KEY 都有一个顺序写入检测状态机，当写入顺序错误或写入值错误，或者在 FLASH_KEY/ FLASH_OPTKEY 寄

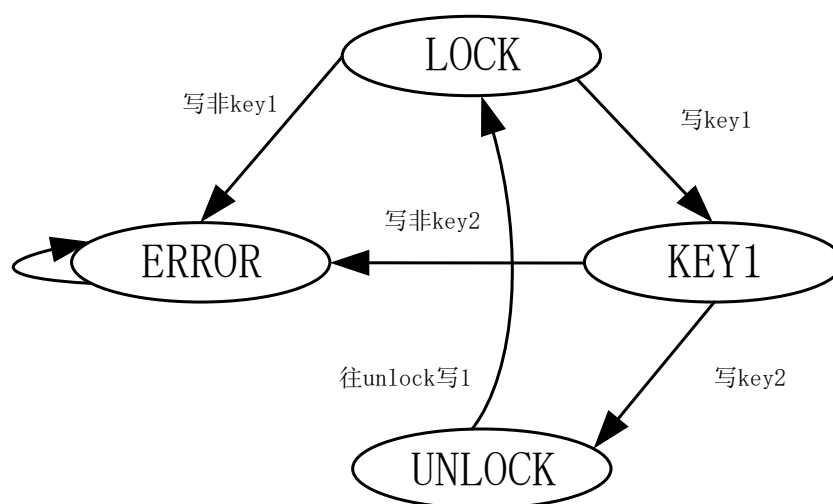
存器验证正确之前就进行擦除或编程 Flash 操作，将会进入错误状态，并产生相应中断。

例：主存储区正确顺序为：对 FLASH_KEY 寄存器先写入 0x9696_9696 再写入 0x3C3C_3C3C。其中：写入顺序错误指顺序相反，写入值错误指写入了其他值。发生错误会置位状态寄存器的 KEYERR 位。

FLASH_KEY/FLASH_OPTKEY 寄存器校验错误之后将禁止擦写对应区域直到下一次复位。

设置 FLASH_SR 寄存器的 SYSINFOUNLOCK、OPUNLOCK、MAINUNLOCK 位为 1，会重新对相应区域上锁。状态转换如下图：

图 5 状态转换



4.5.2.5 中断

在发生以下任一事件时，产生中断：

表格 12 FLASH 中断请求

中断事件	事件标志	使能控制位
操作结束	PRD/ERD	EOPIE
写保护错误	WRPRERR	ERRIE
KEY 错误	KEYERR	ERRIE
擦写错误	WADRERR	ERRIE

当使能控制位被置 1，且发生相应中断事件时，产生中断，事件标志位置 1。

4.5.3 选项字节

选项字节全部存储 NVR1 区域的前 4 个 32byte 字节，选项字节的默认值请参考 FLASH_OBSR 寄存器。

表格 13 选项字节格式

31-24	23-16	15-8	7-0
选项字节 1 反码	选项字节 1	选项字节 0 反码	选项字节 0

表格 14 选项字节说明

地址	位域	选项字节	功能描述
0x1FFF 0000	7:0	RDP	Level0: 无保护 RDP=0xAA nRDP=0x55 Level1 (默认): 任何非 (RDP=0xAA nRDP=0x55) 或 (RDP=0xCC nRDP=0x33) 的值 RDP 代码保护 Level2: 最高保护等级, RDP=0xCC nRDP=0x33
	15:8	nRDP	RDP 反码
	23:16	USER	USER[0]: 独立看门狗使能 0: 硬件使能看门狗 1: 需软件使能 USER[1]: 窗口看门狗使能 0: 硬件使能看门狗 1: 需软件使能 USER[2]: WLOCK 写保护总开关 0: 禁止 1: 使能 USER[3]: NMI_DIS 0: 芯片复位后, 禁止 NMI pin 功能 0: 芯片复位后, 使能 NMI pin 功能 USER[6:4]: 保留 USER[7]: ADTSLOAD ADCtrim 加载选 择配置位 0: 禁止, 不加载 trim 1: 使能, 加载 trim
	31:24	nUSER	USER 反码
0x1FFF 0004	7:0	WLOCK[7:0]	每一个 bit 对应 32 个 sector 的区域 0: 该 区域写保护使能 1: 该区域写保护禁止
	15:8	nWLOCK[7:0]	WLOCK 反码
	23:16	Reserverd	-
	31:24	Reserverd	-

地址	位域	选项字节	功能描述
0x1FFF C008	7:0	BOOTADDR[7:0]	BOOT_ADD0[15:0]对应系统地址的{bit29, bit[27:13]}, 缺失部分都为0; 引导基地址只支持从0x0000 0000到0x2000 BFFF的地址范围, 粒度为8KB。 BOOT_ADD0 = 0x0080, 0x0010_0000: 从系统内存引导 (0x00100000) BOOT_ADD0 = 0x4000: 从Flash引导 (0x0800 0000) BOOT_ADD0 = 0x8000: 从DTCM RAM引导 (0x2000 0000)
	15:8	nBOOT_ADDR[7:0]	BOOT_ADDR[7:0]反码
	23:16	BOOT_ADDR[15:8]	如上
	31:24	nBOOT_ADDR[15:8]	BOOT_ADDR[15:8]反码

注意: 原码与反码不匹配时, 按 Byte 进行匹配判断, 不匹配时按无效处理 (加载默认值), 且 TRIMERR 置位

每次系统复位后, 选项字节装载机 (OBL) 读信息块数据并且存储这些数据到相应的选项字节寄存器: FLASH_OPSR1 和 FLASH_OPSR2 中。每个选项字节都有其值的反码数据同样存放在信息块中, 其目的用于校验选项字节的正确性。当选项字节装载时, 硬件会检查选项字节的正确性, 若选项字节与其反码比较不一致时, 会产生选项字节校验错误 (OPTERR) 信息。

4.5.3.1 擦/写选项字节

在对选项字节进行操作前, 必须要解锁。选项字节编程

- (1) 读取 FLASH 的 option_bytes (NVR1) 区域中 RDP (地址 0x1FFF 0000)
- (2) 检查 FLASH_SR 寄存器的 BUSY 位为 0, 以确认上次编程操作已经结束
- (3) 向 FLASH_OPTKEY 写解锁序列 (0xAAAABBBB+0x44556677), 解锁 flash 的 Option bytes (NVR1) 区域
- (4) 检测 FLASH_SR 的 OPUNLOCK 位被硬件设置为 1
- (5) 对 FLASH_OBCR1 寄存器和 FLASH_OBCR2 寄存器写入 option_byte 相应位的缓存位
- (6) 设置 FLASH_OBCR1 寄存器的 OPBWREQ 位为 1
- (7) 硬件自动擦除 NVR1 区域, 然后将 FLASH_OBCR20/1 的缓存位信息更新到 option_byte 中
- (8) 等待 FLASH_SR 寄存器的 BUSY 位为 0 以及 OPBPRD 位被硬件设置为 1

- (9) 对系统重新上电或者设置 FLASH_CR1 寄存器的 OPRELOAD 位为 1（对此位写 1 需要同时对 FLASH_CR1 的高 16 位写入 0xA5A5 才能成功），FLASH_OBSR1 及 FLASH_OBSR2 寄存器的状态将更新

4.5.3.2 选项字节擦除

不支持选项字节的单独 sector 擦除，防止 RDP 被改写。

4.5.3.3 锁定/解锁

FLASH_SR 寄存器的 OPUNLOCK 位默认为 1，以此锁定选项字节区域。

将关键字 0xAAAA_BBBB 和 0x4455_6677 先后写入 FLASH_OPTKEY 寄存器，系统检测到解锁序列，会将 OPUNLOCK 位清零，此时选项字节就会解锁。

对 FLASH_SR 寄存器的 OPUNLOCK 置 1 会重新锁定选项字节区域。

4.5.4 写保护

写保护受 boot 模式、读保护等级和 FLASH_OPTSR1 寄存器的 WLOCK 和 WLOCKEN 位限制。

上电后，eflash 控制器自动从 option byte 区域加载 WLOCK 信息到 FLASH_OPTSR1 寄存器的 WLOCK 和 WLOCKEN 位中。

根据“保护状态和保护级别及运行模式对照表”，系统在读保护的前提下，进行写保护。

例：用户程序在整个主存储区进行读、擦除、写操作。但在擦除、写之前，需要先检查 WLOCK 的内容。如果该区域进行了写保护，擦除、写操作会失败，并且 WRPRTERR 置 1。如果对 main flash 程序区进行 main erase 时，WLOCK 存在写保护，则擦除不会成功，同时 WRPRTERR 置 1。

4.5.5 读保护

为了防止不受信任的代码读取 Flash 的数据，可选择对 Flash 使用读保护功能，通过配置 RDP 位域位的值，选择读保护级别。读保护有三种级别，分别是级别 0、级别 1、级别 2。

不同读保护级别下的访问限制如下表所示。

表格 15 保护状态和保护级别及运行模式对照表

区域	RDP 保护级别	用户代码执行			调试、DTCM 启动		
		读	写	擦除	读	写	擦除
Main flash/Data Flash	0	Y	Y	Y	Y	Y	Y
	1	Y	Y	Y	N	N	N
	2	Y	Y	Y	N	N	N
SYSTEM INFO	0	Y	Y3	Y3	Y	Y3	Y3
	1	Y	N	N	Y	N	N
	2	Y	N	N	N	N	N
	0	Y	Y	N4	Y	Y1	N4

区域	RDP 保护级别	用户代码执行			调试、DTCM 启动		
		读	写	擦除	读	写	擦除
Option bytes	1	Y	Y	N4	Y	Y1	N4
	2	Y	Y	N4	N	N	N
FLASH TRIM	0	Y	N	N	Y	N	N
	1	Y	N	N	Y	N	N
	2	Y	N	N	Y	N	N

注意:

- (1) 当加密等级从加密 1 改为加密 0 时, 会自动擦除 main flash。
- (2) 当级别 2 保护级别使能, 调试口被禁止。
- (3) Option byte 不支持单独擦除。
- (4) 在级别 1 等级下从 DTCM 启动无法读取或者修改 FLASH、BKP 寄存器内容, 在级别 2 等级下调试器无法读 FLASH、BKP 寄存器内容, 无法读写 DTCM。

4.5.5.1 级别 0: 无保护

当 RDP=0xAA nRDP=0x55 时, 表示不对 Flash 使用读保护功能。

4.5.5.2 级别 1: 读保护

当 RDP=任意值 (除 0xAA 和 0xCC 外), 读保护级别为 1。如果此时将级别调整回级别 0, 那么会执行片擦除操作, 将擦除主存储块的所有数据。片擦除只影响用户代码区域, 被写保护的其他选项字节和 OTP 不受影响。

4.5.5.3 级别 2: 无 debug 功能

当 RDP=0xCC nRDP=0x33 时, 读保护级别为 2。此时:

- 保留级别 1 的读保护功能
- 不允许从 RAM 或系统存储器自举
- SWV、ETM 和边界扫描被禁止

注意: 当读保护级别设置为 2 时, 不能再降级。

4.5.6 低功耗模式

Flash IP 提供 Deep Powerdown (DPD, 深度掉电) 模式以降低功耗, 以下方式可以让 FLASH-IP 进入低功耗。

PMU 控制 MCU 进入停机模式, 此时硬件将门控 FLASH 控制器的时钟, 从而使 FLASH 进入深度掉电模式。唤醒源使系统退出低功耗, FLASH 会自动退出深度掉电模式。

4.6 寄存器地址映射

表格 16 FMC 寄存器地址映射

寄存器名	描述	偏移地址
FLASH_KEY	关键字寄存器	0x00

寄存器名	描述	偏移地址
FLASH_OPTKEY	选项字节关键字寄存器	0x04
FLASH_SR	状态寄存器	0x08
FLASH_CR1	控制寄存器 1	0x0C
FLASH_CR2	控制寄存器 2	0x10
FLASH_TMCR	时基控制寄存器	0x18
FLASH_OBSR1	选项字节状态寄存器 1	0x20
FLASH_OBSR2	选项字节状态寄存器 2	0x24
FLASH_OBCR1	选项字节控制寄存器 1	0x28
FLASH_OBCR2	选项字节控制寄存器 2	0x2C

4.7 寄存器功能描述

4.7.1 关键字寄存器（FLASH_KEY）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	FKEY	W	Flash 关键字（Flash Key） 解锁时，需要将关键字输入进此寄存器。

4.7.2 选项字节关键字寄存器（FLASH_OPTKEY）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	OPTKEY	W	选项关键字（Option Key） 解锁时，需要将关键字输入进此寄存器。

4.7.3 状态寄存器（FLASH_SR）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:19	保留		
18	OPUNLOCK	RC_W1	选项字节区域锁定标志（Option byte area lock flag） 依次向 FLASH_OPTKEY 写入正确的 Flash 解锁值。 （0xAAAABBBB+0x44556677）后，该位被硬件置位为 1，此时才允许对选项字节区域进行擦除、编程操作。 该位只能由硬件置位为 1。 软件对此位写 1 可清零此位，然后重新对选项字节区进行上锁。
17	MAINUNLOCK	RC_W1	主程序区锁定标志（Main program area lock flag） 依次向 FLASH_KEY 写入正确的 Flash 解锁值。 （0x96969696+0x3C3C3C3C）后，该位被硬件置位为 1，此时才允许对 Flash 主程序存储区进行擦除、编程操作。

位/域	名称	R/W	描述
			该位只能由硬件置位为 1。 软件对此位写 1 可清零此位，然后重新对 FLASH 进行上锁。
16	TRIMERR	R	trim 校验错误 (Trim check error) TRIMLOAD 过程中 trim 信息出现正反码校验错误或者不符合固定数据的错误，此位由硬件置位为 1。 软件对此位写 1 可清零此位。 (仅针对 FLS_TRIM 区)
15	OPTERR	R	option_byte 正反码校验错误 (Option_byte forward and complement code check error) option_byte 不符合正反码校验时，此位由硬件置位为 1。 软件对此位写 1 可清零此位。
14	OPBPRD	RC_W1	option_byte 编程完成标志 (Option_byte programming completion flag) option_byte 编程完成时，此位由硬件置位为 1。 软件对此位写 1 可清零此位。
13:6	保留		
5	WADRERR	RC_W1	擦写错误 (Write And Erase Error) 擦除或者编程过程中，最后往目的地址写入数据产生错误时，此位硬件置位为 1，且本次擦除或编程不会生效。 下面几种情况都会造成错误： 1、FLASH KEY 解锁的目标区域未解锁或解锁区域和实际写入的区域不一致时，此位硬件自动置 1。 2、FLASH 编程目标地址为 option_byte0，但 FLASH_CR1 寄存器的 PREQ 位没有设置为 1 时，此位硬件自动置 1。 3、调试 (SWD) 在 RDP 为 level 1 时对非 option_byte 区域进行修改 (非 chip erase 的操作)，此位硬件自动置 1。 4、用户代码执行试图对 option byte0 进行修改，此位硬件自动置 1。 5、用户代码执行尝试对芯片进行 chip erase，此位硬件自动置 1。 6、擦除操作时，最后往目标地址写入的数据不是 0xA5A5 时，此位硬件自动置 1。 软件对此位写 1 可清零此位。
4	WRPRTER	RC_W1	写保护错误 (Write Protection Error) 对 Flash 写保护区域进行擦/写操作时，此位硬件置位为 1。 软件对此位写 1 可清零此位。 当 ERRIE 使能时，此位被硬件置位为 1 会产生中断。
3	KEYERR	RC_W1	Flash KEY 错误 (Flash Key Error) 发生 KEY 错误时此位由硬件置位为 1。 软件对此位写 1 可清零此位。
2	BUSY	R	忙碌 (Busy) Flash 正在执行操作时，此位硬件置位为 1。 Flash 空闲时，此位硬件置位为 0。
1	PRD	RC_W1	编程完成 (Program Done) 编程完成后此位由硬件置位为 1。 软件对此位写 1 可清零此位。
0	ERD	RC_W1	擦写完成 (Erase Done)

位/域	名称	R/W	描述
			擦写完成后此位由硬件置位为 1。 软件对此位写 1 可清零此位。

4.7.4 控制寄存器 1 (FLASH_CR1)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	OPRELOAD	R/W	选项字节强制更新 (Option byte force update) 当同时高 16 位写入的数据为 0xA5A5 时, 该位才能写入 1。 当被写为 1 时, 该位强制选项字节的重加载, 该操作会触发系统复位。 0: 无效 1: 有效
14:6	保留		
5	ERRIE	R/W	发生错误中断 (Error interrupt occur) 包括 WADRERR、WRPRTERR、KEYERR 在内的所有错误情况, 使能此位将产生中断。 0: 禁用 1: 使能
4	EOPIE	R/W	使能编程或擦除结束中断 (Program or erase to end the interrupt enable) 当 FLASH_SR 寄存器的 PRD 或者 ERD 位被硬件设置为 1, 表示编程或擦除结束, 使能此位将产生中断。 0: 禁用 1: 使能
3:2	ERTYPE[1:0]	R/W	Flash 擦除类型配置 (Flash erase type configure) 00: 扇区擦除 01: 块擦除 (8 个扇区, 共 4KB) 1x: 主存储区擦除 注意: 在 FLASH_SR 寄存器的 BUSY 位为 1 时, 该寄存器无法写入。
1	PREQ	R/W	编程请求 (Program Request) 软件置位为 1, 硬件完成编程后自动清零 注意: 当 EREQ 和 PREQ 同时置为 1 时, 硬件视为 EREQ 请求。
0	EREQ	R/W	擦除请求 (Erase Request) 软件置位为 1, 硬件完成擦除后自动清零。 注意: 当 EREQ 和 PREQ 同时置为 1 时, 硬件视为 EREQ 请求。

4.7.5 控制寄存器 2 (FLASH_CR2)

偏移地址: 0x10

复位值: 0x0000 0001

位/域	名称	R/W	描述
31:4	保留		
3:0	RDWAIT[3:0]	R/W	设置读 Flash-wait 时间 (Read Flash-wait time setting) 和主频有关 0000: 读 flash 无需等待

位/域	名称	R/W	描述
			0001: 读 flash 等待 1 个系统周期 0010: 读 flash 等待 2 个系统周期 0011: 读 flash 等待 3 个系统周期 0100: 读 flash 等待 4 个系统周期 0101: 读 flash 等待 5 个系统周期 0110: 读 flash 等待 6 个系统周期 ... 1111: 读 flash 等待 15 个系统周期 注意: 如果 SETUPMODE[1]为 0, RDWAIT 写入 0000 值, 则 RDWAIT 内部控制被保护成 1111, 总线读出值仍为原值。 主频≤32MHz: RDWAIT=0 32MHz<主频≤50MHz: RDWAIT=1

4.7.6 时基控制寄存器 (FLASH_TMCR)

偏移地址: 0x18

复位值: 0x0000 00FF

位/域	名称	R/W	描述
31:8			保留
7:0	UNIT[7:0]	R/W	FLASH 擦写时基控制 (FLASH erasure time base control) Flash 1us 单位计数器 (减 1 配置) 00000000: 1 个 cycle 00000001: 2 个 cycle 00000111: 8 个 cycle 11111111: 256 个 cycle 以 128MHz 为基准, 1us 需要 128 个 Cycle, 减 1 配置设置 UNIT 位为 0x7F; 实际使用中, 可以根据 eFlash 时钟频率进行 (FLASH 擦写状态下时钟不能低于 1MHz)。

4.7.7 选项字节状态寄存器 1 (FLASH_OBSR1)

偏移地址: 0x20

复位值: 0x00FF 03AA

位/域	名称	R/W	描述
31:24			保留
23:16	WLOCK	R	配置写保护 (Write protection configuration) 每一个 bit 对应一片存储区域 0: 使能该区域写保护 1: 禁止该区域写保护 bit0: 对应地址 0x0800_0000~0x0800_3FFF bit1: 对应地址 0x0800_4000~0x0800_7FFF bit2: 对应地址 0x0800_8000~0x0800_BFFF bit3: 对应地址 0x0800_C000~0x0800_FFFF bit4: 对应地址 0x0801_0000~0x0801_3FFF bit5: 对应地址 0x0801_4000~0x0801_7FFF bit6: 对应地址 0x0801_8000~0x0801_BFFF bit7: 对应地址 0x0801_C000~0x0801_FFFF

位/域	名称	R/W	描述
15	ADTSLOAD	R	配置 ADC TRIM 值加载 (ADC TRIM value loading configuration) 0: 软件加载 1: 硬件加载
14:12	保留		
11	NMIDIS	R	配置 NMI 引脚使能 (NMI pin enable configuration) 0: 芯片退出复位后 NMI 引脚禁止 1: 芯片退出复位后 NMI 引脚使能
10	WLOCKEN	R	WLOCK 写保护总开关 (WLOCK write protection main switch) 0: 禁用 1: 使能
9	WWDTSW	R	使能窗口看门狗 (Window watchdog enable) 0: 硬件使能看门狗 1: 软件使能看门狗
8	IWDTSW	R	使能独立看门狗 (Independent watchdog enable) 0: 硬件使能看门狗 1: 软件使能看门狗
7:0	RDP	R	保护等级 (protection class) Level0: 无保护, RDP=0xAA nRDP=0x55 Level1 (默认): 任何非 (RDP=0xAA nRDP=0x55) 或 (RDP=0xCC nRDP=0x33) 的值 RDP 代码保护 Level2: 最高保护等级, RDP=0xCC nRDP=0x33

4.7.8 选项字节状态寄存器 2 (FLASH_OBSR2)

偏移地址: 0x24

复位值: 0x0000 4000

位/域	名称	R/W	描述
31:16	保留		
15:0	BOOTADDR	R	Boot 基地址 (Boot base address) BOOTADDR[15:0]对应系统地址的{bit29, bit[27:13]}, 缺失部分都为 0; 基地址只支持从 0x00100000 到 0x2000 BFFF 的地址范围, 颗粒度为 8KB。 比如 BOOTADDR = 0x0080 对应 0x0010_0000: 从系统内存引导加载程序引导 (0x0010 0000) BOOTADDR = 0x4000: Boot from Flash (0x0800 0000) BOOTADDR = 0x8000: Boot from DTCM RAM (0x2000 0000)

4.7.9 选项字节控制寄存器 1 (FLASH_OBCR1)

偏移地址: 0x28

复位值: 0x0000 0300

位/域	名称	R/W	描述
31:25	保留		
24	OPBWREQ	R/W	OPT 请求 (OPT Request)
23:16	WLOCKBF	R/W	写保护配置写缓存 (Write protection configuration writes cache) 每一个 bit 对应一片存储区域 0: 该区域写保护使能 1: 该区域写保护禁止

位/域	名称	R/W	描述
			bit0: 对应地址 0x0800_0000~0x0800_3FFF bit1: 对应地址 0x0800_4000~0x0800_7FFF bit2: 对应地址 0x0800_8000~0x0800_BFFF bit3: 对应地址 0x0800_C000~0x0800_FFFF bit4: 对应地址 0x0801_0000~0x0801_3FFF bit5: 对应地址 0x0801_4000~0x0801_7FFF bit6: 对应地址 0x0801_8000~0x0801_BFFF bit7: 对应地址 0x0801_C000~0x0801_FFFF
15	ADTSLOADWBF	R/W	配置 ADC TRIM 值加载 (ADC TRIM value loading configuration) 0: 软件加载 1: 硬件加载
14:12	保留		
11	NMIDISWBF	R/W	配置 NMI 引脚使能 (NMI pin enable configuration) 0: 芯片退出复位后 NMI 引脚禁止 1: 芯片退出复位后 NMI 引脚使能
10	WLOCKENBF	R/W	使能 WLOCK 写保护总开关写缓存 (WLOCK write protection master switch write cache enabled) 0: 禁用 1: 使能
9	WWDTSWBF	R/W	窗口看门狗使能写缓存 (Window watchdog enable write cache) 0: 硬件使能看门狗 1: 软件使能看门狗
8	IWDTSWBF	R/W	独立看门狗使能写缓存 (Independent watchdog enable write cache) 0: 硬件使能看门狗 1: 软件使能看门狗
7:0	RDPWBF	R/W	保护等级写缓存 (Write cache for protection level) Level0: 无保护, RDP=0xAA nRDP=0x55 Level1 (默认): 任何非 (RDP=0xAA nRDP=0x55) 或 (RDP=0xCC nRDP=0x33) 的值 RDP 代码保护 Level2: 最高保护等级, RDP=0xCC nRDP=0x33

4.7.10 选项字节控制寄存器 2 (FLASH_OBCR2)

偏移地址: 0x2C

复位值: 0x0000 4000

位/域	名称	R/W	描述
31:16	保留		
15:0	BOOTADDRBF	R/W	Boot 基地址缓存 (Boot base address cache) BOOTADDR[15:0]对应系统地址的{bit29, bit[27:13]}, 缺失部分都为 0; 基地址只支持从 0x00100000 到 0x2000 BFFF 的地址范围, 颗粒度为 8KB。比如 BOOTADDR = 0x0080 对应 0x0010_0000: 从系统内存引导加载程序引导 (0x0010 0000)。 BOOTADDR = 0x4000: Boot from Flash (0x0800 0000) BOOTADDR = 0x8000: Boot from DTCM RAM (0x2000 0000)

5 复位与时钟（RCM）

5.1 术语全称、缩写描述

表格 17 术语全称、缩写描述

中文全称	英文全称	英文缩写
复位与时钟管理	Reset and Clock Management	RCM
复位	Reset	RST
上电复位	Power-On Reset	POR
掉电复位	Power-Down Reset	PDR
高速外部时钟	High Speed External Clock	HSECLK
低速外部时钟	Low Speed External Clock	LSECLK
高速内部时钟	High Speed Internal Clock	HSICLK
低速内部时钟	Low Speed Internal Clock	LSICLK
锁相环	Phase Locked Loop	PLL
主要时钟输出	Main clock output	MCO
校准	Calibrate	CAL
调整	Trim	TRM
时钟安全系统	Clock Security System	CSS
不可屏蔽中断	Non Maskable Interrupt	NMI

5.2 复位管理单元（RMU）

复位分为三类：系统复位、电源复位、备份区域复位。

5.2.1 系统复位

5.2.1.1 “系统复位”复位源

复位源分为外部复位源和内部复位源。

外部复位源：

- NRST 引脚上的低电平。

内部复位源：

- 窗口看门狗终止计数（WWDT 复位）
- 独立看门狗终止计数（IWDT 复位）
- 软件复位（SW 复位）
- 选项字节加载复位（选项字节加载产生的 system reset 不会复位 FLASH-Controller 的寄存器）
- CPU 死锁引起的异常系统复位

以上任一事件发生时，都能产生一个系统复位。另外，可以通过查看 RCM_RSTCSR（控制/状态寄存器）中的复位标志位识别复位事件来源。

系统复位时，会将除了 RCM_RSTCSR（控制/状态寄存器）的复位标志位和备份区域中的寄存器以外的所有寄存器复位到复位状态。

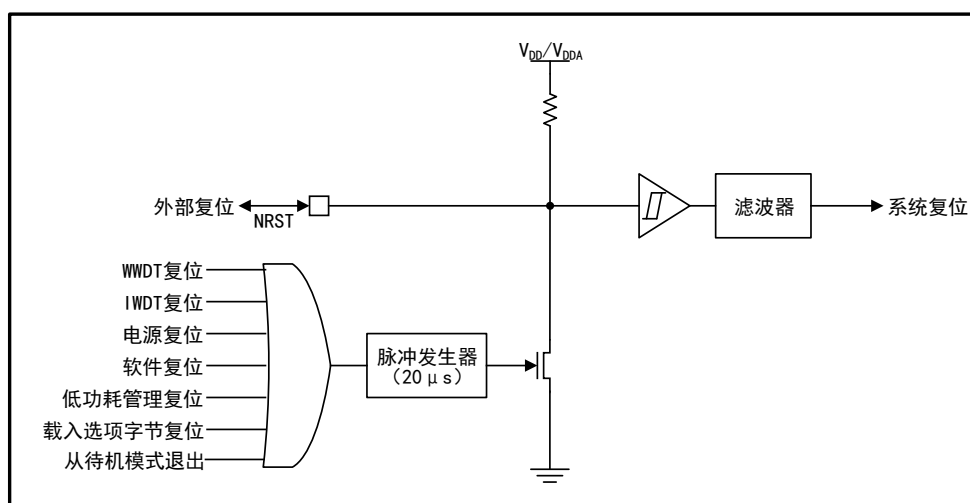
5.2.1.2 “系统复位” 复位电路

复位源均作用于 NRST 引脚，该引脚并在复位过程中保持低电平。

内部复位源通过脉冲发生器在 NRST 引脚产生延时至少 20μs 的脉冲，引起 NRST 保持电平产生复位；外部复位源则直接将 NRST 引脚电平拉低产生复位。

“系统复位” 复位电路见下图。

图 6 “系统复位” 复位电路



5.2.2 电源复位

“电源复位” 复位源

“电源复位” 复位源如下：

- 上电复位（POR）
- 断电复位（BOR）
- 从待机模式退出（被唤醒）

以上任一事件发生时，产生电源复位。

电源复位将复位除了备份区域外的所有寄存器。

5.2.3 备份域复位

“备份域复位” 复位源

“备份域复位” 复位源如下：

- 软件复位，设置 PMU_CR 寄存器中的 BDRST 位为 1
- 在 V_{DD} 掉电后，V_{DD} 又上电，产生备份域复位

以上任一事件发生时，产生备份域复位。

BKP 域有两个特定的复位。当发生以下事件之一时，会产生 BKP 域复位，该复位会复位 BACKUP 域的所有寄存器，包括 BKPC/RTC/LPTMR 在内的所有寄存器。

5.2.4 外设模块复位

除了 BACKUP 域内的 LPTMR 和 RTC 共用 PMU_CR 寄存器的 BDRST 位以软件复位外，其他所有 AHB 外设和 APB 外设都有相应的软件复位控制位，详见 RCM_AHBRST 和 RCM_APBRSR 寄存器描述。

5.3 时钟管理单元 (CMU)

整个系统支持 3 个主时钟源：

- HSICLK：8MHz 低速高速 RC 振荡器
- HSECLK：外部高速晶体振荡器
- PLL：最高 128MHz

32KHz 的低速内部 RC (LSI) 为独立的看门狗、低功耗定时器 LPTMR、RTC 0 供时钟 32.768KHz 外部晶振 (LSE) 可为 RTC 提供时钟，BKP 由 HSICLK 提供时钟。

每一个时钟源都可以被独立使能和禁止，所有外设时钟都配有相应的寄存器位控制使能或禁止，一旦独立看门狗 IWDG 被使能，即使其模块时钟控制位被禁止，也只有 IWDG 寄存器无法访问，其工作时钟无法被关闭。

FCLK 是 Cortex-M52 的 free-running 时钟，具体见 Arm 相关手册。关于时钟源的特性，请参考数据手册的“电气特性”中的相关章节。

5.3.1 外部时钟源

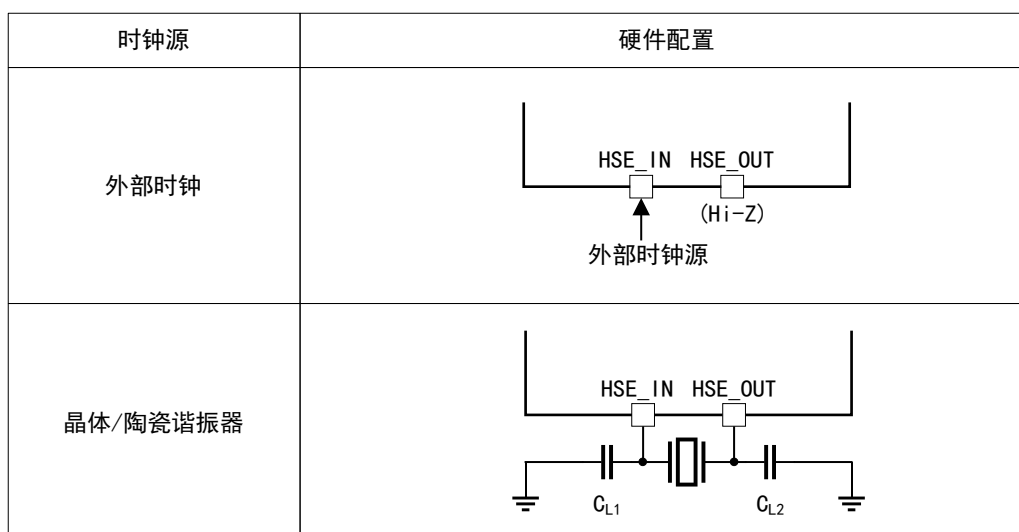
外部时钟信号包括 HSECLK (高速外部时钟信号) 和 LSECLK (低速外部时钟信号)。

外部的时钟源有两种：

- 外部晶体/陶瓷谐振器
- 用户外部时钟

两种时钟源的硬件配置如下图所示。

图 7 HSECLK/LSECLK 的时钟源硬件配置



为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容（ C_{L1} 、 C_{L2} ）的值必须根据所选择的振荡器来调整。

5.3.1.1 HSECLK 高速外部时钟信号

HSECLK 时钟信号由 HSECLK 外部晶体/陶瓷谐振器和 HSECLK 外部时钟两种时钟源产生。

表格 18 产生 HSECLK 的时钟源

名称	说明
外部时钟源（HSECLK 旁路）	通过 OSC_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50% 占空比的方波、正弦波或三角波，最高频率可达 26MHz。 硬件连接上，必须连到 HSE_IN 引脚，同时保证 HSE_OUT 引脚悬空（处于高阻态）；MCU 配置上，用户可通过设置在 RCM_RCCR 寄存器（时钟控制寄存器）中的 HSEBYPASS 和 HSEON 位来选择这一模式。
外部晶体/陶瓷谐振器（HSECLK 晶体）	通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。频率范围是 26MHz。 需要 HSE_IN、HSE_OUT 连接谐振器，可以通过设置时钟控制寄存器里 RCM_RCCR 寄存器中的 HSEON 位，使能和禁用。 在时钟控制寄存器 RCM_RCCR 寄存器中的 HSERDY 位用来指示高速外部振荡器是否稳定。在启动后，直到这一位被硬件设置为“1”，时钟才被释放出来。如果在 RCM_CIER（时钟中断使能寄存器）中设置 HSERDYIE 位为 1 以允许产生中断，将会产生相应中断，此时对应的 RCM_CICR（时钟中断标志寄存器）的 HSERDYF 位会被硬件设置为 1。

RCM_RCCR 寄存器的 HSERDY 位表示 HSECLK 是否稳定。直至硬件设置 HSERDY 位为 1，HSECLK 时钟才会输入到系统。如果 RCM_CIER 寄存器的 HSERDYIE 位使能，则产生对应中断。

HSECLK 可以通过 RCM_RCCR 寄存器的 HSEON 位使能和禁用，HSEON 配置为 0 时，HSERDY 标志位会在 6 个 hse_clk 之后清零。

5.3.1.2 LSECLK 低速外部时钟信号

LSECLK 时钟信号由 LSECLK 外部晶体/陶瓷谐振器和 LSECLK 外部时钟两种时钟源产生。

表格 19 产生 LSECLK 的时钟源

名称	说明
外部时钟源（LSECLK 旁路）	通过 OSC32_IN 引脚给 MCU 提供时钟。 信号可以有普通的函数信号发送器（调试时）、晶体振荡器、其它信号发生器产生；波形可以是 50% 占空比的方波、正弦波或三角波，信号频率需为 32.768kHz。 硬件连接上，必须连到 LSE_IN 引脚，同时保证 LSE_OUT 引脚悬空；MCU 配置上，用户可通过设置在 RCM_RCCR 寄存器（时钟控制寄存器）中的 LSEBYPASS 和 LSEON 位来选择这个模式。
外部晶体/陶瓷谐振器（LSECLK 晶体）	通过谐振器给 MCU 提供时钟，谐振器包括晶体谐振器、陶瓷谐振器。频率是 32.768kHz。 需要 LSE_IN、LSE_OUT 连接谐振器，可以通过在 RCM_RCCR 寄存器（时钟控制寄存器）中里的 LSEON 位使能和禁止。 在时钟控制寄存器 RCM_RCCR 寄存器中的 LSEON 位用来指示高速外部振荡器是否稳定。在启动后，直到这一位被硬件设置为“1”，时钟才被释放出来。如果在 RCM_CIER（时钟中断使能寄存器）中设置 LSEON 位为 1 以允许产生中断，将会产生相应中断，此时对应的 RCM_CICR（时钟中断标志寄存器）的 LSEONIF 位会被硬件设置为 1。

RCM_RCCR 寄存器的 LSEON 表示 LSECLK 是否稳定。直至硬件设置 LSEON 位为 1，LSECLK 时钟才会输入到系统。如果 RCM_CIER 寄存器的 LSEONIF 位使能，则产生对应中断。

LSECLK 可以通过 RCM_RCCR 寄存器的 LSEON 位使能和禁用，LSEON 位配置为 0 时，LSEONIF 标志位会在 2 个 lse_clk 之后清零。

5.3.2 内部时钟源

内部时钟包含 HSICLK（高速内部时钟信号）和 LSICLK（低速内部时钟信号）。

5.3.2.1 HSICLK 高速内部时钟信号

HSICLK 时钟信号由内部 8MHz 的 RC 振荡器产生。

不同芯片的 RC 振荡器频率不同，且同一颗芯片随着温度、电压的变化也会存在差异；每个芯片的 HSICLK 时钟频率在出厂前已经被厂家校准到 1%（25℃、VDD=VDDA=3.3V），系统复位时，工厂校准值被装载到 RCM_TRM2 寄存器中；另外，用户可以依据现场的应用环境（温度、电压），通过设置 RCM_TRM2 寄存器中的 HSI_TTRIM 位和 HSI_FREQTRIM 位作进一步的频率调整。

RCM_RCCR 寄存器的 HSIRDY 位表示 HSI 是否稳定。直至硬件设置 HSIRDY 位为 1，HSICLK 时钟才会输入到系统。

如果 RCM_CIER 寄存器的 HSIRDYIE 位使能，则产生对应中断。HSICLK 可以通过 RCM_RCCR 寄存器的 HSION 位使能和禁用，HSION 位配置为 0 时，HSIRDY 标志位会在 6 个 hsi_clk 之后清零。

与 HSECLK 晶体振荡器相比，RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟；它的启动时间比 HSECLK 晶体振荡器短；即使在校准之后，其时钟频率精度仍不如 HSECLK 晶体振荡器。

5.3.2.2 LSICLK 低速内部时钟信号

LSICLK 位于 BKP 域，是在 stop 和 standby 模式下都能工作的低功耗时钟源，时钟频率为 32KHz。

BKPC_CR1 寄存器的 LSIRDY 位表示 LSICLK 是否稳定。直至硬件设置 LSIRDY 位为 1，LSI 时钟才会输入到系统。如果 RCM_CIER 寄存器的 LSIRDYIE 位使能，则产生对应中断。

LSICLK 可以通过 BKPC_CR1 寄存器的 LSION 位使能和禁用，LSION 位配置为 0 时，LSIRDY 标志位会在 2 个 lsi_clk 之后清零。

5.3.3 PLL 锁相环

PLL 时钟源可以选择 HSICLK 或者 HSECLK，最高可达 128MHz。

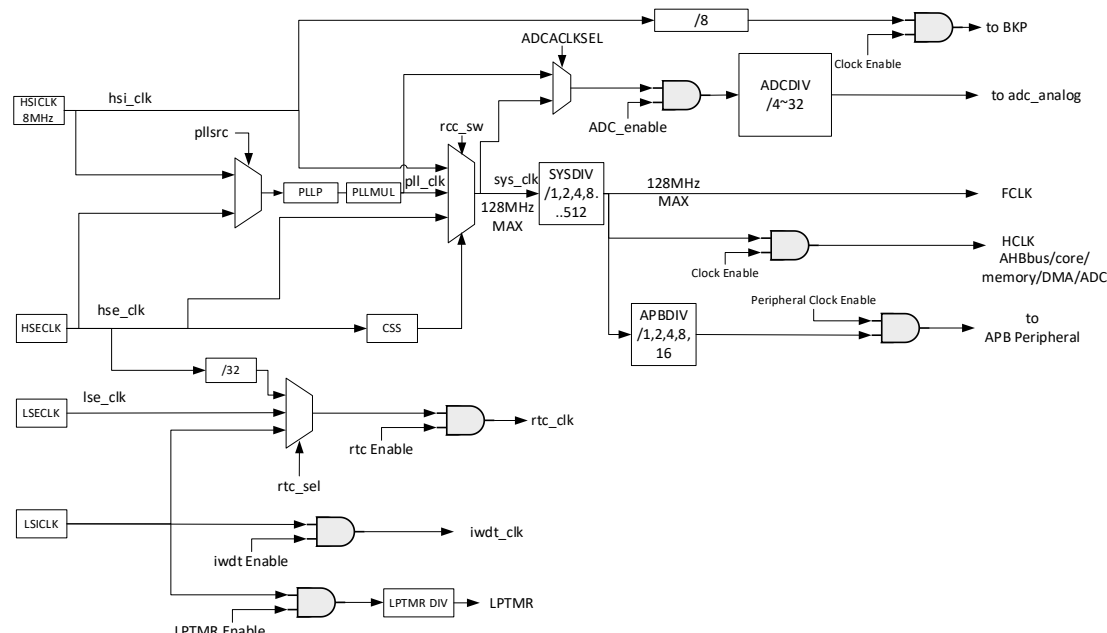
软件必须先配置 PLL 各项参数之后，再使能 PLL，禁止中途调整 PLL 参数。

进入 stop 和 standby 模式时，PLL 会被硬件自动关闭，RCM_RCCR 寄存器的 PLLON 位被清零，退出低功耗模式时需要用户重新进行 PLL 相关的初始化。

如果 PLL 的时钟源是 HSECLK，且 HSECLK 发生了时钟故障，PLL 会被硬件自动关闭，RCM_RCCR 寄存器的 PLLON 位值不变。

5.3.4 时钟树

图 8 G32R430 时钟树



注意:

- (1) HCLK 是指 AHB 时钟信号。
- (2) PLCK 是指连接 APB 的时钟信号。
- (3) FCLK 是内核的自由运行时钟。
- (4) 可通过多个预分频器配置 AHB、APB 域的频率。其中，AHB 域最大频率为 128MHz，APB 域的最大频率是 128MHz。
- (5) 系统时钟能得到的最大频率是 128MHz。
- (6) 需要设置相应的使能位，外设才能获得时钟信号。
- (7) ADC 时钟可以分为模拟电路时钟和数字电路时钟。时钟管理单元为 ADC 的模拟电路时钟提供了一个预分频器，使得 ADC 能够在 PLLCLK 分频后的时钟频率下工作，此时的时钟供所有 ADC 使用；ADC 的数字电路时钟频率等于 HCLK，通过 RCM_AHBCLKEN 寄存器的相应位分别使能 ADC 时钟。
- (8) SysTick（系统定时器）可由 HCLK8 分频后的时钟信号提供，通过对 SysTick 控制与状态寄存器的设置，可选择不同时钟源。
- (9) PLL 的结构请参见 PLL 锁相环章节与 PLL 配置寄存器。

5.3.5 系统时钟切换

系统复位后，默认使用 HSICLK 为系统主时钟。当 HSICLK 直接或者间接通过 PLL 给系统提供时钟时，应用程序将无法软件清零 RCM_RCCR 寄存器的 HSION 位。同理 HSEON 和 PLLON 也是。

切换步骤：在系统时钟源都就绪的前提下，清除 RCM_MCCR 的 CSEN 位，配置 RCM_SCCR 的 SW 位选择系统时钟源，然后使能 RCM_MCCR 寄存器的 CSEN 位。RCM_MCCR 寄存器的 SWDONE 标志位被硬件设置为 1 则代表切换成功，RCM_MCCR 寄存器的 SWERR 标志位被硬件设置为 1 则代表切换失败。

时钟切换只有当源时钟和目标时钟都准备就绪时，系统主时钟才能切换成功。如果时钟源没有准备就绪就去切换时钟，主时钟切换会自动被推迟到时钟源准备就绪之后。如果切换时，发现目标时钟源的软件使能没有打开时，则切换失败，RCM_MCCR 寄存器的 SWERR 位被硬件设置为 1。

5.3.6 时钟故障检测

系统包含 2 个时钟故障检测，分别为 HSICLK 对 HSECLK 的故障检测，以及 LSICLK 对 LSECLK 的故障检测。当 RCM_RCCR 的 CSSON 和 HSEON 以及 HSION 都为 1 时，HSECLK 的时钟故障检测功能开启。当 RCM_RCCR 的 LSECSS 和 LSEON 以及 BKPC_CR1 的 LSION 都为 1 时，LSECLK 的时钟故障检测功能开启。

当时钟故障检测到故障时，HSECLK/LSECLK 会被关闭，RCM_CICR 寄存器的 LSECSSF/HSECSSF 标志位被硬件设置为 1，如果对应中断使能，则会产生中断。

如果 HSECLK 直接或者间接通过 PLL 为系统提供时钟时，检测到 HSECLK 的时钟故障，则系统时钟会被强制切换到 HSICLK。如果 PLL 使用 HSECLK 作为时钟源，则 PLL 也会被关闭。

如果 HSECLK 或者 LSECLK 给 RTC 提供时钟，检测到 HSECLK 或者 LSECLK 的时钟故障时，RTC 时钟不会被强制切换到 LSICLK。

5.3.7 RTC 时钟

配置 PMU_CR 的 RTCSEL 位可以选择 RTC 时钟。RTC 时钟源一旦被选定则不建议直接修改，可通过设置 PMU_CR 的 BDRST 位为 0 以复位备份域之后，再去配置 RTC 时钟源。standby 模式下，HSECLK 和 LSECLK 无法为 RTC 提供时钟。

5.3.8 IWDG 时钟

如果 IWDG 被软件或者硬件激活，那么 LSICLK 将强制开启无法被关闭。

5.3.9 ADCA 时钟

ADCA 时钟是提供给 ADC 模拟部分的时钟，需要用户根据 sys_clk 频率配置 ADCADIV 分频值使其频率接近 30MHz。先配置 RCM_SCCR 的 ADCADIV 位，然后配置 RCM_SCCR 的 ADCACLKEN 位，最后检测 ADCACLKRDY 位被硬件设置为 1 时，方可使用 ADC。

5.3.10 其他外设时钟

所有 AHB 外设和 APB 外设都有相应的时钟使能软件控制位，详见 RCM_AHBCG 和 RCM_APB CG 寄存器描述。

5.3.11 CLKOUT

配置寄存器 RCM_SCCR 的 CLKOUTDIV、CLKOUTEN、CLKOUTSEL 位可以将内部时钟输出至 GPIO。注意先配置 CLKOUTDIV 和 CLKOUTSEL 位，最后再打开 CLKOUTEN。GPIO 输出有频率限制，不能输出过高的频率。

5.4 寄存器地址映射

表格 20 RCM 寄存器地址映射

寄存器名	描述	偏移地址
RCM_KEY	解锁寄存器	0x00
RCM_RCCR	时钟控制寄存器	0x04
RCM_PLLCR	PLL 控制寄存器	0x08
RCM_SCCR	系统时钟控制寄存器	0x0C
RCM_MCCR	主时钟控制寄存器	0x10
RCM_CIER	时钟中断使能寄存器	0x14
RCM_CICR	时钟状态寄存器	0x18
RCM_AHBRST	AHB 复位寄存器	0x20
RCM_APBRST	APB 复位寄存器	0x24
RCM_AHBCG	AHB 时钟使能寄存器	0x28
RCM_APBCG	APB 时钟使能寄存器	0x30
RCM_PWRCR	电源控制寄存器	0x38
RCM_RSTCSR	复位状态寄存器	0x3C
RCM_ADCCR	ADC 控制寄存器	0x44
RCM_SYS_ANACR0	模拟控制寄存器 0	0x60

5.5 寄存器功能描述

5.5.1 解锁寄存器（RCM_KEY）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:17			保留
16	KEYST	R/W	系统寄存器 KEY 保护状态位（System register KEY protects status bit） 当对系统寄存器解锁完成后，KEYST 标志位会置起，对该位写 1 操作进行加锁。 注意：写 0 无效；写 1 加锁。
15:0	LOCKKEY	W	系统寄存器写操作的密码保护配置（Password protection configuration for system register write operations）

位/域	名称	R/W	描述
			1、SYSCTRL 系统寄存器操作之前必须进行解锁，通过对 KEY 值写入 0X87E4 进行解锁。 2、当对系统寄存器解锁完成后，KEYST0 标志位会置起，对该位写 1 操作进行加锁。

5.5.2 时钟控制寄存器 (RCM_RCCR)

偏移地址：0x04

复位值：0x0000 0003

位/域	名称	R/W	描述
31:28	保留		
27	LSEBYPASS	R/W	使能 LSEBYPASS 控制位 (LSEBYPASS control bit enable) 0: 禁止 1: 使能
26	LSECSSON	R/W	使能 LSE 时钟故障检测 (LSE clock fault detection enable) 0: 禁止 1: 使能
25	LSERDY	R	LSE-READY 标志位 (LSE-READY flag bit)
24	LSEON	R/W	使能 LSE (LSE enable) 0: 禁止 1: 使能
23:18	保留		
17	PLLRDY	R	PLL 时钟 READY 标志 (PLL clock READY flag) 进入 STOP、STANDBY 模式时，该位被清零。
16	PLLON	R/W	使能 PLL (PLL enable) 0: 禁止 1: 使能
15:12	保留		
11	CSSON	R/W	使能 HSE 时钟故障检测 (HSE clock fault detection enable) 0: 禁止 1: 使能
10	HSEBYPASS	R/W	HSE 旁路 (HSEBYPASS)
9	HSERDY	R	HSE 时钟 READY 标志 (HSE Clock READY flag) 当 HSEON 关闭时，HSERDY 在 6 个 HSE_CLK 之后清零。
8	HSEON	R/W	使能 HSE (HSE enable) 0: 禁止 1: 使能
7:2	保留		
1	HSIRDY	R	HSI 时钟 READY 标志 (HSI clock READY flag) 0: 禁止 1: 使能 当 HSION 关闭时，HSIRDY 在 6 个 HSI_CLK 之后清零。
0	HSION	R/W	HSI 使能 (HSI enable) 0: 禁止 1: 使能

5.5.3 PLL 控制寄存器 (RCM_PLLCR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:22	保留		
21:16	PLLMUL	R/W	PLL 倍频系数 (PLL frequency doubling coefficient) 000000: 不正确的配置 000001: 不正确的配置 000010: 2 倍频 001001: 9 倍频 001111: 15 倍频 010000: 16 倍频 111111: 63 倍频 注意: 不支持动态配置, PLL 关闭时方可配置该位。
15:12	保留		
11:8	PLL P	R/W	PLL 输入时钟分频控制 (PLL input clock frequency division control) 0000: 不分频 0001: 不分频 0010: 2 分频 0011: 3 分频 0100: 4 分频 ... 1111: 15 分频 注意: PLL 能接收的最慢时钟频率为 6MHz。
7:2	保留		
1:0	PLLSRC	R/W	PLL 输入时钟选择 (PLL input clock select) 0x: 无时钟 10: HSICLK 11: HSECLK 禁止 PLL 时, PLLSRC 应该配置为 00 或 01。

5.5.4 系统时钟控制寄存器 (RCM_SCCR)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23	保留		
22:20	CLKOUTDIV	R/W	CLKOUT 时钟分频输出 (CLKOUT clock frequency division output) 000: CLKOUT 1 分频 001: CLKOUT 2 分频 010: CLKOUT 4 分频 011: CLKOUT 8 分频 100: CLKOUT 16 分频
19	CLKOUTEN	R/W	使能时钟输出 (Clock output enable) 0: 禁止

位/域	名称	R/W	描述
			1: 使能
18:16	CLKOUTSEL	R/W	选择 CLKOUT 时钟输出 (CLKOUT clock output select) 000: SYSCLK 001: HSICLK 010: HSECLK 011: PLL 100: LSICLK 101: LSECLK 其他: 保留 (PLLINTERCLKOUT2SEL 选择的时钟)
15:11	保留		
10:8	PDIV		APB 时钟分频 (APB clock frequency division) 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
7:4	HDIV	R/W	AHB 时钟分频 (AHB clock frequency division) 0xxx: SYSCLK 1000: SYSCLK 2 分频 1010: SYSCLK 4 分频 1010: SYSCLK 8 分频 1011: SYSCLK 16 分频 1100: SYSCLK 32 分频 1101: SYSCLK 64 分频 1110: SYSCLK 128 分频 1111: SYSCLK 256 分频
3:2	保留		
1:0	SW	R/W	选择系统时钟 (System clock select) 00: HSICLK 为主时钟 01: HSECLK 为主时钟 1x: PLL 为主时钟 注意: 先配置 SW, 使能 CSEN 启动切换

5.5.5 主时钟控制寄存器 (RCM_MCCR)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:5	保留		
4	SWERR	R	切换错误标志位 (Switch error flag bit) 当清零 CSEN 时, 该标志位也会被清除。
3	SWDONE	R	切换完成标志位 (Switch complete flag bit) 当清零 CSEN 时, 该标志位也会被清除。
2:1	SWST	R	当前主时钟的状态 (Current master clock status) 00: HSICLK 为主时钟 01: HSECLK 为主时钟 1x: PLL 为主时钟

位/域	名称	R/W	描述
0	CSEN	R/W	使能主时钟切换 (Master clock switching enable) 0: 禁止 1: 使能 注意: 先配置 SW, 然后打开 CSEN 使能时钟切换, 读取标志位 SWDONE=1 时表示切换成功, 否则 SWERR 为 1 表示切换失败, 最后需要软件清零 CSEN, 否则不能启动下一次切换;

5.5.6 时钟中断使能寄存器 (RCM_CIER)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		
6	LSECSSIE	R/W	使能 LSECLK 时钟故障 (LSECLK clock fault enable) 0: 禁止 1: 使能
5	HSECSSIE	R/W	使能 HSECLK 时钟故障 (HSECLK clock fault enable) 0: 禁止 1: 使能
4	PLLRDYIE	R/W	使能 PLL-READY 中断 (PLL-READY interrupt enable) 0: 禁止 1: 使能
3	HSERDYIE	R/W	使能 HSE-READY 中断 (HSE-READY interrupt enable) 0: 禁止 1: 使能
2	HSIRDYIE	R/W	HSI-READY 中断使能 (HSI-READY interrupt enable) 0: 禁止 1: 使能
1	LSERDYIE	R/W	LSE-READY 中断使能 (LSE-READY interrupt enable) 0: 禁止 1: 使能
0	LSIRDYIE	R/W	LSI-READY 中断使能 (LSI-READY interrupt enable) 0: 禁止 1: 使能

5.5.7 时钟状态寄存器 (RCM_CICR)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		
6	LSECSSF	RC_W1	LSE-时钟故障标志位 (LSE- Clock Fault Flag Bit)
5	HSECSSF	RC_W1	HSE-时钟故障标志位 (HSE- Clock Fault Flag Bit)
4	PLLRDYF	RC_W1	PLL-READY 标志位 (PLL-READY flag bit)
3	HSERDYF	RC_W1	HSE-READY 标志位 (HSE-READY flag bit)
2	HSIRDYF	RC_W1	HSI-READY 标志位 (HSI-READY flag bit)
1	LSERDYF	RC_W1	LSE-READY 标志位 (LSE-READY flag bit)

位/域	名称	R/W	描述
0	LSIRDYF	RC_W1	LSI-READY 标志位 (LSI-READY flag bit)

5.5.8 AHB 复位寄存器 (RCM_AHBRST)

偏移地址: 0x20

复位值: 0x0000 01E3

位/域	名称	R/W	描述
31:9	保留		
8	FLASHRST	R/W	FLASH 复位 (FLASH reset) 仅在没有任何 FLASH 访问时, 才可复位 FLASH 0: 复位 1: 不复位
7	ADC3RST	R/W	12 bit-ADC3 模块复位 (12 bit -ADC3 module reset) 0: 复位 1: 不复位
6	ADC2RST	R/W	16 bit -ADC2 模块复位 (16 bit -ADC2 module reset) 0: 复位 1: 不复位
5	ADC1RST	R/W	16 bit -ADC1 模块复位 (16 bit -ADC1 module reset) 0: 复位 1: 不复位
4:2	保留		
1	GPORST	R/W	GPIO 模块复位 (GPIO module reset) 0: 复位 1: 不复位
0	DMARST	R/W	DMA 模块复位 (DMA module reset) 0: 复位 1: 不复位

5.5.9 APB 复位寄存器 (RCM_APBRST)

偏移地址: 0x24

复位值: 0x0000 3EFF

位/域	名称	R/W	描述
31:14	保留		
13	COMPRST	R/W	COMP 模块复位 (COMP module reset) 0: 复位 1: 不复位
12	DAC2RST	R/W	DAC2 模块复位 (DAC2 module reset) 0: 复位 1: 不复位
11	DAC1RST	R/W	DAC1 模块复位 (DAC1 module reset) 0: 复位 1: 不复位
10	EINTRST	R/W	EINT 模块复位 (EINT module reset) 0: 复位 1: 不复位

位/域	名称	R/W	描述
9	TSRST	R/W	TS 模块复位 (TS module reset) 0: 复位 1: 不复位
8	保留		
7	I2CRST	R/W	I2C 模块复位 (I2C module reset) 0: 复位 1: 不复位
6	USART2RST	R/W	USART2 模块复位 (USART2 module reset) 0: 复位 1: 不复位
5	USART1RST	R/W	USART1 模块复位 (USART1 module reset) 0: 复位 1: 不复位
4	SPIRST	R/W	SPI 模块复位 (SPI module reset) 0: 复位 1: 不复位
3	TMR4RST	R/W	TMR4 模块复位 (TMR4 module reset) 0: 复位 1: 不复位
2	TMR3RST	R/W	TMR3 模块复位 (TMR3 module reset) 0: 复位 1: 不复位
1	TMR2RST	R/W	TMR2 模块复位 (TMR2 module reset) 0: 复位 1: 不复位
0	TMR1RST	R/W	TMR1 模块复位 (TMR1 module reset) 0: 复位 1: 不复位

5.5.10 AHB 时钟使能寄存器 (RCM_AHBCG)

偏移地址: 0x28

复位值: 0x0000 0300

位/域	名称	R/W	描述
31:10	保留		
9	ROMCEN	R/W	ROM 时钟使能 (ROM clock enable) 0: 禁止 1: 使能 仅在没有任何 ROM 访问时, 才可关闭 ROM 时钟
8	FLASHCEN	R/W	FLASH 时钟使能 (FLASH clock enable) 0: 禁止 1: 使能 仅在没有任何 FLASH 访问时, 才可关闭 FLASH 时钟
7	ADC3EN	R/W	ADC3 时钟使能 (ADC3 clock enable) 0: 禁止 1: 使能

位/域	名称	R/W	描述
6	ADC2EN	R/W	ADC2 时钟使能 (ADC2 clock enable) 0: 禁止 1: 使能
5	ADC1EN	R/W	ADC1 时钟使能 (ADC1 clock enable) 0: 禁止 1: 使能
4:2	保留		
1	GPIOCEN	R/W	GPIOA/B/C/D 时钟使能 (GPIOA/B/C/D clock enable) 0: 禁止 1: 使能
0	DMACEN	R/W	DMA 时钟使能 (DMA clock enable) 0: 禁止 1: 使能

5.5.11 APB 时钟使能寄存器 (RCM_APBCG)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	BKPCEN	R/W	BKP 域接口时钟使能 (BKP domain interface clock enable) 0: 禁止 1: 使能
13	COMPEN	R/W	COMP 模块时钟使能 (COMP module interface clock enable) 0: 禁止 1: 使能
12	DAC2CEN	R/W	DAC2 模块时钟使能 (DAC2 module interface clock enable) 0: 禁止 1: 使能
11	DAC1CEN	R/W	DAC1 模块时钟使能 (DAC1 module interface clock enable) 0: 禁止 1: 使能
10	EINTCEN	R/W	EINT 模块时钟使能 (EINT module interface clock enable) 0: 禁止 1: 使能
9	TSCEN	R/W	TS 模块时钟使能 (TS module interface clock enable) 0: 禁止 1: 使能
8	WWDTEN	R/W	WWDT 模块时钟使能 (WWDT module interface clock enable) 0: 禁止 1: 使能
7	I2CCEN	R/W	I2C 模块时钟使能 (I2C module interface clock enable) 0: 禁止 1: 使能
6	USART2CEN	R/W	USART2 模块时钟使能 (USART2 module interface clock enable) 0: 禁止

位/域	名称	R/W	描述
			1: 使能
5	USART1CEN	R/W	USART1 模块时钟使能 (USART1 module interface clock enable) 0: 禁止 1: 使能
4	SPICEN	R/W	SPI 模块时钟使能 (SPI module interface clock enable) 0: 禁止 1: 使能
3	TMR4CEN	R/W	TMR4 模块时钟使能 (TMR4 module interface clock enable) 0: 禁止 1: 使能
2	TMR3CEN	R/W	TMR3 模块时钟使能 (TMR3 module interface clock enable) 0: 禁止 1: 使能
1	TMR2CEN	R/W	TMR2 模块时钟使能 (TMR2 module interface clock enable) 0: 禁止 1: 使能
0	TMR1CEN	R/W	TMR1 模块时钟使能 (TMR1 module interface clock enable) 0: 禁止 1: 使能

5.5.12 电源控制寄存器 (RCM_PWRCR)

偏移地址: 0x38

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:9	保留		
8	BKPWP	R/W	BACKUP 区写保护使能 (BACKUP area write protection enabled) 0: 禁止 1: 使能 (可以访问)
7:2	保留		
1	RAM1RET	R/W	STOP 模式下 ITCM 掉电 (TCM loses power in STOP mode) 0: STOP 模式下, ITCM 不掉电 1: STOP 模式下, ITCM 掉电
0	LPM	R/W	选择低功耗模式 (Low-power mode select) 当 CPU 进入 DEEPSLEEP 模式时, 该位选择系统处于的低功耗模式。 0: STOP 模式 1: STANDBY 模式

5.5.13 复位状态寄存器 (RCM_RSTCSR)

偏移地址: 0x3C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:6	保留		
5	WWDTRSTF	RC_W1	窗口看门狗引起的复位 (Reset caused by window watchdog) 0: 非窗口看门狗引起的复位 1: 窗口看门狗引起的复位

位/域	名称	R/W	描述
4	IWDTRSTF	RC_W1	独立看门狗引起的复位 (Reset caused by independent watchdog) 0: 非独立看门狗引起的复位 1: 独立看门狗引起的复位
3	SFTRSTF	RC_W1	软件引起的复位 (Reset caused by software) 0: 非软件引起的复位 1: 软件引起的复位
2	PORRSTF	RC_W1	电源引起的复位 (Reset caused by power) 0: 非电源引起的复位 1: 电源引起的复位
1	PINRSTF	RC_W1	外部 RST 引脚引起的复位 (Reset caused by external RST pin) 0: 非外部 RST 引脚引起的复位 1: 外部 RST 引脚引起的复位
0	OPRSTF	RC_W1	OPLOAD 引起的复位 (Reset caused by OPLOAD) 0: 非 OPLOAD 引起的复位 1: OPLOAD 引起的复位

5.5.14 ADC 控制寄存器 (RCM_ADCCR)

偏移地址: 0x44

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:9	保留		
8	ADCACLKSEL	R/W	ADC1/2/3_ANALOG 时钟的时钟分频源头时钟选择 (Clock division source clock selection for ADC1/2/3_ANALOG clock) 0: PLL 时钟 1: SYSCLK 时钟
7	ADC12ACLKRDY	R	ADC3_ANALOG 时钟状态位 (ADC3_ANALOG clock status bit) 0: 未就绪 1: 已就绪
6:5	ADC12ADIV	R/W	ADC3_ANALOG 时钟分频 (ADC3_ANALOG clock frequency division) ADC3_ANALOG 时钟 (占空比 50%), 该值只能在 ADC12ACLKRDY 为 0 且模块 ADC3 禁止时, 才能改变 ADC12ADIV 的值 00: 4 分频 01: 8 分频 10: 16 分频 11: 32 分频
4:3	保留		
2	ADC16ACLKRDY	R/W	ADC1/2_ANALOG 时钟状态位 (ADC1/2_ANALOG clock status bit) ADC1/2_ANALOG 时钟状态位, 当开启 ADC1/2 使能时, 需等待该 bit 为 1 时, ADC 方可实施转换。 0: 未就绪 1: 已就绪

位/域	名称	R/W	描述
1:0	ADC16ADIV[1:0]	R/W	ADC1/2_ANALOG 时钟分频 (ADC1/2_ANALOG clock frequency division) ADC1/2_ANALOG 时钟 (占空比 75%), 该值只能在 ADC16ACKRDY 为 0 且 ADC1 和 ADC2 模块都禁止时, 才能改变 ADC16ADIV 的值 0x: 6 分频 10: 12 分频 11: 24 分频

5.5.15 模拟控制寄存器 0 (RCM_SYS_ANACR0)

偏移地址: 0x60

复位值: 0x0002 0041

位/域	名称	R/W	描述
31:24			保留
23:20	LSE_LEAKTRIM	R/W	XIN 端口漏电补偿修调控制 (XIN port leakage compensation adjustment control) 0000: PMOS 漏电补偿最大 1000: 漏电补偿默认 (默认) 1111: NMOS 漏电补偿最大
19	LSEAUTOTRIMREQ	R/W	LSECLK 漏电补偿自动校准使能 (LSECLK leakage compensation automatic calibration enable) 软件置 1, 校准结束之后, 硬件自动清零 (不需要软件使能 LSELKDTEN)。 0: 禁止 1: 使能 注意: 进行硬件校准时, 系统主频不能低于 32KHz; 如果 lselkden 为 0, 该位会被清 0, 且无法写 1
18	LSELKDTSTA	R	漏电检测功能状态判断 (Leakage detection function status judgment) 0: 说明 XOUT>XIN 1: 说明 XOUT<XIN
17	LSEDRV	R/W	LSECLK 驱动能力选择 (LSECLK drive capacity select) 0: 低驱动 1: 高驱动 (默认)
16	LSELKDTEN	R/W	LSECLK 漏电检测功能使能 (LSECLK leakage detection function enable) 0: 禁止检测功能 1: 使能检测功能 需 LSEON、LSELKDTEN 同时为 1, 检测功能才可工作, 仅当测试修调漏电补偿时, 才需检测功能工作, 其余状态下 LSELKDTEN 需配置为 0。
15:0			保留

6 电源管理单元（PMU）

6.1 术语全称、缩写描述

表格 21 术语全称、缩写描述

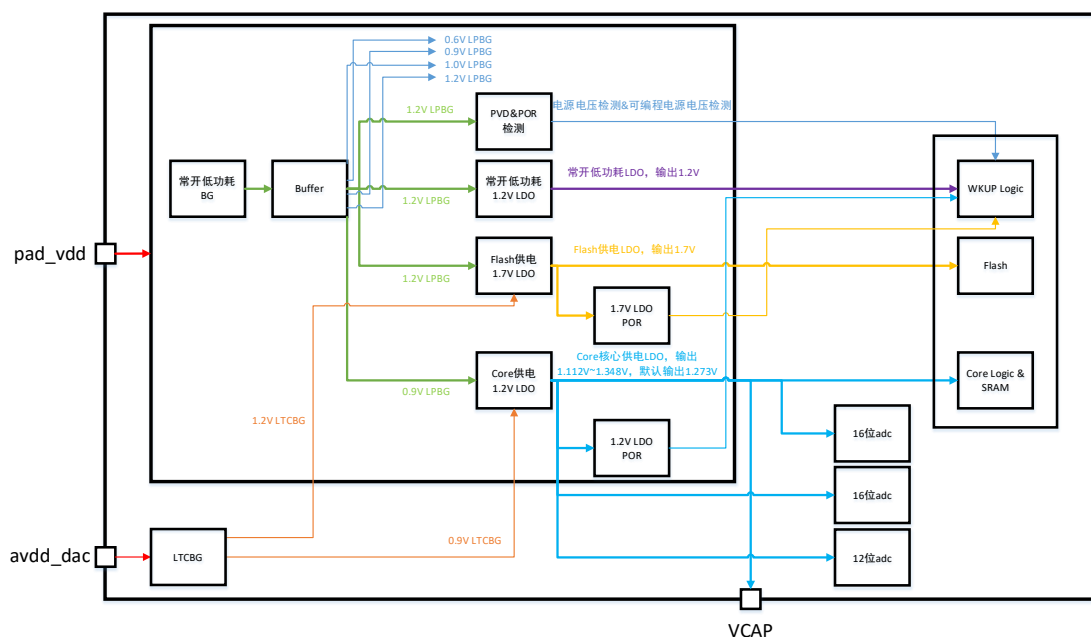
中文全称	英文全称	英文缩写
电源管理单元	Power Management Unit	PMU
上电复位	Power On Reset	POR
断电复位	Brown-out Reset	BOR
电源电压检测器	Power Voltage Detector	PVD

6.2 简介

电源是一个系统稳定运行的基础，工作电压为 1.7~3.6V，可以通过内置的调压器 LDO 提供 1.2V 的电源。

6.3 结构框图

图 9 电源结构框图



6.4 功能描述

6.4.1 电源域

产品的电源域有： V_{DD} 电源域、 V_{DDA} 电源域、1.2V 电源域、备份电源域。

6.4.1.1 V_{DD} 电源域

通过 VDD 引脚给 I/O（具体 IO 见引脚分布图）、内部调压器供电。

调压器 LDO

给 1.2V 电源域供电，有以下几种工作模式：

- 正常模式：此模式下 1.2V 供电区域全功率运行。
- 停止模式：此模式下 1.2V 供电区域工作在低功耗状态，所有时钟关闭，外设停止工作，设置的电压输出级别保持不变。
- 待机模式：此模式下 1.2V 供电区域停止供电，调压器高阻输出，内核电路掉电，调压器功耗为零，除了备用电路，寄存器和 TCM 的内容都会丢失。

6.4.1.2 V_{DDA} 电源域

为 ADC、DAC、RC 振荡器和 PLL 的模拟部分供电；使用 16 位 ADC，VDDA 不低于 3.0V，使用 HSECLK，TSEN，12 位 ADC，COMP，DAC 时，VDDA 不低于 2.7V。

独立 ADC 电源

独立的 ADC 电源可以提高转换精度，具体电源引脚如下：

- V_{DDA}：ADC 的电源引脚
- V_{SSA}：独立电源地引脚
- V_{REFH}/V_{REFL}：16 位 ADC 参考电压引脚

参考电压

16 位 ADC 可配置内部参考电压、VREFH 引脚输入电压作为参考电压，12 位 ADC、DAC 的参考电压只能是 VDDA。

6.4.1.3 1.2V 电源域

由调压器 LDO 供电，给内核、Flash、TCM、数字外设供电。

6.4.1.4 备份电源域

standby 模式下 Backup 域可正常工作，由低功耗 LDO 供电。Backup 域包含 RTC、LPTMR、LSI、standby-IO 唤醒、BKPC 这些功能模块。BKPC 包含 32byte 的数据备份寄存器。standby 模式下有 4 个 IO 支持唤醒，唤醒的方式在 BKP_WKPCR 寄存器中配置，在 standby 模式下唤醒 IO 被强制为输入模式。

复位后，RTC、BKPC、LPTMR 的寄存器为受保护状态，避免错误的写入。为了能访问 backup 域，需要按下面步骤进行配置。

- (1) 配置 RCM_APB CG 的 BKPCEN 位为 1，使能 BKP 域的接口时钟
- (2) 配置 RCM_PWRCR 的 BKPWP 位为 1，禁止写保护

如果需要访问 LPTMR 或者 RTC，需要再配置 PMU_CR 的 LPTMRCEN 或者

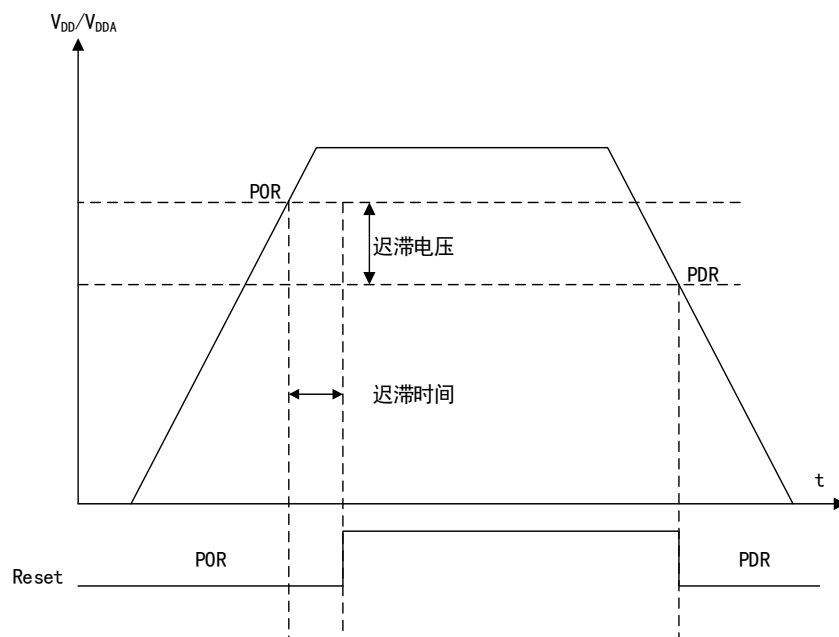
RTCEN 位为 1。

6.4.2 电源管理

6.4.2.1 上电复位 (POR)

当检测到 V_{DD}/V_{DDA} 低于阈值电压 V_{POR} 和 V_{PDR} 时，芯片将会自动保持为复位状态，上电复位和掉电复位的波形图如下，POR、PDR、迟滞电压、迟滞时间请参考“数据手册”。

图 10 上电复位和掉电复位的波形图

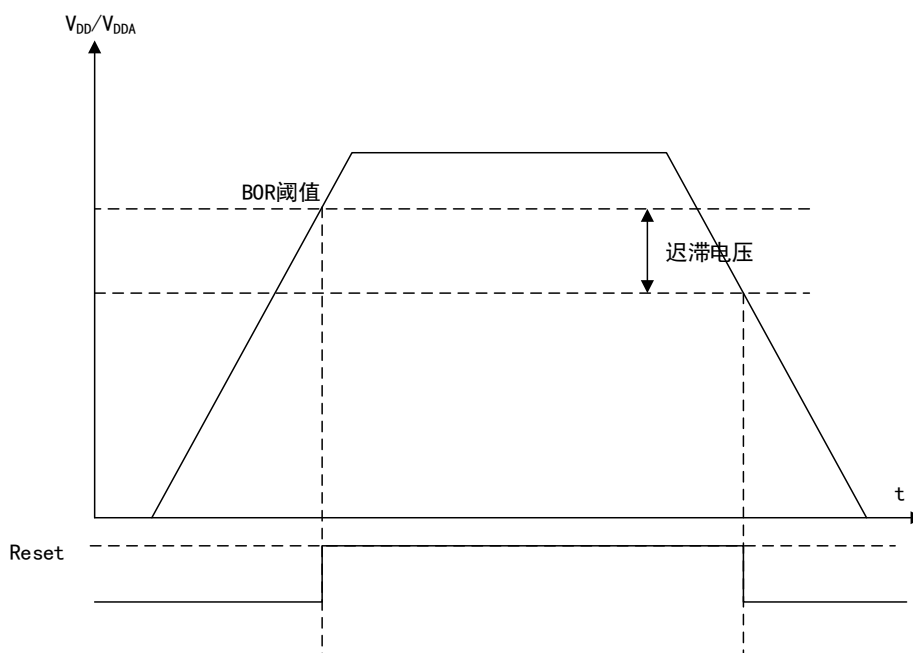


6.4.2.2 断电复位 (BOR)

当检测到 V_{DD}/V_{DDA} 低于阈值电压 V_{BOR} 时，芯片将会自动保持为复位状态， V_{BOR} 可通过选项字节配置。以下为 V_{BOR} 的 4 个阈值：

- V_{BOR0} : BOR 关闭，电压范围为 1.70~2.10V
- V_{BOR1} : BOR 级别 1，电压范围为 2.10~2.40V
- V_{BOR2} : BOR 级别 2，电压范围为 2.40~2.70V
- V_{BOR3} : BOR 级别 3，电压范围为 2.70~3.60V

图 11BOR 阈值波形图



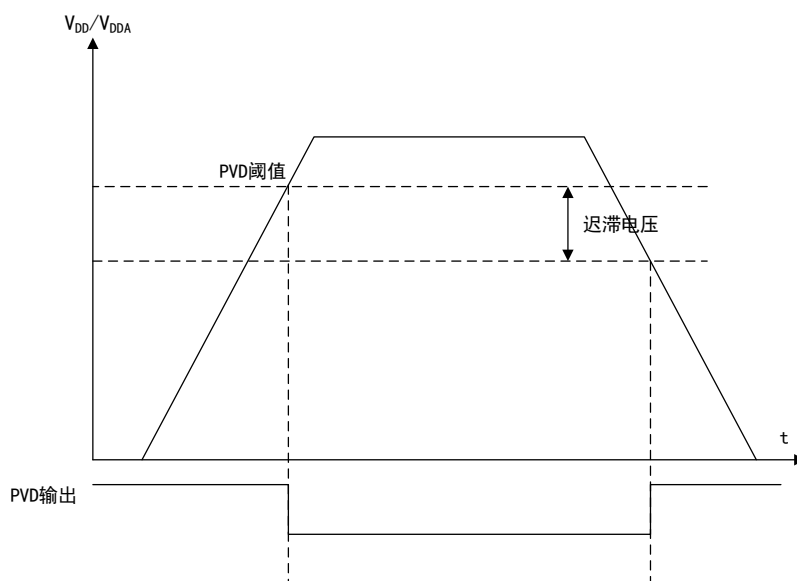
6.4.2.3 电源电压监测器（PVD）

产品内置能够监测 VDD 并将其与 V_{PVD} 阈值比较的可编程电源电压监控器（PVD），当 VDD 在 V_{PVD} 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

用户可以使用 PVD 通过将其与 PMU_PVDCR 寄存器的 PVDTHSEL 选择的阈值进行比较来监控 VDD 电源。通过设置 PMU_PVDCR 寄存器的 PVDEN 位为 1 使能 PVD。

在 PMU_SR 寄存器中有一个 PVDO 标志位，用来指示 VDD 是高于还是低于 PVD 阈值。该事件在内部连接到 EINT 时，如果通过 EINT 寄存器启用，则可以生成中断。当 VDD 低于 PVD 阈值和/或当 VDD 高于 PVD 阈值时，根据 EINT 上升/下降沿配置，可以产生 PVD 输出中断。

图 12 PVD 阈值波形图



主电检测模块

芯片内部集成了 EVS 专用引脚，可同时满足主电上电唤醒功能。通过 PMU_EVSCR 寄存器中的 VDCPV DEN 位可以使能此模块的功能，设置 VDCPV DSEL[1:0]位段，可以检测不同的输入电压。

模块内部集成了滤波功能，可以过滤输入电源的干扰。滤波时钟使用 LSICLK，通过设置 VDCPVDFILTER[1:0]的值，可以获得不同的滤波时间。

当芯片处于 STANDBY 模式下时，根据 VDCPV DWKPEN 位的值，可以选择是否使能主电检测模块的功能。

主电检测模块在芯片内部连接到外部中断 EINT18，当发生 EVS 引脚检测到上升沿或者下降沿事件时，可以触发中断。

注意：VPVDx 中的上升沿及下降沿阈值对应 EINT 模块中的上升沿及下降沿信号（Stop 或者 Run 模式可以配置）。当 EVS 引脚用做 standby 唤醒时，唤醒阈值为上升沿对应的阈值，并非上升沿或者下降沿，也就是只要 EVS 引脚电平比阈值大就会一直唤醒。

6.4.3 低功耗模式

G32R430 支持停机（STOP）、待机（STANDBY）两种低功耗模式，这两种模式在功耗、唤醒流程、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

G32R430 内置 32Bytes 备份寄存器，在低功耗模式下，存储的信息不会丢失，可用于存储重要数据。

表格 22 低功耗模式

模式	说明
低功耗运行模式	低功耗运行模式通过限制运行主频以降低运行功耗。代码可以在 DTCM 或 Flash 运行。

模式	说明
	在 $1.7V \leq VDD \leq 2.4V$ 时, CPU 频率最高限制为 8MHz。在 $2.4V \leq VDD \leq 3.0V$ 时, CPU 频率最高限制为 30MHz。 具有独立时钟的外设可以通过 HSICLK 进行时钟处理。
停机模式	在寄存器和 DTCM 数据不丢失的情况下, 停机模式可达到最低的功耗; 停机模式下, 内部 1.2V 调压器 (VCORE 域内) 的时钟都会停止, HSICLK 停止, HSE 晶体谐振器、PLL 掉电, 调压器 LDO 可配置普通模式或低功耗模式; LSECLK 和 LSICLK 可配置继续运行或者停止, RTC、备份寄存器及低功耗定时器可以保持活动状态。一些具有唤醒能力的外设 (见下表) 可以将芯片从停止模式唤醒, 并使能 HSICLK。 任何外部中断线可唤醒 MCU, 外部中断线包括 16 个外部中断线之一、PVD 输出、RTC、低功耗定时器等。
待机模式	待机模式是芯片最低功耗模式; 待机模式下, 内部 1.2V 调压器关闭, 所有 1.2V 供电模块 (VCORE 域内) 掉电, HSE 晶体谐振器、HSICLK, PLL 掉电, DTCM 和除去备份寄存器的剩余寄存器数据丢失, LSECLK 和 LSICLK 可配置继续运行或者停止, RTC、备份寄存器及低功耗定时器可以保持活动状态, 待机电路仍工作; NRST 上的外部复位信号、WKUP 引脚上的唤醒事件、BOR 复位、RTC 或低功耗定时器相关事件可以唤醒 MCU。

注意: 停止代表该模块寄存器信息及工作状态保留; 掉电代表该模块寄存器信息及工作状态丢失。

表格 23 低功耗模式下的模块状态⁽¹⁾

		停机模式状态 ⁽²⁾	停机模式唤醒能力	待机模式状态 ⁽²⁾	待机模式唤醒能力
内核		-	-	-	-
时钟	HSECLK	-	-	-	-
	HSICLK	-	-	-	-
	LSECLK	Y	-	Y	-
	LSICLK	Y	-	Y	-
	PLL	-	-	-	-
基本 IP	LDO	-	-	-	-
	Lowpower LDO	Y	-	Y	-
	FLASH	-	-	-	-
	TCM	O ⁽³⁾	-	-	-
	备份寄存器	Y	-	Y	-
	DMA	-	-	-	-
	GPIO	O	Y	O ⁽⁴⁾	Y ⁽⁴⁾
定时器	TMR1/2/3/4	-	-	-	-
	LPTMR	O	Y	O	Y
	IWDG	O	Y	-	-
	WWDG	-	-	-	-
	RTC	O	Y	O	Y
通信接口	USART1/2	-	-	-	-
	I2C	-	-	-	-

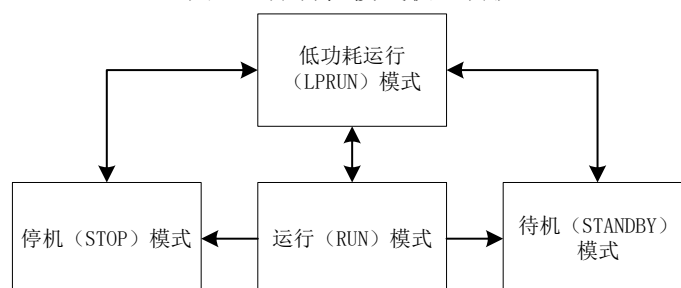
		停机模式状态 (2)	停机模式唤醒能力	待机模式状态 (2)	待机模式唤醒能力
	SPI	-	-	-	-
模拟接口	16 位 ADC1/2	-	-	-	-
	12 位 ADC	-	-	-	-
	COMP1/2/3/4	-	-	-	-
	DAC1/2	-	-	-	-
	Temp Sensor	-	-	-	-

注意:

- (1) Y 表示正常工作；O 表示可配置工作（默认关闭，可软件使能）；-表示不支持工作。
- (2) 除非特殊说明，否则 STOP 模式下各 IP 工作状态与寄存器信息均保持，STANDBY 模式下各 IP 工作状态与寄存器信息均丢失。
- (3) DTCM（16KB）正常工作不掉电。
- (4) 4 个唤醒引脚可以配置为内部上拉、下拉或模拟模式。4 个唤醒引脚在 STANDBY 模式下可用于引脚唤醒。唤醒引脚分别为：PC1\PC2\PD0\PD9

一般情况下，CPU 在系统或电源复位后处于运行模式，有两种低功耗模式可以在 CPU 不需要继续运行（例如在等待外部事件时）时降低功耗。用户可以选择在低功耗、短启动时间和可用唤醒源之间做出最折衷的模式选择。两种低功耗模式间无法直接进行状态转换，仅能从低功耗模式唤醒为运行模式，或从运行模式进入低功耗模式，具体转换流程见下图。

图 13 低功耗模式状态转换



低功耗运行模式

低功耗运行模式特点见下表:

表格 24 低功耗运行模式特点

特性	说明
进入	可选：通过在 DTCM 运行程序并使 Flash 掉电； 参考 VDD 电压值，将 CPU 时钟频率降低到 8MHz/30MHz 以下。
唤醒	提高 CPU 时钟频率。
运行时	CPU 以低主频运行。
切换至运行模式延时	CPU 时钟频率提升并稳定的时间。

停止模式

停止模式特点见下表：

表格 25 停止模式特点

特性	说明
进入	内核寄存器的 SLEEPDEEP 位设置为 1； 确认没有挂起的中断（WFI）或事件（WFE）；设置 RCM_PWRCCR 寄存器中的 LPM 位为 0；执行 WFI 或 WFE 指令时立即进入停止模式； 寄存器 RCM_PWRCCR 的 LDOSTOPCFG 位设置为 0 时调压器工作在正常模式，寄存器 RCM_PWRCCR 的 LDOSTOPCFG 位设置为 1 时调压器工作在低功耗模式。
唤醒	使用 8MHz 的 HSICLK 振荡器作唤醒过程的时钟源。若执行 WFI 指令进入停止模式，则通过外部中断唤醒；若执行 WFE 指令进入停止模式，则通过外部事件唤醒。
停止时	内核停止工作，外设也停止工作，保存停止前内核寄存器、内存的数据。
唤醒延时	HSICLK 振荡器唤醒时间+电压调节器从低功耗唤醒的时间。
唤醒后	若通过中断唤醒，先进入中断，然后退出中断，之后才执行 WFI 指令后的程序，若通过事件唤醒，直接执行 WFE 指令后的程序。 当退出停机模式时，系统时钟为 HSICLK 时钟。

待机模式

待机模式特点见下表：

表格 26 待机模式

特性	说明
进入	内核寄存器的 SLEEPDEEP 位设置为 1； 确认没有挂起的中断（WFI）或事件（WFE）； 寄存器 RCM_PWRCCR 中的 LPM 位设置为 1； 执行 WFI 或 WFE 指令时立即进入待机模式。
唤醒	使用 8MHz 的 HSICLK 振荡器作唤醒过程的时钟源。 通过 WKUP 引脚的上升/下降/双边沿、BOR 复位、低功耗定时器唤醒、RTC 闹钟唤醒或 NRST 引脚外部复位唤醒。
待机时	内核停止工作，外设也停止工作，内核寄存器、内存的数据会丢失。
唤醒延时	芯片复位的时间。
唤醒后	程序从头开始执行。 当退出待机模式时，系统时钟为 HSICLK 时钟。

6.4.3.1 运行模式降低功耗

在运行模式，可通过降低系统时钟、关闭或者降低 APB/AHB 总线上的外设时钟降低运行模式功耗。RTC 复用功能从低功耗模式下唤醒。

RTC 复用功能都可将 MCU 从停止模式或待机模式下唤醒，RTC 提供可编程时基，便于定期从停止或待机模式唤醒 MCU。

6.5 寄存器地址映射

表格 27 PMU 寄存器地址映射

寄存器名	描述	偏移地址
PMU_CR	控制寄存器	0x00
PMU_WKPCR	低功耗唤醒控制寄存器	0x04
PMU_SR	状态寄存器	0x08
PMU_PUCRA	唤醒 IO 上拉控制寄存器	0x10
PMU_PDCRA	唤醒 IO 下拉控制寄存器	0x14
PMU_EVSCR	掉电唤醒控制寄存器	0x1C
PMU_PVDCR	PVD 控制寄存器	0x20

6.6 寄存器功能描述

6.6.1 控制寄存器（PMU_CR）

偏移地址：0x00

复位值：0x0000 2000

位/域	名称	R/W	描述
31:16	保留		
15	BDRST	R/W	BKUP 区复位（BKUP area reset） 0：不复位 1：复位
14	保留		
13	NRSTOUTDIS	R/W	使能芯片内部复位脉冲输出到 NRST 引脚（Enable the internal reset pulse output of the chip to the NRST pin） 0：禁止输出 1：使能输出
12	保留		
11	LPTMRCEN	R/W	LPTMR 时钟使能（LPTMR clock enable）
10	RTCEN	R/W	RTC 时钟使能（RTC clock enable）
9:8	RTCSEL	R/W	RTC 时钟选择（RTC clock select） 00：无时钟 01：LSECLK 10：LSICLK 11：HSECLK/32
7	保留		
6	LSIRDY	R/W	LSICLK 就绪标志位（LSICLK ready flag bit） 0：未就绪 1：已就绪
5	LSION	R/W	LSICLK 使能（LSICLK enable） 0：禁止 1：使能

位/域	名称	R/W	描述
4:0	保留		

6.6.2 低功耗唤醒控制寄存器 (PMU_WKPCR)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	APC	R/W	进入 standby 模式时, 选择 GPIO 的状态 (When entering the standby mode, select the state of GPIO) 0: analog 模式 1: 由 PWR_PUCR/PDCR 决定上下拉状态
14:12	保留		
11:10	WKUPPOL3	R/W	PD9-WUIO 的唤醒极性 (PD9-WUIO wake-up polarity) 00: 上升沿 01: 下降沿 1x: 上升沿或者下降沿
9:8	WKUPPOL2	R/W	PD0-WUIO 的唤醒极性 (PD0-WUIO wake-up polarity) 00: 上升沿 01: 下降沿 1x: 上升沿或者下降沿
7:6	WKUPPOL1	R/W	PC2-WUIO 的唤醒极性 (PC2-WUIO wake-up polarity) 00: 上升沿 01: 下降沿 1x: 上升沿或者下降沿
5:4	WKUPPOL0	R/W	PC1-WUIO 的唤醒极性 (PC1-WUIO wake-up polarity) 00: 上升沿 01: 下降沿 1x: 上升沿或者下降沿
3	WKUPEN3	R/W	使能唤醒 PD9-WUIO (Wake up PD9-WUIO enable) 0: 禁止 1: 使能
2	WKUPEN2	R/W	使能唤醒 PD0-WUIO (Wake up PD0-WUIO enable) 0: 禁止 1: 使能
1	WKUPEN1	R/W	使能唤醒 PC2-WUIO (Wake up PC2-WUIO enable) 0: 禁止 1: 使能
0	WKUPEN0	R/W	使能唤醒 PC1-WUIO (Wake up PC1-WUIO enable) 0: 禁止 1: 使能

6.6.3 状态寄存器 (PMU_SR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:7	保留		

位/域	名称	R/W	描述
6	PVDO	R	PVD 输出 (PVD output) 0: VDD 电压低于 PVDTHSEL 设置值 1: VDD 电压高于 PVDTHSEL 设置值
5	EVSWKF	RC_W1	EVS 唤醒标志 (EVS wake-up flag) EVS 功能仅能在 standby 模式下使用。 0: 没有发生唤醒 1: 发生唤醒
4	SBF	RC_W1	DEVICE 进入过 standby 模式 (DEVICE has entered standby mode) 0: DEVICE 未进入过 standby 模式 1: DEVICE 进入过 standby 模式
3	WKUPF3	RC_W1	PD9-WUIO 的唤醒标志 (PD9-WUIO wake flag)
2	WKUPF2	RC_W1	PD0-WUIO 的唤醒标志 (PD0-WUIO wake flag)
1	WKUPF1	RC_W1	PC2-WUIO 的唤醒标志 (PC2-WUIO wake flag)
0	WKUPF0	RC_W1	PC1-WUIO 的唤醒标志 (PC1-WUIO wake flag)

6.6.4 唤醒 IO 上拉控制寄存器 (PMU_PUCRA)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:4	保留		
3	WKPU3	R/W	PD9-WUIO 上拉 (PD9-WUIO pull up) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于上拉状态
2	WKPU2	R/W	PD0-WUIO 上拉 (PD0-WUIO pull up) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于上拉状态
1	WKPU1	R/W	PC2-WUIO 上拉 (PC2-WUIO pull up) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于上拉状态
0	WKPU0	R/W	PC1-WUIO 上拉 (PC1-WUIO pull up) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于上拉状态

6.6.5 唤醒 IO 下拉控制寄存器 (PMU_PDCRA)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:4	保留		
3	WKPD3	R/W	PD9-WUIO 下拉 (PD9-WUIO pull-down) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于下拉状态
2	WKPD2	R/W	PD0-WUIO 下拉 (PD0-WUIO pull-down) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于下拉状态
1	WKPD1	R/W	PC2-WUIO 下拉 (PC2-WUIO pull-down) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于下拉状态
0	WKPD0	R/W	PC1-WUIO 下拉 (PC1-WUIO pull-down) standby 模式下, APC 使能时, 该位置 1, 对应 IO 处于下拉状态

6.6.6 掉电唤醒控制寄存器 (PMU_EVSCR)

偏移地址: 0x1C

复位值: 0x0000 0010

位/域	名称	R/W	描述
31:6			保留
5	VDCPVDWKPEN	R/W	使能 EVS 引脚 STANDBY 模式唤醒 (EVS pin STANDBY mode wake-up enable) 0: STANDBY 模式主电唤醒功能禁止 1: STANDBY 模式主电唤醒功能使能
4	VDCPVDEN	R/W	EVS 模块使能 (EVS module enable) 0: 禁止 1: 使能
3:2	VDCPVDFILTER	R/W	EVS 引脚滤波配置 (EVS pin filter configure) 00: 不滤波 01: 2 个 LSICLK 时钟数 10: 4 个 LSICLK 时钟数 11: 8 个 LSICLK 时钟数
1:0	VDCPVDSEL	R/W	VDC-VPD 阈值调整 (VDC-VPD threshold trimming) 00: 4.3V 01: 4.26V 10: 4.35V 11: 4.4V 注意: 具体上升沿及下降沿对应的触发值见数据手册

6.6.7 PVD 控制寄存器 (PMU_PVDCR)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7:5	PVDTHSEL	R/W	可编程电压检测器的检测阈值切换 (Detection threshold switching of the programmable voltage detector) 具体数据查看数据手册“复位和电源控制模块特性”
4	PVDEN	R/W	PVD 使能控制位 (PVD enable control bit) 0: 禁止 1: 使能
3:0			保留

7 备份域单元（BKP）

备份域内寄存器含有 16 个 16 位的寄存器，可以用于存储 32 个字节的数据。备份域寄存器由低功耗 LDO 供电。系统复位、NRST 引脚复位、低功耗模式唤醒后的复位，都不会影响备份域寄存器。备份域寄存器可通过软件设置 PMU_CR 寄存器的 BDRST 位为 1 进行复位。

对备份域操作前，需要将 RCM_PWRCCR 中的 BKPWP 位写为 1，并且使能 RCM_APB CG 中的 BKPCEN 位，打开备份域时钟。

待机模式的相关配置、LSICLK/RTC/LPTMR 的时钟使能与时钟配置均在备份域单元内配置。具体可见“寄存器功能描述”节。

备份域寄存器可用于缓存用户数据，利用其系统复位数据不发生变化的特性，可作为状态标志实现某种功能应用。

7.1 寄存器地址映射

表格 28 BKP 寄存器地址映射

寄存器名	描述	偏移地址
BKP_DRx	数据寄存器 x (x=0~15)	0x00+0x04*x

7.2 寄存器功能描述

7.2.1 数据寄存器（BKP_DRx）

偏移地址：0x00+0x04* x (x=0~15)

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	DATA	R/W	备份寄存器数据（Backup register data）

8 嵌套向量中断控制器（NVIC）

8.1 术语全称、缩写描述

表格 29 术语全称、缩写描述

中文全称	英文全称	英文缩写
不可屏蔽中断	Non Maskable Interrupt	NMI
嵌套向量中断控制器	Nested Vectored Interrupt Controller	NVIC

8.2 简介

产品中的 Arm® Cortex®-M52 内核集成了嵌套向量中断控制器（Nested Vectored Interrupt Controller（NVIC）），它和内核紧密耦合，能高效、低延迟处理异常和中断、电源管理控制。

8.3 主要特征

- （1） 38 个可屏蔽中断通道（不包括 16 个 Arm® Cortex®-M52 内核的中断线）
- （2） 可编程的优先级：16 个优先级（使用 4 位的中断优先级），可自由分组配置抢占优先级和子优先级
- （3） 低延时的异常和中断处理
- （4） 电源管理控制
- （5） 系统控制寄存器的实现

8.4 中断和异常向量表

表格 30 G32R430 中断和异常向量表

异常类型	向量编号	优先级 (p)	向量地址	描述
-	-	-	0x0000 0000	保留
Reset	-	-3	0x0000 0004	复位
NMI	-	-2	0x0000 0008	不可屏蔽中断
HardFault	-	-1	0x0000 000C	硬件错误中断
MemManage	-	可设置	0x0000 0010	存储器管理
BusFault	-	可设置	0x0000 0014	Pre-fetch fault, memory access fault
UsageFault	-	可设置	0x0000 0018	Undefined instruction or illegal state

异常类型	向量编号	优先级 (1)	向量地址	描述
-	-	-	0x0000 001C- 0x0000 002B	保留
SVCall	-	可设置	0x0000 002C	SWI 指令实现系统服务调用
Debug Monitor	-	可设置	0x0000 0030	调试监控器
-	-	-	0x0000 0034	保留
PendSV	-	可设置	0x0000 0038	可挂起系统服务请求
SysTick	-	可设置	0x0000 003C	系统节拍定时器
WWDT	0	可设置	0x0000 0040	窗口看门狗中断
FLASH	1	可设置	0x0000 0044	闪存全局中断
RCU	2	可设置	0x0000 0048	时钟复位管理中断
RTC	3	可设置	0x0000 004C	RTC 全局中断
DMA_CH0	4	可设置	0x0000 0050	DMA1 通道 0 全局中断
DMA_CH1	5	可设置	0x0000 0054	DMA1 通道 1 全局中断
DMA_CH2	6	可设置	0x0000 0058	DMA1 通道 2 全局中断
DMA_CH3	7	可设置	0x0000 005C	DMA1 通道 3 全局中断
DMA_CH4	8	可设置	0x0000 0060	DMA1 通道 4 全局中断
DMA_CH5	9	可设置	0x0000 0064	DMA1 通道 5 全局中断
DMA_CH6	10	可设置	0x0000 0068	DMA1 通道 6 全局中断
DMA_CH7	11	可设置	0x0000 006C	DMA1 通道 7 全局中断
ADC1	12	可设置	0x0000 0070	ADC1 全局中断
ADC2	13	可设置	0x0000 0074	ADC2 全局中断
ADC3	14	可设置	0x0000 0078	ADC3 全局中断
TMR1	15	可设置	0x0000 007C	定时器 1 中断
TMR2	16	可设置	0x0000 0080	定时器 2 中断
TMR3	17	可设置	0x0000 0084	定时器 3 中断
TMR4	18	可设置	0x0000 0088	定时器 4 中断
SPI	19	可设置	0x0000 008C	SPI 全局中断
USART1	20	可设置	0x0000 0090	USART1 全局中断
USART2	21	可设置	0x0000 0094	USART2 全局中断
I2C	22	可设置	0x0000 0098	I2C 全局中断
LPTMR	23	可设置	0x0000 009C	LPTMR 全局中断
EINT0	24	可设置	0x0000 00A0	EINT_Line0 中断

异常类型	向量编号	优先级 (1)	向量地址	描述
EINT1	25	可设置	0x0000 00A4	EINT_Line 1 中断
EINT2	26	可设置	0x0000 00A8	EINT_Line 2 中断
EINT3	27	可设置	0x0000 00AC	EINT_Line 3 中断
EINT4	28	可设置	0x0000 00B0	EINT_Line 4 中断
EINT5_9	29	可设置	0x0000 00B4	EINT_Line [9:5]中断
EINT10_15	30	可设置	0x0000 00B8	EINT_Line [15:10]中断
EINT16/PVD	31	可设置	0x0000 00BC	中断/电源电压检测通过 EINT16 产生的中断
EINT17/RTC_ALARM	32	可设置	0x0000 00C0	RTC_ALARM 通过 EINT_line 17 产生中断
EINT18/EVS	33	可设置	0x0000 00C4	主电唤醒中断
EINT19/COMP1	34	可设置	0x0000 00C8	COMP1 通过 EINT_Line 19 产生的中断
EINT20/COMP2	35	可设置	0x0000 00CC	COMP2 通过 EINT_Line 20 产生的中断
EINT21/COMP3	36	可设置	0x0000 00D0	COMP3 通过 EINT_Line 21 产生的中断
EINT22/COMP4	37	可设置	0x0000 00D4	COMP4 通过 EINT_Line 22 产生的中断
TS	38	可设置	0x0000 00D8	TS 温度传感器中断

注意：（1）共 16 个中断优先级可配置，数字越小，中断优先级越高。

9 外部中断/事件控制器（EINT）

9.1 简介

中断/事件分为内部中断/事件、外部中断/事件。在该手册中，外中断指从 I/O 引脚输入信号引起的中断/事件，在中断向量表中指 EINTx；其它中断指内部中断/事件。

事件可分为硬件事件、软件事件。硬件事件是通过外部/内核硬件信号产生事件，软件事件是通过指令产生事件。

中断需经过中断处理函数实现需要处理的工作；事件不需要经过中断处理函数，可硬件触发可触发预先设置的工作。外部事件例如可通过事件是 GPIO 输出脉冲，内部事件例如通过一个 TMR 的更新事件触发另一个 TMR 工作。

9.2 主要特征

- （1） 支持 23 个事件/中断请求
- （2） 每个事件/中断线都可独立屏蔽
- （3） 每个外部事件/中断线都可独立触发
- （4） 每个外部中断线都有专用的状态位
- （5） 检测脉冲宽度低于 APB 时钟宽度的外部信号

9.3 功能描述

9.3.1 “外部中断与事件”类别及差异点

“外部中断与事件”按照触发源、配置及执行过程，可分为：外部硬件中断、外部硬件事件、外部软件事件、外部软件中断，差异点见下表：

表格 31 “外部中断与事件”分类及差异点

名称	触发源	配置及执行过程
外部硬件中断	外部信号	（1）设置触发方式，允许中断请求，使能对应外设中断线（在 NVIC 中使能）； （2）当外部中断线上产生了和配置一致的边沿时，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。
外部硬件事件	外部信号	（1）设置触发方式，使能事件线； （2）当外部事件线上产生了和配置一致的边沿时，产生 1 个事件请求脉冲，对应的挂起位不被置 1。

名称	触发源	配置及执行过程
外部软件事件	软件中断寄存器/发送事件（SEV）指令	（1）使能事件线； （2）对应事件线的软件中断事件寄存器写 1，产生 1 个事件请求脉冲，对应的挂起位不被置 1。
外部软件中断	软件中断寄存器	（1）允许中断请求，使能对应外设中断线（在 NVIC 中使能）； （2）对应中断线的软件中断事件寄存器写 1，产生中断请求，对应的挂起位被置 1，在挂起寄存器对应位写 1，将清除该中断请求。

9.3.2 内核唤醒

使用 WFI、WFE 指令都可以使内核停止工作。使用 WFI 指令，任一中断可唤醒内核；使用 WFE 指令，需通过事件唤醒。

使用中断唤醒，会触发中断处理函数，正常的中断配置即可唤醒内核。使用事件唤醒内核不触发中断处理函数，会减少唤醒时间，配置方法是：

- （1） 触发内部中断（内部硬件事件）但不触发中断处理函数唤醒
 - 使能外设中的一个内部中断，但不使能 NVIC 中对应的中断，避免触发中断处理函数
 - 在内核的系统控制器中使能 SEVONPEND 位，执行 WFE 指令使内核进入睡眠
 - 产生中断唤醒内核，当内核从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）
- （2） 通过 EINT 线事件（外部硬件事件）唤醒
 - 配置 EINT 线为事件模式
 - 执行 WFE 指令使内核进入睡眠
 - 产生中断唤醒内核，CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位

9.3.2.1 事件唤醒

触发内部中断（内部硬件事件）但不触发中断处理函数唤醒

- （1） 使能外设中的一个内部中断，但不使能 NVIC 中对应的中断，避免触发中断处理函数；
- （2） 在内核的系统控制器中使能 SEVONPEND 位，执行 WFE 指令使内核进入睡眠；
- （3） 产生中断唤醒内核，当内核从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）。

通过 EINT 线事件（外部硬件事件）唤醒

- （1） 配置 EINT 线为事件模式；
- （2） 执行 WFE 指令使内核进入睡眠；

- (3) 产生中断唤醒内核，CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位。

9.3.3 外部中断与事件线映射

表格 32 外部中断与事件线映射

外部中断与事件通道名称	外部中断与事件线编号
PA0/PB0/PC0/PD0	EINT 0
PA1/PB1/PC1/PD1	EINT 1
...	...
PA9/PB9/PC9/PD9	EINT 9
PB10/PC10/PD10	EINT 10
PB11/PC11/PD11	EINT 11
PB12/PC12/PD12	EINT 12
PB13/PD13	EINT 13
PD14	EINT 14
PD15	EINT 15
PVD 输出	EINT 16
ALARM 事件	EINT 17
EVS	EINT 18
COMP1	EINT 19
COMP2	EINT 20
COMP3	EINT 21
COMP4	EINT 22

9.4 寄存器地址映射

表格 33 EINT 寄存器地址映射

寄存器名	描述	偏移地址
EINT_IMASK	中断屏蔽寄存器	0x00
EINT_EMASK	事件屏蔽寄存器	0x04
EINT_RTEN	使能上升沿触发寄存器	0x08
EINT_FTEN	使能下降沿触发寄存器	0x0C
EINT_SWINTE	软件中断事件寄存器	0x10
EINT_IPEND	中断挂起寄存器	0x14
EINT_IOSELR1	GPIO 端口选择寄存器 1	0x18
EINT_IOSELR2	GPIO 端口选择寄存器 2	0x1C

9.5 寄存器功能描述

9.5.1 中断屏蔽寄存器 (EINT_IMASK)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23	保留		
22:0	IMASKx	R/W	屏蔽线 x 上的中断请求 (Interrupt Request Mask on Line x) (x=0~22) 0: 屏蔽 1: 开放

9.5.2 事件屏蔽寄存器 (EINT_EMASK)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23	保留		
22:0	EMASKx	R/W	屏蔽线 x 上的事件请求 (Event Request Mask on Line x) (x=0~22) 0: 屏蔽 1: 开放

9.5.3 使能上升沿触发寄存器 (EINT_RTEN)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23	保留		
22:0	RTENx	R/W	使能线 x 上的上升沿触发事件和中断 (Rising Trigger Event and Interrupt Enable of Line x) (x=0~22) 0: 禁止 1: 使能

注意: 由于外部唤醒线是边沿触发, 所以这些线上不能有毛刺信号; 在写 EINT_RTEN 寄存器时, 若上升沿信号在外部中断线上则不能被识别, 置位挂起位也不会置位; 在同一中断线上, 上升沿触发和下降沿触发可以同时被设置。

9.5.4 使能下降沿触发寄存器 (EINT_FTEN)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:23	保留		
22:0	FTENx	R/W	使能线 x 上的下降沿触发事件和中断 (Falling Trigger Event and Interrupt Enable of Line x) (x=0~22) 0: 禁止 1: 使能

注意：由于外部唤醒线是边沿触发，所以这些线上不能有毛刺信号；在写 EINT_FTEN 寄存器时，若上升沿信号在外部中断线上则不能被识别，置位挂起位也不会置位；在同一中断线上，上升沿触发和下降沿触发可以同时被设置。

9.5.5 软件中断事件寄存器 (EINT_SWINTE)

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:23			保留
22:0	SWINTE _x	R/W	线 x 上的软件中断 (Software Interrupt Event on Line x) (x=0~22) 软件置 1，对 EINT_IPEND 的对应位写入 1 清 0。 当该位为 0 时，写 1 将置位 EINT_IPEND 的挂起位。若置位 EINT_IMASK (EINT_EMASK) 开放中断 (事件) 请求，则此时将产生一个中断 (事件)。 0：无作用 1：软件产生中断 (事件)

9.5.6 中断挂起寄存器 (EINT_IPEND)

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:23			保留
22:0	IPEND _x	RC_W1	发生线 x 上的中断挂起标志 (Interrupt Pending Occur of Line x Flag) (x=0~22) 当在外部中断线上发生了 EINT_RTEN/EINT_FTEN 对应的边沿触发请求时，由硬件置 1；可通过改变边沿检测的极性清 0，或通过向该位写入 1 清 0。

9.5.7 GPIO 端口选择寄存器 1 (EINT_IOSELR1)

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	EINTx[3:0]	R/W	EINTx 配置 (EINTx Configuration) (x=0~7) 通过软件写入，以选择 EINTx 外部中断的源输入 0000：PA[x] 0001：PB[x] 0010：PC[x] 0011：PD[x] 其他：保留

9.5.8 GPIO 端口选择寄存器 2 (EINT_IOSELR2)

偏移地址：0x1C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	EINT (x+8) [3:0]	R/W	EINTx 配置 (EINTx Configuration) (x=0~7) 通过软件写入, 以选择 EINTx 外部中断的源输入 0000: PA[x] 0001: PB[x] 0010: PC[x] 0011: PD[x] 其他: 保留

10 直接存储访问（DMA）

10.1 简介

DMA（Direct Memory Access：直接存储器存取）在无须 CPU 干预的情况下，可实现外设与存储器或存储器与存储器之间数据的高速传输，从而节省 CPU 资源来做其他操作。

产品有一个 DMA 控制器，共 8 个数据流。每个数据流对应 8 个通道，但每个数据流同一时刻只能使用 1 个通道。每个数据流可设置优先级，仲裁器可根据数据流的优先级协调各个数据流对应的 DMA 请求的优先级。

10.2 主要特征

- （1） 一个 DMA，具有 8 个数据流，每个数据流有 8 个通道
- （2） 双 AHB 主接口，一个为存储器接口，一个为外设接口
- （3） 数据传输有三种：外设到存储器、存储器到外设、存储器到存储器（Flash 不能作为目标存储器写入）
- （4） 每个数据流都有连接专门的硬件 DMA 请求
- （5） 多个请求同时发生时支持软件优先级和硬件优先级
 - 软件优先级：四个级分别为最高、高、中、低
 - 硬件优先级：硬件仲裁器支持，请求 1 优先于请求 2
- （6） 每个数据流都有 5 个事件标志和独立中断
- （7） 可配置源和目标的传输宽度为字节、半字或字
- （8） 支持循环传输模式
- （9） 支持源和目标增量模式
- （10） 支持 DMA 流控（硬件支持外设流控）
- （11） 可配置突发增量大小为单次、4 个、8 个或 16 个节拍
- （12） 数据传输数目可编程，最大到 65535

10.3 功能描述

10.3.1 DMA 请求

若外设或存储器需要使用 DMA 传输数据，就必须先发送 DMA 请求，等待 DMA 同意之后才开始数据传输。

DMA 一共有 8 个数据流，每个数据流都连接着不同的外设通道，每个数据流都有 5 个事件标志（DMA 半传输、DMA 传输完成、DMA 传输出错、DMA FIFO 错

误、直接模式错误），5 个事件标志的逻辑或成为一个单独的中断请求，且都支持软件触发。

多个外设请求同一个数据流时，需要配置对应寄存器，开启或关闭每个外设的请求，以保证一个数据流仅能开启一个外设请求。

表格 34 DMA 请求映射表

外设请求	数据流 0	数据流 1	数据流 2	数据流 3	数据流 4	数据流 5	数据流 6	数据流 7
通道 0	ADC1	ADC2	ADC3	-	-	-	-	-
通道 1	-	-	-	USART1_T X	USART1_R X	USART2_T X	USART2_R X	-
通道 2	-	-	-	-	-	-	SPI_TX	SPI_RX
通道 3	-	-	-	-	I2C_TX	I2C_RX	-	-
通道 4	TMR1_UP	TMR1_CH 1	-	-	-	TMR1_TRI G	-	-
通道 5	-	TMR2_UP	TMR2_CH1	-	TMR2_CH3	-	TMR2_TRI G	-
通道 6	-	-	TMR3_UP	-	TMR3_CH2	-	TMR3_CH4	TMR3_TRI G
通道 7	TMR4_UP	TMR4_CH 1	-	TMR4_CH3	-	TMR4_TRI G	-	-

10.3.2 仲裁器

发生多个 DMA 通道请求时，需要用到仲裁器来管理先后响应的顺序。管理分两个阶段：第一阶段软件阶段分为最高、高、中等和低四个优先级；第二阶段硬件阶段，在软件优先级相同的情况下，数据流编号越低优先级越高。

10.3.3 FIFO

FIFO 用来在源数据传输到目标地址之前临时存放数据，每个数据流都有 1 个独立的 4 字 FIFO，可通过软件来控制 FIFO 阈值为 1/4、1/2、3/4 或满。

DMA 传输模式有两种，第一种为直接模式，在每个外设请求后立即启动对存储器的单次传输，若 DMA 配置为存储器到外设传输数据，DMA 会将一个数据存放在 FIFO 内，一旦外设触发 DMA 请求，就将数据发送过去。直接模式需要将源和目标地址的数据宽度配置相同，不支持突发模式，不支持存储器到存储器的传输方式；第二种为 FIFO 模式，先配置 FIFO 阈值，当数据存储量达到阈值时，将 FIFO 内容传输到目标，FIFO 模式适用于在源地址和目标地址数据宽度不同时使用，支持突发模式，FIFO 可将数据先存放起来，然后根据需求输出数据。

10.3.4 端口

DMA 控制器通过存储器端口和外设端口与存储器和外设进行数据传输，DMA 的存储器端口和外设端口都连接在 AHB 矩阵总线上，DMA 存储器和外设可以访问内部 Flash、内部 TCM、AHB 外设、APB 外设。

10.3.5 DMA 初始化参数配置

10.3.5.1 传输模式

DMA 支持外设到存储器、存储器到外设和存储器到存储器（存储器包括 Flash、TCM）三种传输模式。传输模式可通过 DMA_SCFG 寄存器的 DIRCFG 位控制。

10.3.5.2 递增模式

通过 DMA_SCFG 寄存器的 PERIM 和 MEMIM 位控制外设和存储器的递增模式，当两个位都置 1 时，配置为递增模式，增量为 DMA_SCFG 寄存器 PERSIZECFG 和 MENSIECFG 位的值，PERSIZECFG 和 MENSIECFG 位用来设置外设和存储器的数据大小为字节、半字和字。

10.3.5.3 单次传输和突发模式

突发传输是指在传输阶段增大每次传输的数据量以此来提高传输速度的高速传输，突发传输过程中要占用 AHB 总线。

单次和突发传输可通过 DMA_SCFG 寄存器的 PBCFG 和 MBCFG 位来控制，可配置为单次传输、4 个节拍的增量突发传输、8 个节拍的增量突发传输、16 个节拍的增量突发传输。该增量由 PERSIZECFG 和 MENSIECFG 位的值决定。仅的支持递增模式的前提下才能使能突发模式。

突发模式需结合 FIFO 使用，FIFO 阈值选择必须适合存储器的突发大小，具体如下表所示。

表格 35 FIFO 阈值配置

MENSIECFG	FIFO 阈值	MBCFG=01	MBCFG=10	MBCFG=11
字节	1/4	4 个节拍的 1 次突发	禁止	禁止
	1/2	4 个节拍的 2 次突发	8 个节拍的 1 次突发	
	3/4	4 个节拍的 3 次突发	禁止	
	满	4 个节拍的 4 次突发	8 个节拍的 2 次突发	16 个节拍的 1 次突发
半字	1/4	禁止	禁止	禁止
	1/2	4 个节拍的 1 次突发		
	3/4	禁止		
	满	4 个节拍的 2 次突发	8 个节拍的 1 次突发	
字	1/4	禁止	禁止	
	1/2			
	3/4			
	满	4 个节拍的 1 次突发		

10.3.5.4 循环模式

循环模式用来处理循环缓冲区和连续的数据流，循环模式会在传输结束后将数据项数目自动的配置为初始值，继续进行数据的传输。

循环模式可通过 DMA_SCFG 寄存器的 CIRC MEN 位控制。

10.3.5.5 双缓冲区模式

设置 DMA_SCFG 寄存器的 DBM 置 1 可开启双缓冲区模式，并自动激活循环模式，在双缓冲区模式下，DMA_M1ADDR 寄存器被激活，当传输完 DMA_M0ADDR 寄存器地址指针所对应的存储区后，将切换至 DMA_M1ADDR 寄存器地址指针所对应的存储区继续传输，一直循环调用，当 DMA 在访问 DMA_M1ADDR 时，设置 DMA_SCFG 寄存器的 CTARG 位为 1，同时可向 DMA_M0ADDR 寄存器写或读数据。

该模式不支持存储器到存储器传输。

10.3.5.6 流控制器

流控制器可通过 DMA_SCFG 寄存器的 PERFC 位配置为 DMA 或外设。

DMA 作为流控制器时，在使能数据流前配置 DMA_NDATA 寄存器，设置要传输的数据项数目。

外设作为流控制器时，传输数据项数目未知，硬件强制将 DMA_NDATA 寄存器的值置为 0xFFFF 执行，完成传输后，外设通过硬件向 DMA 发出指令，然后读取寄存器的值。传输的数据数目=0xFFFF-DMA_NDATA。

在外设作为流控制器时禁止循环模式，选择存储器到存储器模式时，PERFC 位由硬件强制清零，只能选择 DMA 作为流控制器。

10.3.6 中断

每个数据流都有 5 种类型的中断事件，分别是半传输、传输完成、传输错误、FIFO 错误和直接模式错误。

表格 36 DMA 中断请求

中断事件	事件标志位	使能中断位
半传输	HTXIFLGx	HTXIEN
传输完成	TXCIFLGx	TXCIEN
传输错误	TXEIFLGx	TXEIEN
FIFO 错误	FEIFLGx	FEIEN
直接模式错误	DMEIFLGx	DMEIEN

10.4 寄存器地址映射

表格 37 DMA 寄存器地址映射

寄存器名	描述	偏移地址
DMA_LINTSTS	DMA 低中断状态寄存器	0x00
DMA_HINTSTS	DMA 高中断状态寄存器	0x04
DMA_LIFCLR	DMA 低中断标志清零寄存器	0x08
DMA_HIFCLR	DMA 高中断标志清零寄存器	0x0C
DMA_SCFG	DMA 数据流 x 配置寄存器	0x10+0x18×（数据流编号）
DMA_NDATA	DMA 数据流 x 数据项数寄存器	0x14+0x18×（数据流编号）
DMA_PADDR	DMA 数据流 x 外设地址寄存器	0x18+0x18×（数据流编号）
DMA_M0ADDR	DMA 数据流 x 存储器 0 地址寄存器	0x1C+0x18×（数据流编号）
DMA_M1ADDR	DMA 数据流 x 存储器 1 地址寄存器	0x20+0x18×（数据流编号）
DMA_FCTRL	DMA 数据流 x FIFO 控制寄存器	0x24+0x18×（数据流编号）

10.5 寄存器功能描述

10.5.1 DMA 低中断状态寄存器（DMA_LINTSTS）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:28、15:12	保留		
27、21、11、5	TXCIFLGx	R	数据流 x 传输完成标志（x=0...3）（Stream x Transfer Complete Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无传输完成事件 1：产生传输完成事件
26、20、10、4	HTXIFLGx	R	数据流 x 半传输中断标志（x=0...3）（Stream x Half Transfer Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无半传输事件 1：产生半传输事件
25、19、9、3	TXEIFLGx	R	数据流 x 传输错误中断标志（x=0...3）（Stream x Transfer Error Interrupt Flag） 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0：无传输错误 1：产生传输错误

位/域	名称	R/W	描述
24、18、8、2	DMEIFLGx	R	数据流 x 直接模式错误中断标志 (x=0...3) ((Stream x Direct Mode Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0: 无直接模式错误 1: 产生直接模式错误
23、17、7、1	保留		
22、16、6、0	FEIFLGx	R	数据流 xFIFO 错误中断标志 (x=0...3) (Stream x FIFO Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_LIFCLR 寄存器的相应位上写 1 清 0。 0: 无 FIFO 错误事件 1: 产生 FIFO 错误事件

10.5.2 DMA 高中断状态寄存器 (DMA_HINTSTS)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28、15:12	保留		
27、21、11、5	TXCIFLGx	R	数据流 x 传输完成标志 (x=4...7) (Stream x Transfer Complete Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0: 无传输完成事件 1: 产生传输完成事件
26、20、10、4	HTXIFLGx	R	数据流 x 半传输中断标志 (x=4...7) (Stream x Half Transfer Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0: 无半传输事件 1: 产生半传输事件
25、19、9、3	TXEIFLGx	R	数据流 x 传输错误中断标志 (x=4...7) (Stream x Transfer Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0: 无传输错误 1: 产生传输错误
24、18、8、2	DMEIFLGx	R	数据流 x 直接模式错误中断标志 (x=4...7) ((Stream x Direct Mode Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0: 无直接模式错误 1: 产生直接模式错误
23、17、7、1	保留		

位/域	名称	R/W	描述
22、16、6、0	FEIFLGx	R	数据流 xFIFO 错误中断标志 (x=4...7) (Stream x FIFO Error Interrupt Flag) 这些位由硬件置 1，软件在 DMA_HIFCLR 寄存器的相应位上写 1 清 0。 0: 无 FIFO 错误事件 1: 产生 FIFO 错误事件

10.5.3 DMA 低中断标志清零寄存器 (DMA_LIFCLR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28、15:12	保留		
27、21、11、5	CTXCIFLGx	W	数据流 x 传输完成标志清零 (x=0...3) (Stream x Clear Transfer Complete Interrupt Flag) 0: 无效 1: DMA_LINTSTS 寄存器中相应的 TXCIFLGx 标志清零
26、20、10、4	CHTXIFLGx	W	数据流 x 半传输中断标志清零 (x=0...3) (Stream x Clear Half Transfer Interrupt Flag) 0: 无效 1: DMA_LINTSTS 寄存器中相应的 HTXIFLGx 标志清零
25、19、9、3	CTXEIFLGx	W	数据流 x 传输错误中断标志清零 (x=0...3) (Stream x Clear Transfer Error Interrupt Flag) 0: 无效 1: DMA_LINTSTS 寄存器中相应的 TXEIFLGx 标志清零
24、18、8、2	CDMEIFLGx	W	数据流 x 直接模式错误中断标志清零 (x=0...3) ((Stream x Clear Direct Mode Error Interrupt Flag) 0: 无效 1: DMA_LINTSTS 寄存器中相应的 DMEIFLGx 标志清零
23、17、7、1	保留		
22、16、6、0	CFEIFLGx	W	数据流 xFIFO 错误中断标志清零 (x=0...3) (Stream x Clear FIFO Error Interrupt Flag) 0: 无效 1: DMA_LINTSTS 寄存器中相应的 FEIFLGx 标志清零

10.5.4 DMA 高中断标志清零寄存器 (DMA_HIFCLR)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28、15:12	保留		
27、21、11、5	CTXCIFLGx	W	数据流 x 传输完成标志清零 (x=4...7) (Stream x Clear Transfer Complete Interrupt Flag) 0: 无效 1: DMA_HINTSTS 寄存器中相应的 TXCIFLGx 标志清零

位/域	名称	R/W	描述
26、20、10、4	CHTXIFLGx	W	数据流 x 半传输中断标志清零 (x=4...7) (Stream x Clear Half Transfer Interrupt Flag) 0: 无效 1: DMA_HINTSTS 寄存器中相应的 HTXIFLGx 标志清零
25、19、9、3	CTXEIFLGx	W	数据流 x 传输错误中断标志清零 (x=4...7) (Stream x Clear Transfer Error Interrupt Flag) 0: 无效 1: DMA_HINTSTS 寄存器中相应的 TXEIFLGx 标志清零
24、18、8、2	CDMEIFLGx	W	数据流 x 直接模式错误中断标志清零 (x=4...7) ((Stream x Clear Direct Mode Error Interrupt Flag) 0: 无效 1: DMA_HINTSTS 寄存器中相应的 DMEIFLGx 标志清零
23、17、7、1	保留		
22、16、6、0	CFEIFLGx	W	数据流 xFIFO 错误中断标志清零 (x=4...7) (Stream x Clear FIFO Error Interrupt Flag) 0: 无效 1: DMA_HINTSTS 寄存器中相应的 FEIFLGx 标志清零

10.5.5 DMA 数据流 x 配置寄存器 (DMA_SCFG) (x=0...7)

偏移地址: $0x10+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	保留		
27:25	CHSEL	R/W	选择通道 (Channel Selection) 000: 选择通道 0 001: 选择通道 1 010: 选择通道 2 011: 选择通道 3 100: 选择通道 4 101: 选择通道 5 110: 选择通道 6 111: 选择通道 7
24:23	MBCFG	R/W	配置存储器突发传输 (Memory Burst Transfer Configure) 00: 单次传输 01: INCR4 (4 个节拍的增量突发传输) 10: INCR8 (8 个节拍的增量突发传输) 11: INCR16 (16 个节拍的增量突发传输) 该位只有在 EN 位为 0 时才允许写入。 在直接模式下, 这些位强制清 0。

位/域	名称	R/W	描述
22:21	PBCFG	R/W	配置外设突发传输（Peripheral Burst Transfer Configure） 00：单次传输 01：INCR4（4个节拍的增量突发传输） 10：INCR8（8个节拍的增量突发传输） 11：INCR16（16个节拍的增量突发传输） 该位只有在 EN 位为 0 时才允许写入。 在直接模式下，这些位强制清 0。
20	保留		
19	CTARG	R/W	当前目标（仅在双缓冲模式模式下）（Current Target（only in double buffer mode）） 该位由硬件置 1 和清 0，也可由软件写入。 0：当前目标存储器为存储器 0 1：当前目标存储器为存储器 1
18	DBM	R/W	双缓冲区模式（Double Buffer Mode） 0：传输结束时不切换缓冲区 1：DMA 传输结束时切换目标存储器 该位只有在 EN 位为 0 时才允许写入。
17:16	PRILCFG	R/W	配置优先级（Priority Level Configure） 00：低 01：中 10：高 11：非常高 这些位只有在 EN 位为 0 时才允许写入。
15	PERIOSIZE	R/W	外设增量偏移量（Peripheral increment offset size） 0：用于计算外设地址的偏移量与 PERSIZECFG 相关 1：用于计算外设地址的偏移量固定为 4 若位 PERIM 为 0，此位无意义，该位只有在 EN 位为 0 时才允许写入。 若选择直接模式或位 PBCFG 不配置为 00，且当使能数据流时，该位由硬件强制置为低电平。
14:13	MEMSIZECFG	R/W	配置存储器数据大小（Memory Data Size Configure） 00：字节（8 位） 01：半字（16 位） 10：字（32 位） 11：保留 这些位只有在 EN 位为 0 时才允许写入。 在直接模式下，当 EN 位为 1 时，MEMSIZECFG 位由硬件强制置为与 PERSIZECFG 位相同的值。
12:11	PERSIZECFG	R/W	配置外设数据大小（Peripheral Data Size Configure） 00：字节（8 位） 01：半字（16 位） 10：字（32 位） 11：保留 这些位只有在 EN 位为 0 时才允许写入。

位/域	名称	R/W	描述
10	MEMIM	R/W	存储器递增模式 (Memory Increment Mode) 0: 存储器地址指针固定 1: 每次数据传输后, 存储器地址指针递增 该位只有在 EN 位为 0 时才允许写入。
9	PERIM	R/W	外设增量模式 (Memory Increment Mode) 0: 外设地址指针固定 1: 每次数据传输后, 外设地址指针递增 该位只有在 EN 位为 0 时才允许写入。
8	CIRCMEN	R/W	使能循环模式 (Circular Mode Enable) 该位由软件置 1 和清 0, 也可由硬件清 0。 0: 禁止 1: 使能 若设置外设为流控制器且使能数据流, 该位由硬件自动强制清 0。 若 DMA 传输结束时切换目标存储区且使能数据流, 该位由硬件自动强制置 1。
7:6	DIRCFG	R/W	配置数据传输方向 (Data Transfer Direction Configure) 00: 外设到存储器 01: 存储器到外设 10: 存储器到存储器 11: 保留 这些位只有在 EN 位为 0 时才允许写入。
5	PERFC	R/W	外设流控制器 (Peripheral Flow Controller) 0: DMA 为流控制器 1: 外设为流控制器 该位只有在 EN 位为 0 时才允许写入; 选择存储器到存储器模式后, 该位由硬件自动强制清零。
4	TXCIEN	R/W	使能传输完成中断 (Transfer Complete Interrupt Enable) 0: 禁止 1: 使能
3	HTXIEN	R/W	使能半传输中断 (Half Transfer Interrupt Enable) 0: 禁止 1: 使能
2	TXEIEN	R/W	使能传输错误中断 (Transfer Error Interrupt Enable) 0: 禁止 1: 使能
1	DMEIEN	R/W	使能直接模式错误中断 (Direct Mode Error Interrupt Enable) 0: 禁止 1: 使能
0	EN	R/W	使能数据流 (Stream Enable) 0: 禁止 1: 使能 以下情况该位由硬件清 0: DMA 传输结束时 AHB 主总线出现传输错误时 存储器 AHB 端口上的 FIFO 阈值与突发大小不兼容时

10.5.6 DMA 数据流 x 数据项数寄存器 (DMA_NDATA) (x=0...7)

偏移地址: $0x14+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	NDATA	R/W	传输的数据项数目 (Number Of Data Items To Transfer) 传输的数据项数目为 0-65535, 只有禁止数据流时, 才允许对此寄存器进行操作, 使能数据流后, 该寄存器为只读, 用来指示要传输的剩余数据项数目。每次 DMA 传输后, 该寄存器递减。 传输完成后此寄存器为 0, 以下情况会自动重载初始值: 以循环模式配置数据流 重新使能数据流

10.5.7 DMA 数据流 x 外设地址寄存器 (DMA_PADDR) (x=0...7)

偏移地址: $0x18+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	PADDR	R/W	外设地址 (Peripheral Address) 读/写数据的外设数据寄存器的基址。 该位只有在 EN 位为 0 时才允许写入。

10.5.8 DMA 数据流 x 存储器 0 地址寄存器 (DMA_M0ADDR) (x=0...7)

偏移地址: $0x1C+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	M0ADDR	R/W	存储器 0 地址 (Memory 0 Address) 读/写数据的存储器 0 的基址。 这些位受到写保护, 只有在以下情况才能写入: 禁止数据流 使能数据流且 DMA_SCFG 寄存器的 CTARG 位置 1

10.5.9 DMA 数据流 x 存储器 1 地址寄存器 (DMA_M1ADDR) (x=0...7)

偏移地址: $0x20+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	M1ADDR	R/W	存储器 1 地址 (Memory 1 Address) 读/写数据的存储器 1 的基址。 该寄存器仅适用于双缓冲模式。 这些位受到写保护, 只有在以下情况才能写入: 禁止数据流 使能数据流且 DMA_SCFG 寄存器的 CTARG 位清 0

10.5.10 DMA 数据流 x FIFO 控制寄存器 (DMA_FCTRL) (x=0...7)

偏移地址: $0x24+0x18 \times (\text{数据流编号})$

复位值: 0x0000 0020

位/域	名称	R/W	描述
31:8	保留		
7	FEIEN	R/W	使能 FIFO 错误中断 (FIFO Error Interrupt Enable) 0: 禁止 1: 使能
6	保留		
5:3	FSTS	R	FIFO 状态 (FIFO Status) 000: $0 < \text{fifo\_level} < 1/4$ 001: $1/4 < \text{fifo\_level} < 1/2$ 010: $1/2 < \text{fifo\_level} < 3/4$ 011: $3/4 < \text{fifo\_level} < \text{满}$ 100: FIFO 空 101: FIFO 满 其他: 无意义 在直接模式下, 这些位无效。
2	DMDEN	R/W	禁止直接模式 (Direct Mode Disable) 0: 使能直接模式 1: 禁止直接模式 该位只有在 EN 位为 0 时才允许写入; 选择存储器到存储器模式且 EN 位为 1 时, 该位由硬件置 1。
1:0	FTHSEL	R/W	选择 FIFO 阈值 (FIFO Threshold Select) 00: FIFO 容量的 1/4 01: FIFO 容量的 1/2 10: FIFO 容量的 3/4 11: FIFO 完整容量 在直接模式下, 这些位无效, 该位只有在 EN 位为 1 时才允许写入。

11 调试 MCU (DBGMCU)

11.1 术语全称、缩写描述

表格 38 术语全称、缩写描述

中文全称	英文全称	英文缩写
帧时钟	Frame Clock	FCLK
串行调试端口	Serial Wire Debug Port	SW-DP

11.2 简介

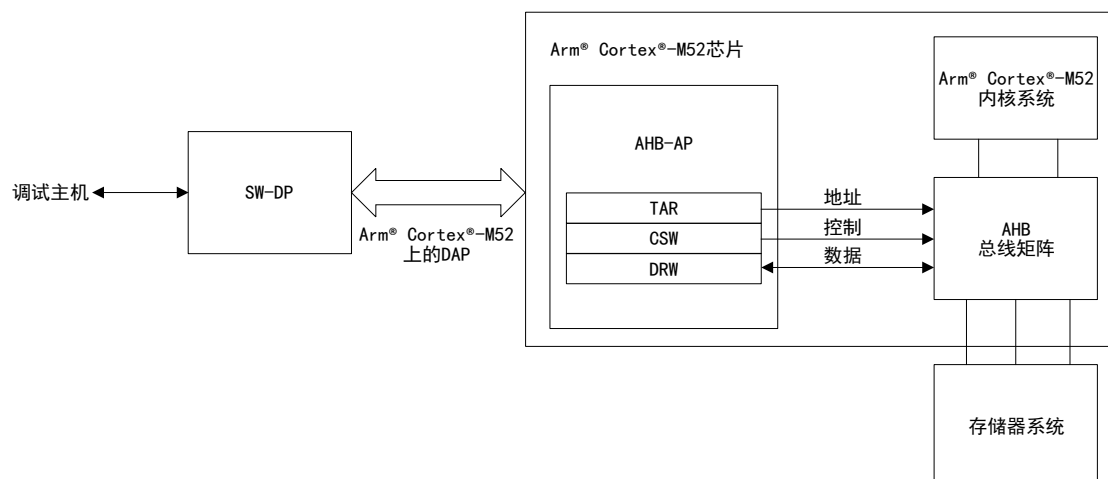
G32R430 微控制器系列使用 Arm® Cortex®-M52 内核，Arm® Cortex®-M52 内核内含硬件调试模块，支持复杂的调试操作。在调试时该模块可以使运行的内核在断点时停下来，达到查询内核内部状态和系统外部状态的效果，并且在查询完成后恢复内核与外设的运行，继续执行程序。

支持调试接口：串行接口

11.3 主要特征

- (1) 可代替内核访问 AHB 总线矩阵
- (2) 灵活的调试引脚分配
- (3) MCU 调试盒（支持低电源模式，控制外设时钟等）

图 14 调试框图



11.4 功能描述

11.4.1 调试引脚功能配置

- (1) 实现芯片的在线编程和调试

- (2) 利用 KEIL/IAR 等软件实现在线调试及下载编程
- (3) 灵活实现离线编程器的制作

表格 39 SWD 引脚描述

SW-DP 名称	类型	描述	GPIO
SWDIO	IO	SW-DP 数据输入输出	PB10
SWCLK	I	SW-DP 时钟	PB5

11.4.2 ID 编码

11.4.2.1 微控制器设备 ID 编码

G32R430 微控制器系列内含一个 MCU ID 编码。使用 SW 调试口或用户代码都可以进行访问。

11.5 寄存器地址映射

表格 40 寄存器地址映射

寄存器名	描述	地址
DBGMCU_ID	ID 寄存器	0x00
DBGMCU_APB	APB 冻结寄存器	0x0C

11.6 寄存器功能描述

11.6.1 ID 寄存器 (DBGMCU_ID)

偏移地址: 0x00

复位值: 0x1000 0479

位/域	名称	R/W	描述
31:16	REV_ID[15:0]	R	芯片版本号 (Chip Version)
15:0	DEV_ID[15:0]	R	设备 ID 号 (Equipment ID)

11.6.2 APB 冻结寄存器 (DBGMCU_APB)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17	DBG_IWDT_STOP	R/W	调试模式下 CPU 停止时, IWDT 计数器停止 (IWDT Counter Stopped When Core is Halted in Debug Mode) 0: 内核停止时, IWDT 计数器继续工作 1: 内核停止时, IWDT 计数器停止工作
16	DBG_WWDT_STOP	R/W	调试模式下 CPU 停止时, WWDT 计数器停止 (WWDT Counter Stopped When Core is Halted in Debug Mode) 0: 内核停止时, WWDT 计数器继续工作 1: 内核停止时, WWDT 计数器停止工作

位/域	名称	R/W	描述
15	DBG_RTC_STOP	R/W	调试模式下 CPU 停止，RTC 计数器停止（RTC Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，RTC 计数器继续工作 1：内核停止时，RTC 计数器停止工作
14:13	保留		
12	DBG_LPTMR_STOP	R/W	调试模式下 CPU 停止，LPTMR 计数器停止（LPTMR Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，LPTMR 计数器继续工作 1：内核停止时，LPTMR 计数器停止
11:7	保留		
6	DBG_TMR4_STOP	R/W	调试模式下 CPU 停止，TMR4 计数器停止（TMR4 Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，TMR4 计数器继续工作 1：内核停止时，TMR4 计数器停止工作
5	DBG_TMR3_STOP	R/W	调试模式下 CPU 停止，TMR3 计数器停止（TMR3 Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，TMR3 计数器继续工作 1：内核停止时，TMR3 计数器停止工作
4	DBG_TMR2_STOP	R/W	调试模式下 CPU 停止，TMR2 计数器停止（TMR2 Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，TMR2 计数器继续工作 1：内核停止时，TMR2 计数器停止工作
3:1	保留		
0	DBG_TMR1_STOP	R/W	调试模式下 CPU 停止时，TMR1 计数器停止（TMR1 Counter Stopped When Core is Halted in Debug Mode） 0：内核停止时，TMR1 计数器继续工作 1：内核停止时，TMR1 计数器停止

12 通用输入/输出引脚（GPIO）

12.1 术语全称、缩写描述

表格 41 术语全称、缩写描述

中文全称	英文全称	英文缩写
通用输入/输出引脚	General-purpose Input/Output	GPIO

12.2 主要特征

GPIO 端口具有四个 32 位的配置寄存器（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR 和 GPIOx_PUPDR）和两个 32 位的数据寄存器（GPIOx_IDR、GPIOx_ODR）。所有的 GPIO 都有一个 32 位的复用功能选择寄存器（GPIOx_AFR）。

- （1） 输入模式
 - 输入状态：模拟输入、浮空输入、上拉/下拉输入
 - 从输入数据寄存器（GPIOx_IDR）或外设（复用功能输入）输入数据
- （2） 输出模式
 - 输出状态：推挽输出（带有上拉/下拉功能）或开漏输出（带有上拉/下拉功能）
 - 可配置每个 I/O 的输出速率
 - 从输出数据寄存器（GPIOx_ODR）或外设（复用功能输出）输出数据
- （3） 复用功能
 - 推挽复用功能
 - 开漏复用功能
 - 复用功能可以用于数字外设
- （4） 模拟功能
 - 模拟输入和输出可以用于模拟外设以及低功耗模式
- （5） USART 的 RX 复用口支持 5V 容忍 I/O
- （6） 进入 STOP/STANDBY 模式，GPIO 状态锁存
- （7） 4 个 GPIO 支持低功耗 STANDBY 模式下的上升沿、下降沿、双边沿唤醒
- （8） 所有 GPIO 都可以作为外部中断/STOP 唤醒线
- （9） 支持锁定 I/O 配置功能快速切换，每两个时钟周期改变一次
- （10） 可通过引脚多路复用将 I/O 用作 GPIOs 或者多种外设功能之一

12.3 结构框图

图 15 GPIO 结构框图

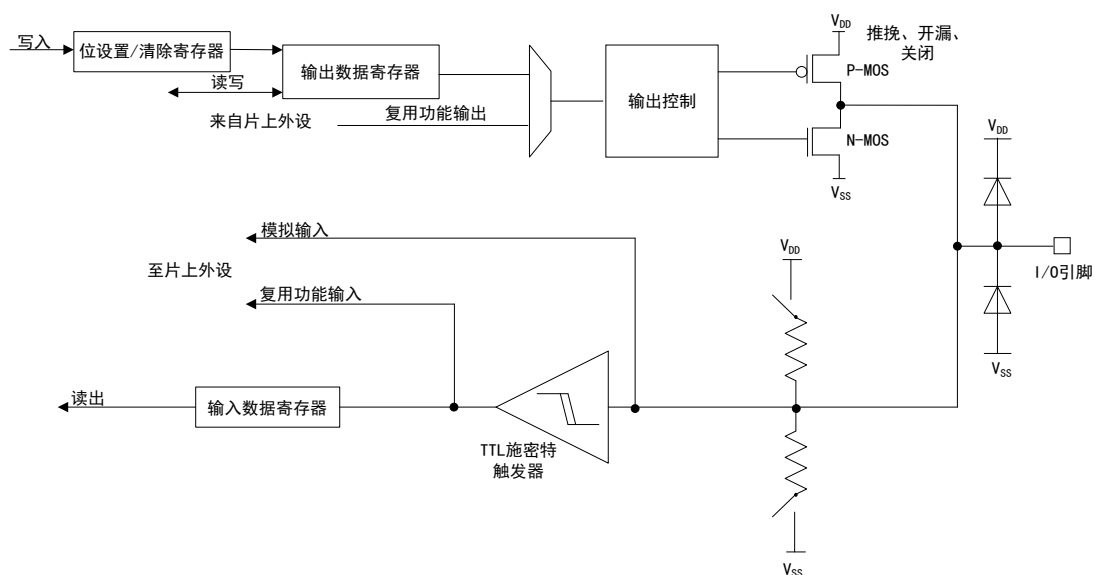
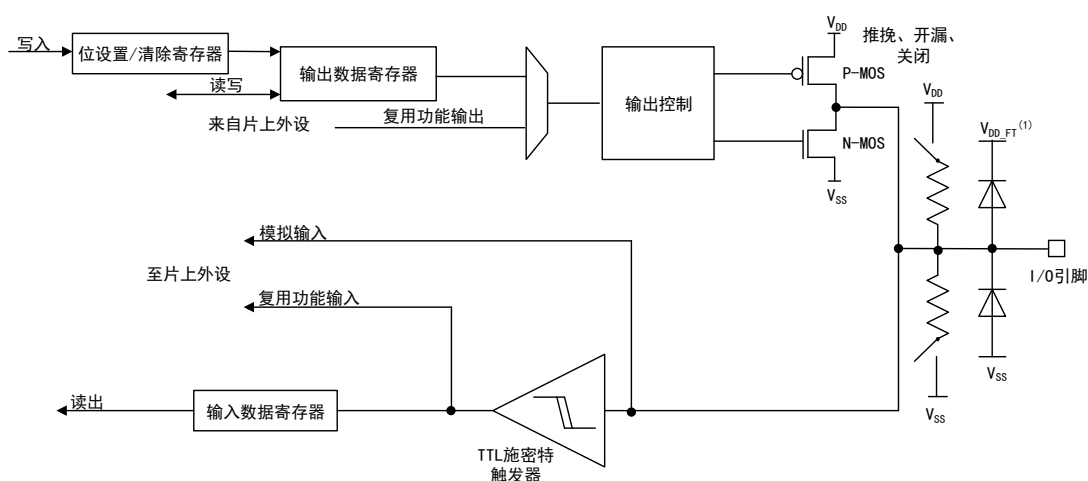


图 16 5 伏兼容 GPIO 结构框图



注意：V_{DD_FT} 和 V_{DD} 不一样，V_{DD_FT} 对 5 伏容忍 GPIO 引脚是特殊的。

12.4 功能描述

GPIO 端口的每个位都可以通过软件分别配置成多种模式：

- 输入浮空
- 输入上拉
- 输入下拉
- 模拟输入
- 带有上拉/下拉的推挽输出
- 带有上拉/下拉的开漏输出
- 带有上拉/下拉的推挽复用功能

- 带有上拉/下拉的开漏复用功能

每个 I/O 端口位都可以自由编程，但是 I/O 端口寄存器必须以 32 位字、半字或字节的方式访问。这样在读和更改访问之间不会发生 IRQ 的风险。

所有的 GPIO 接口都具有外部中断能力。

表格 42 IO 端口配置

GPIO_MDR[2i+1:2i]	GPIO_OTR[i]	GPIO_PUPDR[2i+1:2i]	I/O 配置
10	0	x0	推挽输出
		01	推挽输出上拉
		11	推挽输出下拉
	1	x0	开漏输出
		01	开漏输出上拉
		11	开漏输出下拉
11	0	x0	复用功能推挽输出
		01	复用功能推挽输出上拉
		11	复用功能推挽输出下拉
	1	x0	复用功能开漏输出
		01	复用功能推挽开漏上拉
		11	复用功能开漏输出下拉
01	-	x0	输入浮空
		01	输入上拉
		11	输入下拉
00	-	x0	模拟

12.4.1 复位期间和刚复位后的 IO 状态

GPIO 在复位期间和刚复位后，复用功能未开启，I/O 端口将会被配置为模拟模式，此情况下输入模式禁用上拉/下拉电阻。

当引脚配置为输出时，写入输出数据寄存器（GPIOx_ODR）的值将输出到 I/O 引脚上。可以将输出驱动器设置为推挽模式或开漏模式（只驱动低电平，高电平为高阻态）。

输入数据寄存器（GPIOx_IDR）在每个 AHB 时钟周期捕获 I/O 引脚上的数据。所有 GPIO 引脚都具有弱内部上拉和下拉电阻，可以根据 GPIOx_PUPDR 寄存器中的值选择是否激活。

12.4.2 IO 引脚多路复用器和映射

I/O 引脚通过多路复用器可以连接到板载外设或模块，多路复用器单次只允许单个外设的复用功能（AF）连接到单个 I/O 引脚，避免同一 I/O 引脚上可用的外设之间冲突。

每个 I/O 引脚可以通过 GPIOx_AFR 寄存器进行配置，最多可以有 4 个复用功能输入（AF0~AF3）：

- 复位后，多路复用器选择 AF0；可以通过 GPIOx_MODER 寄存器将 I/O 配置为复用功能模式。
- 请数据手册，获取每个引脚具体的复用功能信息。

此外，为了优化在较小器件封装中可用的外设数目，可以把一些复用功能重新映射到其他一些 I/O 引脚。如果需要在给定配置中使用 I/O，必须按照以下步骤进行操作：

- (1) **Debug 功能：**设备复位后，这些引脚被分配为复用功能引脚，可被调试器主机立即使用；
- (2) **GPIO：**在 GPIOx_MODER 寄存器中将所需的 I/O 配置为输出、输入或模拟输入；
- (3) **外设复用功能：**
 - 将 I/O 连接到 GPIOx_AFR1 或 GPIOx_AFR2 寄存器中的所需 AFx。
 - 分别使用 GPIOx_OTYPER、GPIOx_PUPDR 和 GPIOx_OSPEEDER 寄存器选择类型、上拉/下拉和输出速度。
 - 在 GPIOx_MODER 寄存器中将所需的 I/O 配置为复用功能。
- (4) **其他功能：**
 - 对于 ADC、DAC 和 COMP，将所需的 I/O 配置为模拟模式，写入 GPIOx_MODER 寄存器，并在 ADC、DAC 和 COMP 寄存器中配置所需的功能。

注意：这些功能由相应的外设控制输出，因此在启用外设控制寄存器的其他功能输出之前，请小心选择 I/O 端口的模拟功能。

对于 RTC、WKUPx 和振荡器等其他功能，请在相关的 RTC、PMU 和 RCM 寄存器中配置所需的功能。这些功能优先于标准 GPIO 寄存器中的配置。

12.4.3 输入模式

在输入模式中可以设置为上拉、下拉、浮空和模拟输入。

当 GPIO 配置为输入模式时，所有的 GPIO 引脚内部都有一个内部弱上拉和弱下拉电阻，它们可以被激活也可以被断开。

上拉、下拉、浮空模式

在（上拉、下拉、浮空）输入模式中

- 施密特触发器打开
- 禁止输出缓冲器
- 根据 GPIOx_PUPDR 寄存器的值，连接上拉和下拉电阻
- 输入数据寄存器 GPIOx_IDR 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据
- 通过输入数据寄存器 GPIOx_IDR 读取 I/O 状态

浮空输入模式的初始电平状态不确定，且易受外界干扰；连接设备时，由外部的

输入电平决定（阻抗非常高的除外）。

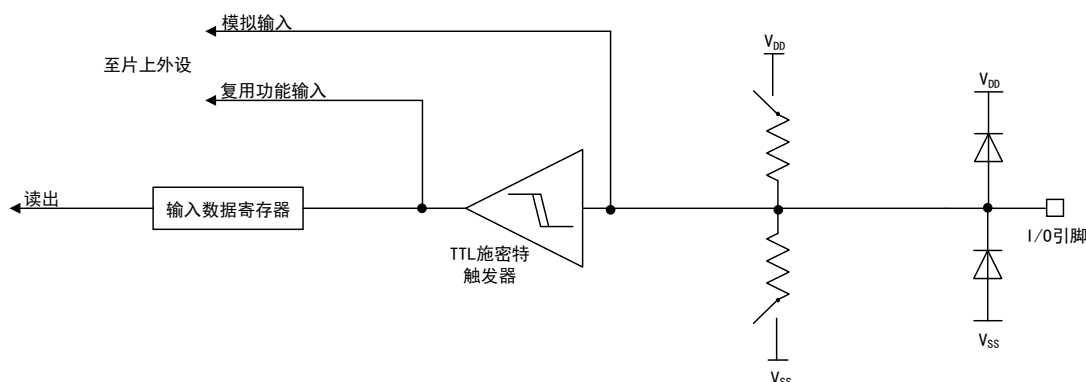
上拉/下拉输入模式的初始电平状态，如果是上拉则为高电平，如果为下拉则为低电平；连接设备时，由外部的输入电平及负载阻抗决定。

模拟输入模式

在模拟输入模式中

- 禁止输出缓冲器
- 禁止施密特触发器输入，施密特触发器的输出值强置为 0
- 禁用弱上拉和下拉电阻
- 端口输入状态寄存器的值为 0

图 17 输入模式结构



12.4.4 输出模式

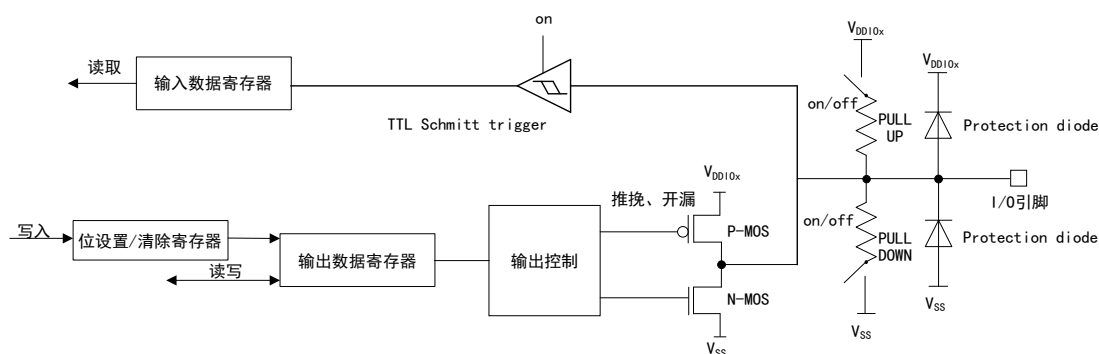
在输出模式中可以为推挽输出和开漏输出。

当 GPIO 配置为输出引脚时，可以配置端口的输出速度和选择输出驱动模式（推挽/开漏）。

在输出模式中

- 激活输出缓冲器
- 推挽模式：双 MOS 管以轮流方式工作；输出数据寄存器为“0”激活 N-MOS 管，输出数据寄存器为“1”则激活 P-MOS 管
- 开漏模式：只有 N-MOS 管工作；输出数据寄存器为“0”激活 N-MOS 管，输出数据寄存器为“1”则端口保持高阻态
- 激活施密特触发输入
- 根据 GPIOx_PUPDR 寄存器的值，连接上拉和下拉电阻
- 输入数据寄存器 GPIOx_IDR 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据。通过输入数据寄存器 GPIOx_IDR 读取 I/O 的实际状态
- 通过输出数据寄存器 GPIOx_ODR 读取最后写入的值

图 18 输出模式 I/O 结构



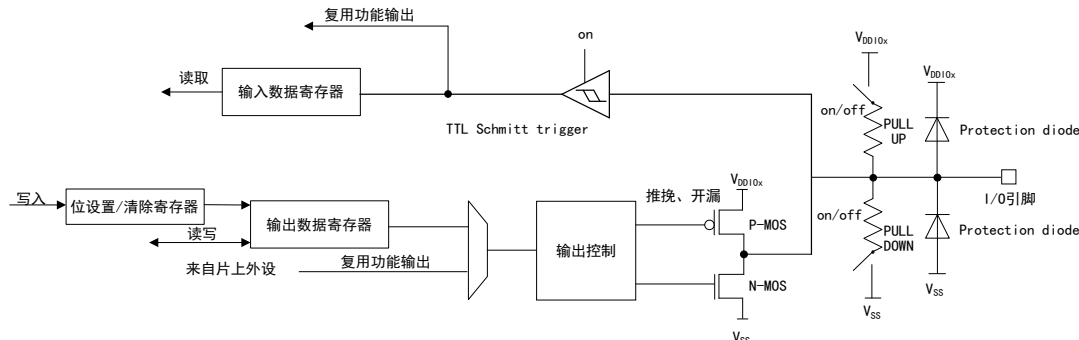
12.4.5 复用模式

在复用模式中可以设置为推挽复用和开漏复用。

在推挽/开漏复用模式中

- 打开输出缓冲器
- 由外设驱动输出缓冲器
- 激活施密特触发输入
- 根据 GPIOx_PUPDR 寄存器的值，激活/不激活弱上拉和下拉电阻
- 输入数据寄存器 GPIOx_IDR 在每个 AHB 时钟周期捕捉 I/O 引脚上的数据
- 通过输入数据寄存器 GPIOx_IDR 可以读取 I/O 的实际状态
- 通过输出数据寄存器 GPIOx_ODR 读取最后写入的值

图 19 复用模式 I/O 结构

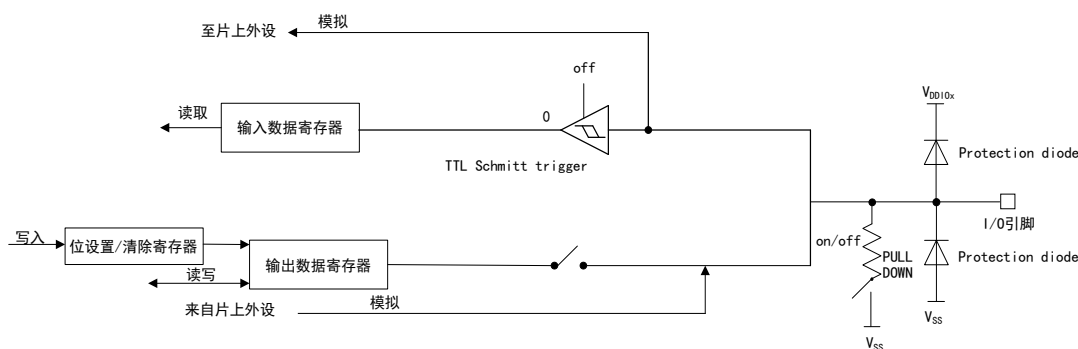


12.4.6 模拟模式

在模拟模式中

- 禁止输出缓冲器
- 禁止施密特触发器输入，为 I/O 引脚的每个模拟值提供零功耗。施密特触发器的输出值被强制设置为固定值 0
- 由硬件禁用弱上拉
- 弱下拉可配置
- GPIOx_IDR 寄存器的值为 0

图 20 高阻抗模拟模式 I/O 结构



12.4.7 端口控制寄存器

每个 GPIO 端口具有四个 32 位的配置寄存器（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR 和 GPIOx_PUPDR）来配置最多 16 个 I/O。

- GPIOx_MODER: 端口模式寄存器，选择输入/输出/复用/模拟的模式
- GPIOx_OTYPER: 端口输出模式寄存器，选择推挽/开漏的模式
- GPIOx_OSPEEDR: 端口输出速度寄存器
- GPIOx_PUPDR: 端口上拉/下拉寄存器（无论 I/O 方向设置为输入还是输出）

12.4.8 端口数据寄存器

每个 GPIO 端口具有两个 32 位的数据寄存器（GPIOx_IDR、GPIOx_ODR）。

- GPIOx_IDR: 端口位输入数据寄存器，为只读寄存器，存储通过 I/O 输入的数据
- GPIOx_ODR: 端口位输出数据寄存器，可以读写访问该寄存器，存储要输出的数据

12.4.9 位设置和位清除

GPIO 具有一个 32 位的置位/复位寄存器（GPIOx_BSRR），允许应用程序在输出数据寄存器（GPIOx_ODR）中设置和复位每个单独的位。

GPIOx_BSRR 置位/复位寄存器的大小是 GPIOx_ODR 的两倍。GPIOx_ODR 的每个位在 GPIOx_BSRR 中对应两个控制位：BS (i) 和 BR (i)：

- 当写入 1 时，BS (i) 位设置对应的 ODR (i) 位。
- 当写入 1 时，BR (i) 位复位对应的 ODR (i) 位。
- 当写入 0 时，对于 GPIOx_ODR 中的位无影响。注意如果 BS (i) 位和 BR (i) 位同时设置，BS (i) 有优先权。

使用 GPIOx_BSRR 寄存器实现 GPIOx_ODR 的位操作是单次的，不会锁定 GPIOx_ODR 的位，始终可以直接访问 GPIOx_ODR 的位。

在对 GPIOx_ODR 的个别位进行编程时，软件不需要禁止中断，在单次 AHB 写操作中，可以只更改一个或者多个位。

12.4.10 GPIO 复用功能的输入和输出

每个 GPIO 具有 GPIOx_AFRL 和 GPIOx_AFRH 复用功能寄存器，可以根据应用程序的需求将复用功能连接到其他引脚上。由于复用功能输入、复用功能输出共用 AF 选择信号，因此为给定 I/O 的复用功能输入/输出选择单个通道。请查阅此芯片的数据手册，获取每个 GPIO 引脚具体的复用功能信息。

12.4.11 外部中断/唤醒线

所有的 GPIO 端口都有外部中断功能，如果要使用外部中断线，端口必须要配置成输入模式。

12.4.12 其他引脚用作 GPIO 的情况

HSECLK/LSECLK 振荡器引脚用作 GPIO

- 当 HSECLK 或 LSECLK 振荡器关闭时（复位后的缺省状态），相关振荡器引脚可以被用作普通的 GPIO。
- 当 HSECLK 或 LSECLK 振荡器开启时（在 RCM_RCCR 寄存器中设置[HSEON]或[LSEON]来开启），振荡器将控制其关联的引脚，这些引脚的 GPIO 配置无效。
- 当振荡器配置为用户外部时钟模式时，只有 OSC_IN 或 OSC32_IN 引脚保留用作时钟输入，而 OSC_OUT 或 OSC32_OUT 引脚仍然可以用作普通的 GPIO。

12.5 寄存器地址映射

表格 43 GPIO 寄存器地址映射

寄存器名	描述	偏移地址
GPIO_MODERx	端口模式选择寄存器 x	0x00+0x04*x
GPIO_PUPDRx	端口上下拉控制寄存器 x	0x10+0x04*x
GPIO_OTYPER1	端口输出模式寄存器 1	0x20
GPIO_OTYPER2	端口输出模式寄存器 2	0x24
GPIO_OSPEEDRx	端口输出速度寄存器 x	0x28+0x04*x
GPIO_IDR1	端口输入数据寄存器 1	0x38
GPIO_IDR2	端口输入数据寄存器 2	0x3C
GPIO_ODR1	端口输出数据寄存器 1	0x40
GPIO_ODR2	端口输出数据寄存器 2	0x44
GPIO_AFSELRx	端口复用功能选择寄存器 x	0x48+0x04*x
GPIO_FILTERR1	滤波使能寄存器 1	0x58
GPIO_FILTERR2	滤波使能寄存器 2	0x5C
GPIO_BSRRx	端口置位复位寄存器 x	0x60+0x04*x

GPIO_BRRx	端口复位寄存器 x	0x70+0x04*x
GPIO_SWR1	端口模拟开关寄存器 1	0x80
GPIO_SWR2	端口模拟开关寄存器 2	0x84

12.6 寄存器功能描述

x 的取值是：0/1/2/3，分别对应 GPIOA/GPIOB/GPIOC/GPIOD；

y 的取值是：0~5/0~12/ 0~12/ 0~15，分别对应 GPIOA/GPIOB/GPIOC/GPIOD；

PA/PB/PC/PD 分别对应 GPIOA/GPIOB/GPIOC/GPIOD。

12.6.1 端口模式选择寄存器（GPIO_MODERx）

偏移地址：0x00+0x04*x

复位值：0x00F0 0C00（GPIOB）

0x0000 0000（其他端口）

位/域	名称	R/W	描述
31:0	MODEy[1:0]	R/W	配置端口 x 引脚 y 模式（Port x Pin y mode Configure） 00：模拟模式（复位后的状态） 01：输入模式 10：通用输出模式 11：复用功能模式 这些位由软件写操作配置 I/O 口的模式。

12.6.2 端口上下拉控制寄存器（GPIO_PUPDRx）

偏移地址：0x10+0x04*x

复位值：0x0050 0C00（GPIOB）

0x0000 0000（其他端口）

位/域	名称	R/W	描述
31:16	PUPDSEly	R/W	配置端口 x 引脚 y 上拉/下拉选择（Port x Pin y Pull-up/Pull-down enable） 0：上拉 1：下拉
15:0	PUPDENy	R/W	配置端口 x 引脚 y 上拉/下拉使能位（Port x Pin y Pull-up/Pull-down enable） 0：上下拉功能禁止 1：上下拉功能使能

12.6.3 端口输出模式寄存器（GPIO_OTYPER1）

偏移地址：0x20

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	OTy	R/W	配置 PB 引脚 y 输出模式（Port B Pin y Output Mode Configure） 0：推挽输出（复位状态） 1：开漏输出
15:0	OTy	R/W	配置 PA 引脚 y 输出模式（Port A Pin y Output Mode Configure） 0：推挽输出（复位状态）

位/域	名称	R/W	描述
			1: 开漏输出

12.6.4 端口输出模式寄存器 (GPIO_OTYPER2)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	OTy	R/W	配置 PD 引脚 y 输出模式 (Port D Pin y Output Mode Configure) 0: 推挽输出 (复位状态) 1: 开漏输出
15:0	OTy	R/W	配置 PC 引脚 y 输出模式 (Port C Pin y Output Mode Configure) 0: 推挽输出 (复位状态) 1: 开漏输出

12.6.5 端口输出速度寄存器 (GPIO_OSPEEDRx)

偏移地址: 0x28+0x04*x

复位值: 0x0000 0AAA (GPIOA)

0x02BA AAAA (GPIOB)

0x02AA AAAA (GPIOC)

0xAAAA AAAA (GPIOD)

位/域	名称	R/W	描述
31:0	OSPEEDy[1:0]	R/W	选择端口 x 引脚 y 输出速度 (Port x Pin y Output Speed Select) 0x: 低速 10: 中速 11: 高速 由软件写配置 I/O 口的速度。

12.6.6 端口输入数据寄存器 (GPIO_IDR1)

偏移地址: 0x38

复位值: 0x0000 0000

位/域	名称	R	描述
31:16	IDy	R	PB 引脚 y 输入数据 (Port B Pin y Input Data) 这些位只能进行 32 位读操作, 用来存储相应的 I/O 端口的输入值。
15:0	IDy	R	PA 引脚 y 输入数据 (Port A Pin y Input Data) 这些位只能进行 32 位读操作, 用来存储相应的 I/O 端口的输入值。

12.6.7 端口输入数据寄存器 (GPIO_IDR2)

偏移地址: 0x3C

复位值: 0x0000 0000

位/域	名称	R	描述
31:16	IDy	R	PD 引脚 y 输入数据 (Port D Pin y Input Data) 这些位只能进行 32 位读操作, 用来存储相应的 I/O 端口的输入值。
15:0	IDy	R	PC 引脚 y 输入数据 (Port C Pin y Input Data) 这些位只能进行 32 位读操作, 用来存储相应的 I/O 端口的输入值。

12.6.8 端口输出数据寄存器 (GPIO_ODR1)

偏移地址: 0x40

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	ODy	W	PB 引脚 y 输出数据 (Port B Pin y Output Data) 可以通过软件进行读写操作。 对于原子位设置/清除, 可以通过写入 GPIO_BSRR 寄存器来单独设置 ODR 位。
15:0	ODy	W	PA 引脚 y 输出数据 (Port A Pin y Output Data) 可以通过软件进行读写操作。 对于原子位设置/清除, 可以通过写入 GPIO_BSRR 寄存器来单独设置 ODR 位。

12.6.9 端口输出数据寄存器 (GPIO_ODR2)

偏移地址: 0x44

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	ODy	W	PD 引脚 y 输出数据 (Port D Pin y Output Data) 可以通过软件进行读写操作。 对于原子位设置/清除, 可以通过写入 GPIO_BSRR 寄存器来单独设置 ODR 位。
15:0	ODy	W	PC 引脚 y 输出数据 (Port C Pin y Output Data) 可以通过软件进行读写操作。 对于原子位设置/清除, 可以通过写入 GPIO_BSRR 寄存器来单独设置 ODR 位。

12.6.10 端口复用功能选择寄存器 (GPIO_AFSELRx)

偏移地址: 0x48+0x04*x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:0	AFSELy[1:0]	R/W	选择端口 x 引脚 y 的复用功能 (Port x Pin y Alternate Function Select) 这些位可以通过软件进行读操作, 用来配置端口的复用功能, 具体复用信息请参考数据手册。 AFSELy 选择: 00: AF0 01: AF1 10: AF2 11: AF3

12.6.11 滤波使能寄存器 (GPIO_FILTERR1)

偏移地址: 0x58

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	FLTENy	R/W	PB 引脚 y 滤波使能 (Port B Pin y filter enable) 0: 端口 B 的引脚 y 滤波功能禁止 1: 端口 B 的引脚 y 滤波功能使能
15:0	FLTENy	R/W	PA 引脚 y 滤波使能 (Port A Pin y filter enable) 0: 端口 A 的引脚 y 滤波功能禁止 1: 端口 A 的引脚 y 滤波功能使能

12.6.12 滤波使能寄存器 (GPIO_FILTERR2)

偏移地址: 0x5C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	FLTENy	R/W	PD 引脚滤波使能 (Filter enable) 0: 端口 D 的引脚 y 滤波功能禁止 1: 端口 D 的引脚 y 滤波功能使能
15:0	FLTENy	R/W	PC 引脚滤波使能 (Filter enable) 0: 端口 C 的引脚 y 滤波功能禁止 1: 端口 C 的引脚 y 滤波功能使能

12.6.13 端口置位复位寄存器 (GPIO_BSRRx)

偏移地址: 0x60+0x04*x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	BRy	R	复位端口 x 的引脚 y (Port x Pin y reset) 0: 对端口 x 的引脚 y 无作用 1: 复位端口 x 的引脚 y 注意: 如果相应引脚的 BS 和 BR 位同时置 1, BS 的优先级更高。
15:0	BSy	R	置位端口 x 的引脚 y (Port x Pin y set) 0: 对端口 x 的引脚 y 无作用 1: 置位端口 x 的引脚 y

12.6.14 端口复位寄存器 (GPIO_BRRx)

偏移地址: 0x70+0x04*x

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	BRy	R/W	复位端口 x 的引脚 y (Port x Pin y reset) 0: 对端口 x 的引脚 y 无作用 1: 复位端口 x 的引脚 y

12.6.15 端口模拟开关寄存器 (GPIO_SWR1)

偏移地址: 0x80

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	SWy	R/W	端口 PB 的引脚 y 的模拟开关控制 (Port B Pin y reset analog switch control) 对于 3.3V 标准 I/O: 0: 引脚 y 的模拟开关断开 1: 引脚 y 的模拟开关闭合 例如: 配置 PB2 引脚为 ADC 功能时, 需要将对应的寄存器位置 1。 对于 5V 容忍 I/O: 0: 数字 5V 容忍输入 1: 模拟 3.3V 输入输出 例如: 配置 PB4 引脚为 DAC 功能时, 需要将对应的寄存器位置 1。

位/域	名称	R/W	描述
15:0	SWy	R/W	端口 PA 的引脚 y 的模拟开关控制 (Port A Pin y reset analog switch control) 对于 3.3V 标准 I/O: 0: 引脚 y 的模拟开关断开 1: 引脚 y 的模拟开关闭合 对于 5V 容忍 I/O: 0: 数字 5V 容忍输入 1: 模拟 3.3V 输入输出

12.6.16 端口模拟开关寄存器 (GPIO_SWR2)

偏移地址: 0x84

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	SWy	R/W	端口 PD 的引脚 y 的模拟开关控制 (Port D Pin y reset analog switch control) 对于 3.3V 标准 I/O: 0: 引脚 y 的模拟开关断开 1: 引脚 y 的模拟开关闭合 对于 5V 容忍 I/O: 0: 数字 5V 容忍输入 1: 模拟 3.3V 输入输出
15:0	SWy	R/W	端口 PC 的引脚 y 的模拟开关控制 (Port C Pin y reset analog switch control) 对于 3.3V 标准 I/O: 0: 引脚 y 的模拟开关断开 1: 引脚 y 的模拟开关闭合 例如: 配置 PC4 引脚为 ADC 功能时, 需要将对应的寄存器位置 1。 对于 5V 容忍 I/O: 0: 数字 5V 容忍输入 1: 模拟 3.3V 输入输出 例如: 配置 PC12 引脚为 ADC 功能时, 需要将对应的寄存器位置 1。

13 定时器概述

13.1 术语全称、缩写描述

表格 44 术语全称、缩写描述

中文全称	英文全称	英文缩写
定时器	Timer	TMR
更新	Update	U
请求	Request	R
事件	Event	EV
捕捉	Compare	C
比较	Compare	C
长度	Length	LEN

13.2 定时器类别及主要差异

本次系列产品内置 16 位高级定时器、16 位通用定时器、独立看门狗定时器、窗口看门狗定时器、低功耗定时器和系统滴答定时器（看门狗定时器在其它章节中具体描述）。

高级定时器可用于测量输入信号的脉冲长度（输入捕获）、刹车输入、编码器接口、ETR 输入或产生输出波形（输出比较、单脉冲输出、带死区插入的互补 PWM 或普通 PWM 输出），或作为一个可重复计数的时基。

通用定时器也可以作为一个简单的时基，它的功能比高级定时器简单，主要差异点在非互补输出通道数、互补输出通道组数、刹车功能、死区插入功能和重复计数功能。

看门狗定时器可以用来检测程序是否正常运行。低功耗定时器可以在停机模式下运行和唤醒系统。

系统滴答定时器为内核外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

产品包含的定时器主要差异见下表：

表格 45 产品包含的定时器主要差异

项目	具体内容/类别	高级定时器	通用定时器	低功耗定时器	系统滴答定时器
	名称	TMR1	TMR2/3/4	LPTMR	SysTick Timer
时钟源	内部时钟	可以	可以	可以	可以
	外部输入	可以	可以	不可以	不可以
	外部触发	可以	可以	不可以	不可以

项目	具体内容/类别	高级定时器	通用定时器	低功耗定时器	系统滴答定时器
	内部触发	可以	可以	不可以	不可以
内部触发输出		1	1	0	0
时基单元	计数器分辨率	16 位	16 位	16 位	24 位
	计数模式	向上向下 向上/下	向上向下 向上/下	向上	向下
	预分频系数	1~65536 间 任意整数	1~65536 间任意 整数	1~65536 间任意 整数	无
引脚特性	外部触发信号输入引脚	1 路	1 路	0	0
	刹车输入引脚	2 路	0	0	0
	互补通道引脚	3 组	0	0	0
	非互补通道引脚	1 路	4 路	0	0
通道	捕获/比较通道	4	4	0	0
	互补输出通道	3	0	0	0
功能	产生 DMA 请求	可以	可以	不可以	不可以
	计数功能	有	有	-	-
	PWM 输入	有	有	-	-
	刹车输入	有	-	-	-
	编码器接口	有	有	-	-
	ETR 输入	有	有	-	-
	PWM 输出	有	有	-	-
	强制输出	有	有	-	-
	单脉冲输出	有	有	-	-
	带死区插入的互补 PWM	有	-	-	-
	同步或事件链接功能	有	有	-	-
	调试模式下计数器可以被冻结	有	有	-	-
	比较器输出可以连接定时器进行计数	有	有	-	-
	停机模式下运行和唤醒系统	-	-	有	-
	自动重装载功能	有	有	有	有

定时器术语

表格 46 引脚定义术语

名称	描述
TMRx_ETR	定时器 x 外部触发信号
TMRx_CH1、TMRx_CH2、TMRx_CH3、 TMRx_CH4	定时器 x 通道 1/2/3/4
TMRx_ChYn	定时器 x 互补输出通道 y
TMRx_BKIN	定时器 x 刹车信号

表格 47 内部信号定义术语

名称	描述
ETR	TMRx_ETR 外部触发信号
ETRF	外部触发滤波
ETRP	外部触发分频
-	
ITR, ITR0, ITR1	内部触发
TRGI	时钟/触发器/从模式控制器的触发输入
TIF_ED	定时器输入滤波边缘检测
-	
CK_PSC	分频时钟
CK_CNT	计数器时钟
PSC	预分频器
CNT	计数器
AUTORLD	自动装载寄存器
-	
Tix, TI1	定时器输入
TixF, TI1F	定时器输入滤波
TI1_ED	定时器输入边缘检测
TixFPx, TI1FP1	定时器输入滤波极性
Icx, IC1	输入捕获
IcxPS, IC1PS	输入捕获预分频
TRC	触发捕获
BRK	刹车信号
-	
Ocx, OC1	定时器输出比较通道
OCxREF, OC1REF	输出比较参考信号

名称	描述
-	
TGI	触发中断
BI	刹车中断
CCxI, CC1I	捕获/比较中断
UEV	更新事件
UIFLG	更新中断标志

14 高级定时器（TMR1）

14.1 简介

高级定时器以时基单元为核心，拥有输入捕获、输出比较和刹车输入等功能，含有一个 16 位的自动装载计数器。高级定时器相比较其它定时器增加了互补输出、重复计数以及可编程的死区插入等功能，不仅可用于控制高精度光电/磁电绝对值编码器，还可用于电机控制领域。

14.2 主要特征

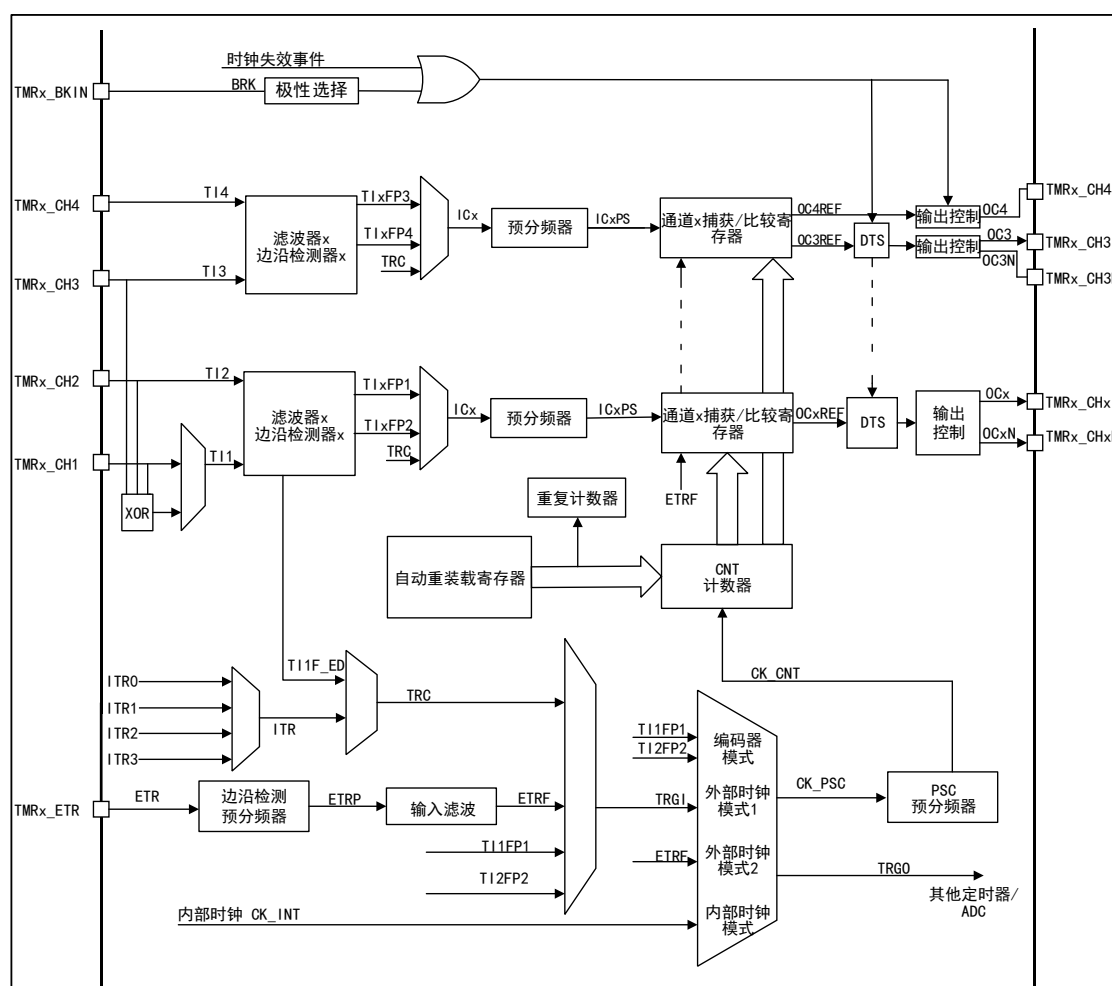
- （1） 时基单元
 - 计数器：16 位计数器，可以向上计数，向下计数，中央对齐计数
 - 预分频器：16 位可编程预分频器
 - 重复计数器：16 位的重复计数器
 - 自动重装载功能
- （2） 时钟源选择
 - 内部时钟
 - 外部输入
 - 外部触发
 - 内部触发
- （3） 输入捕获功能
 - 计数功能
 - PWM 输入模式（脉冲宽度、频率、占空比测量）
 - 编码器接口模式
- （4） 输出比较功能
 - PWM 输出模式
 - 强制输出模式
 - 单脉冲模式
 - 互补输出和死区插入
- （5） 定时功能
- （6） 刹车功能
- （7） 定时器的主/从模式控制器
 - 定时器之间可以同步和级联
 - 支持多种从模式、同步信号
- （8） 中断输出和 DMA 请求事件
 - 更新事件（计数器上/下溢出，计数器初始化）
 - 触发事件（计数器启动、停止、内/外部触发）
 - 捕获/比较事件

● 刹车信号输入事件

- (9) 定时器有独立的 DMA 请求机制生成
- (10) 比较器输出可以连接定时器 ETR 或输入通道进行计数
- (11) 支持定位用增量（正交）编码器和霍尔传感器电路
- (12) 支持 ETR 输入（外部触发输入）功能，可以用作外部时钟或逐周期电流管理

14.3 结构框图

图 21 高级定时器结构框图



14.4 功能描述

14.4.1 时钟源选择

高级定时器一共有四种时钟源。

内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式 1

来自定时器自身的输入通道 TI1/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 TI1F_ED 信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

14.4.2 时基单元

高级定时器里的时基单元包含四个寄存器：

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器（PSC）
- 8 位重复次数寄存器（REPCNT）

重复次数寄存器是高级定时器特有的。

计数器 CNT

高级定时器中的计数器中一共有三种计数模式：

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

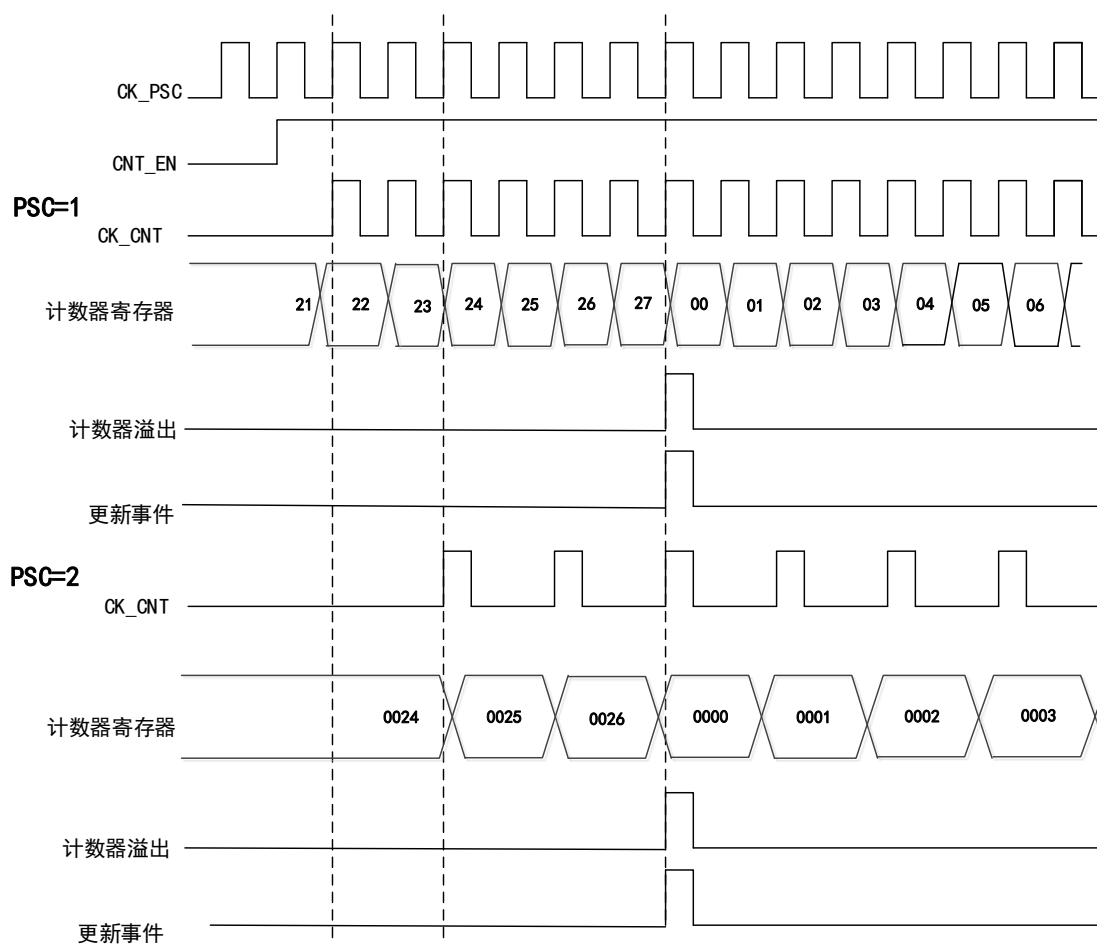
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载

（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。如果使用重复计数器，则当向上计数的重复次数达到重复计数器寄存器中的

次数加一次（ $TMRx\_REPCNT+1$ ）后，将生成更新事件。否则，将在每次计数器上溢时产生更新事件，此时重复计数的影子寄存器、自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 $TMRx\_CTRL1$ 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图。

图 22 向上计数模式下，分频因子为 1 或 2 的时序图



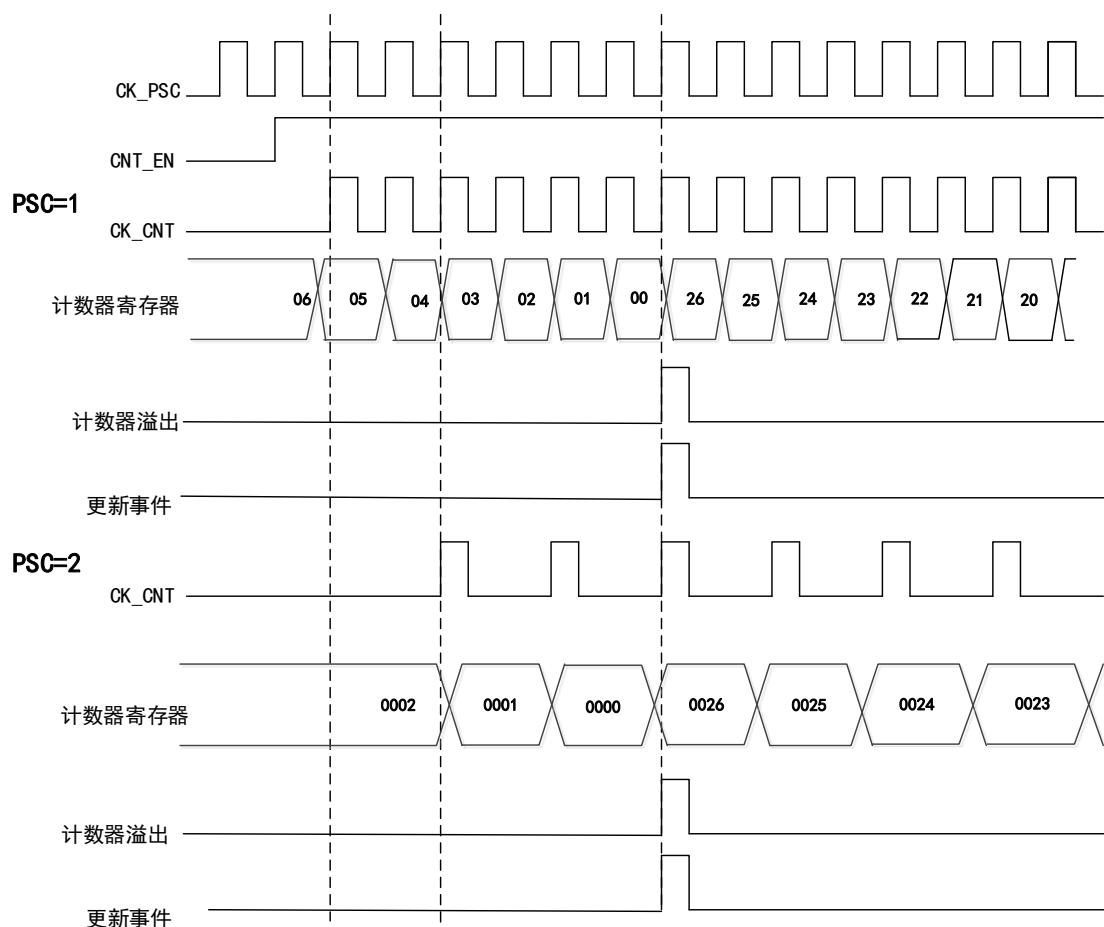
向下计数模式

通过配置控制寄存器（ $TMRx\_CTRL1$ ）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重载的值（ $TMRx\_AUTORLD$ ）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（ $TMRx\_AUTORLD$ ）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重载的值（ $TMRx\_AUTORLD$ ）是提前写入的。如果使用重复计数器，则当向下计数的重复次数达到重复计数器寄存器中的次数加一次

（ $TMRx\_REPCNT+1$ ）后，将生成更新事件。否则，将在每次计数器下溢时产生更新事件，此时，重复计数的影子寄存器、自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 $TMRx\_CTRL1$ 寄存器中的 UD 位，禁止更新事件。

图 23 向下计数模式下，分频因子为 1 或 2 的时序图

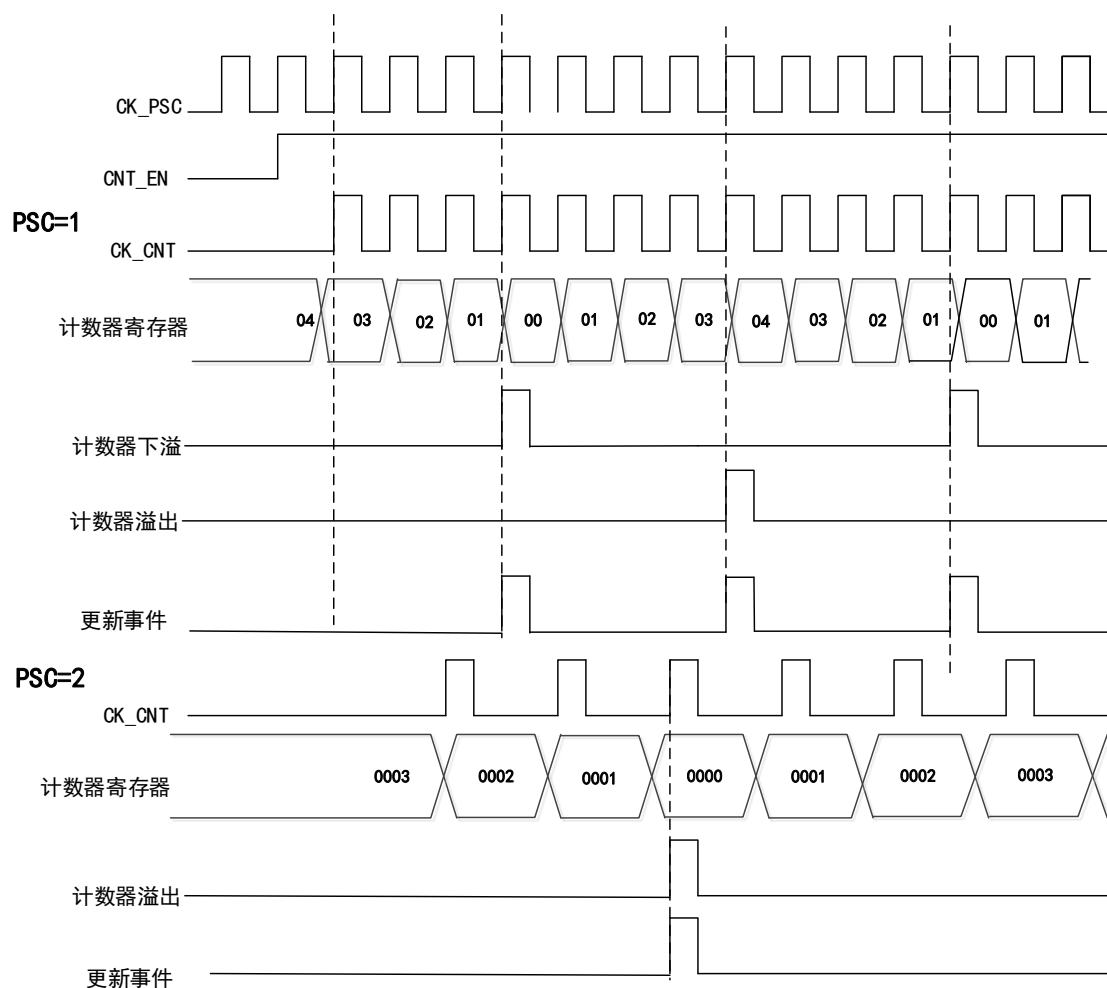


中央对齐模式

通过配置控制寄存器（TMRx_CTRL1）中的 CAMSEL 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重载的值（TMRx_AUTORLD），然后从自动重载的值（TMRx_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 24 中央对齐模式下，分频因子为 1 或 2 的时序图



重复计数器 REPCNT

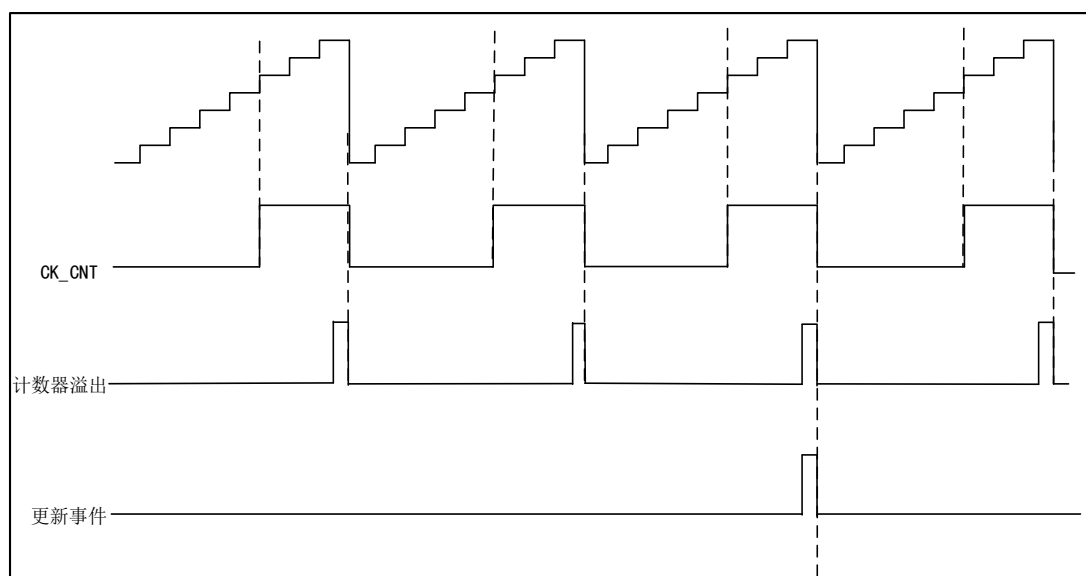
在通用定时器中没有重复计数器 REPCNT，也就表明了通用定时器中发生上溢事件或者下溢事件时，直接就会产生更新事件，而在高级定时器里，因为重复计数器的存在，高级定时器发生上/下溢事件时，只有当重复计数器的值为 0 时才会产生更新事件。

例如，如果高级定时器需要在发生上/下溢事件时就产生更新事件，应将重复计数器的值置 0。

如果在向上计数模式时，使用了重复计数器功能，每当计数器向上计数到 AUTORD 时，发生上溢事件，此时重复计数器的值会减 1，直到重复计数器的值为 0 时会产生更新事件。

即在发生 N+1 个（N 为重复计数器的值）上/下溢事件时产生更新事件。

图 25 向上计数模式下，设置 REPCNT=2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 TMRx_PSC 寄存器控制），经过分频后的时钟将会驱动计数器 CNT 计数。预分频器带有缓冲器，它能够在运行中被改变。

14.4.3 输入捕获

输入捕获通道

高级定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 TI1/2/3/4 进入首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 CNT 的值将会被锁存在捕获寄存器 CCx 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕

获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

14.4.4 输出比较

输出比较一共有八种模式：冻结、匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

14.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重载值 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和中央对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5, AUTORLD=7, 在 PWM 模式 1 下的时序图：

图 26 PWM1 向上计数模式的时序图

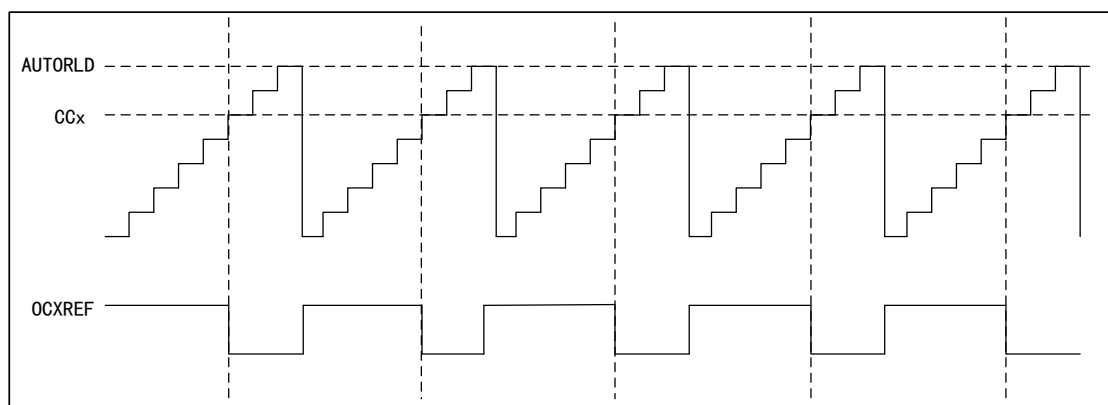


图 27 PWM1 向下计数模式的时序图

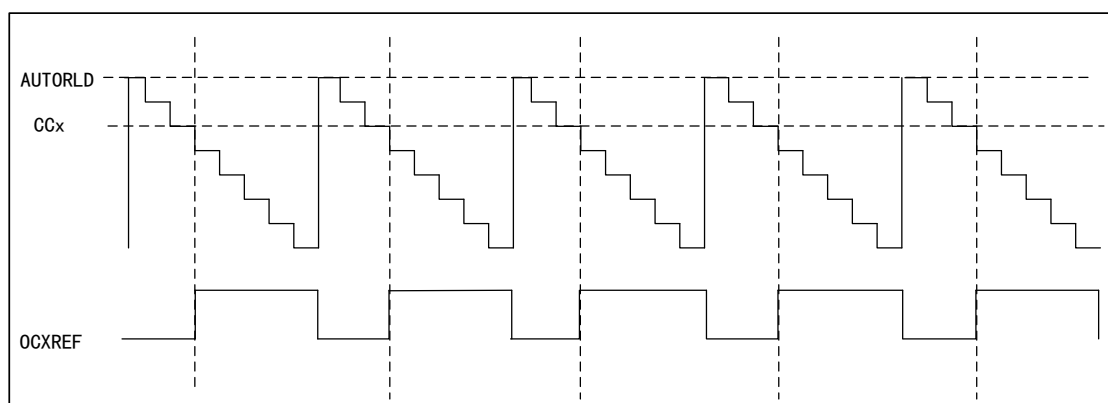
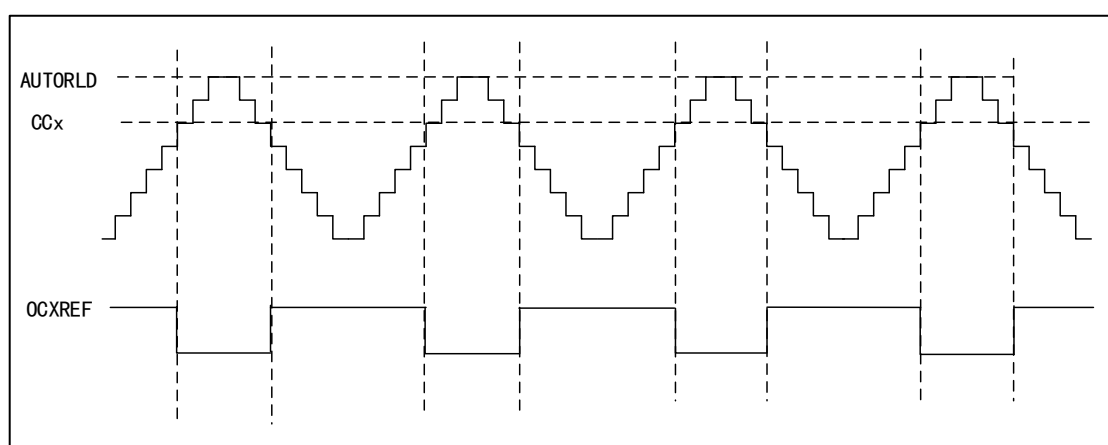


图 28 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7,在 PWM 模式 2 下的时序图：

图 29 PWM2 向上计数模式的时序图

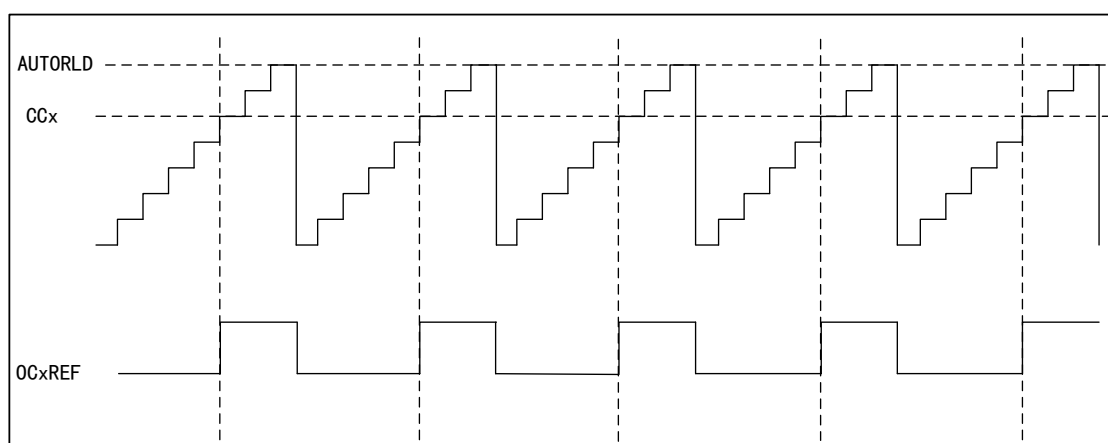


图 30 PWM2 向下计数模式的时序图

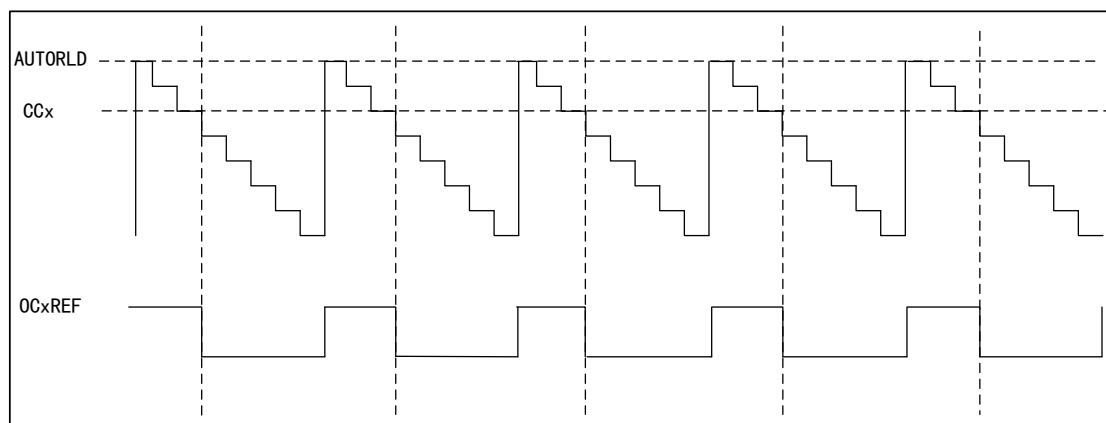
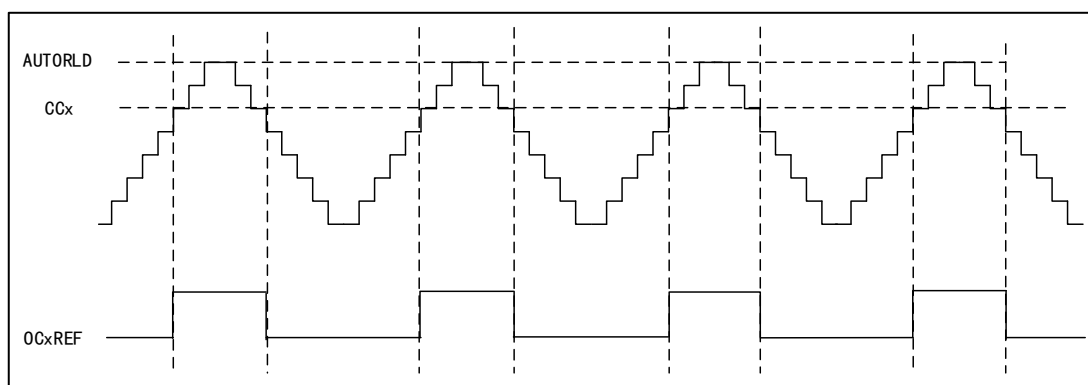


图 31 PWM2 中央对齐模式的时序图



14.4.6 PWM 输入模式

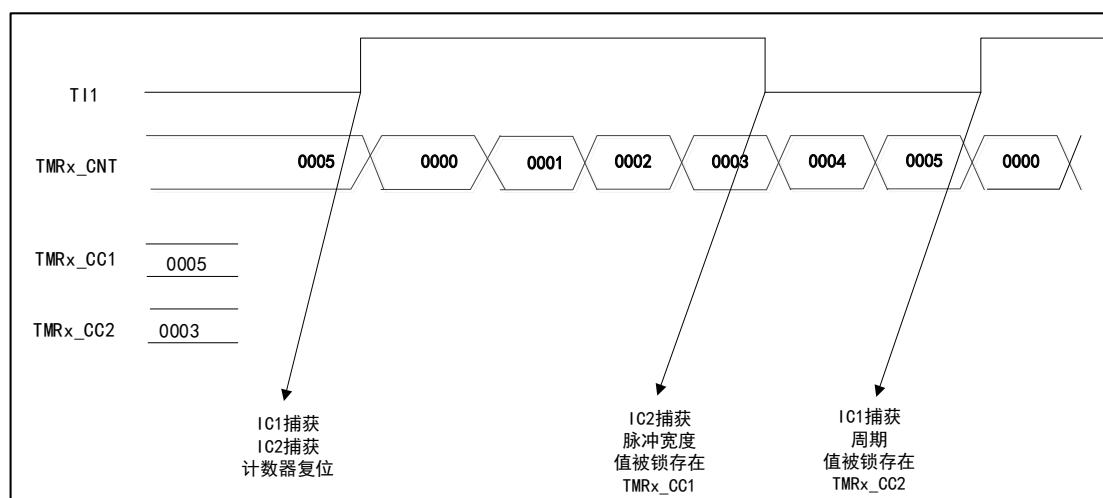
PWM 输入模式是输入捕获的一个特例。

PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMRx_CH1 和 TMRx_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMRx_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一路会自动配置相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMRx_SMCTRL 寄存器的 SMFSEL 位）。

图 32 PWM 输入模式时序图



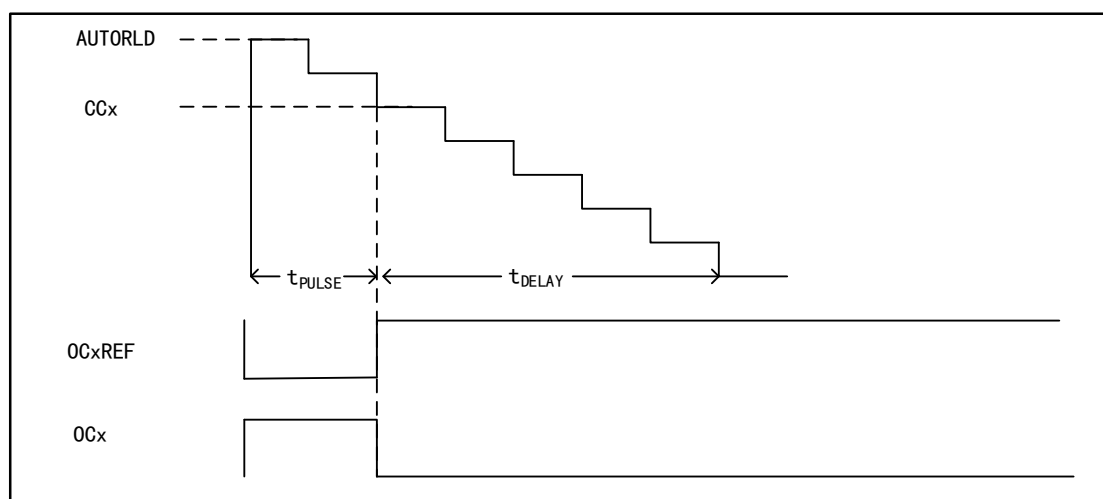
14.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 33 单脉冲模式下的时序图



14.4.8 寄存器对输出波形的影响

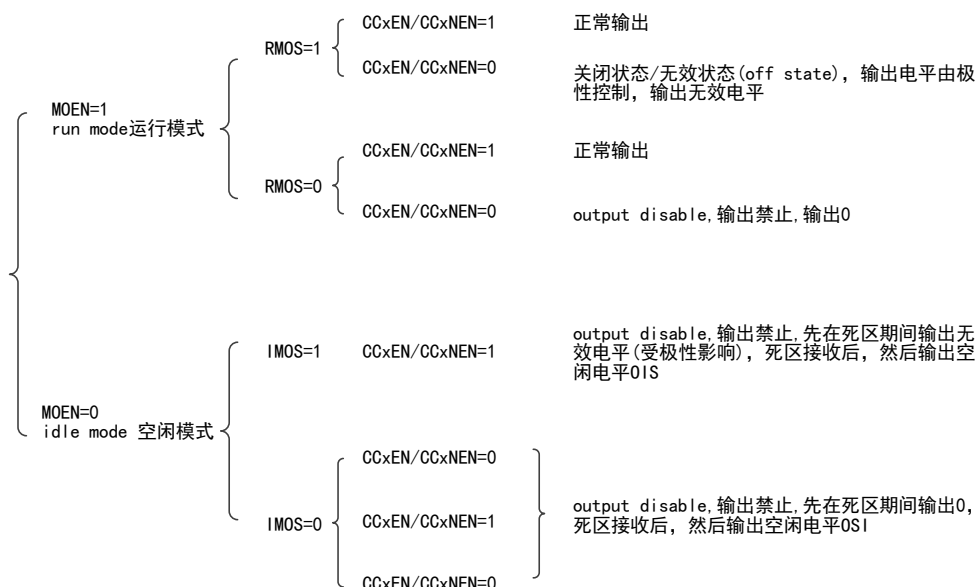
以下寄存器会影响定时器输出波形的电平，详细信息可参照“寄存器功能描述”。

- (1) TMRx_CCEN 寄存器中的 CcxEN、CCxNEN 位

- CCxNEN=0、CcxEN=0: 关闭输出（输出禁止，无效状态）
 - CCxNEN=1、CcxEN=1: 开启输出（输出使能，正常输出）
- (2) TMRx_BDT 寄存器中的 MOEN 位
- MOEN=0: 空闲模式
 - MOEN=1: 运行模式
- (3) TMRx_CTRL2 寄存器中的 OCxOIS、OCxNOIS 位
- OCxOIS=0、OCxNOIS=0: 空闲时（MOEN=0）死区后的输出电平为 0
 - OCxOIS=1、OCxNOIS=1: 空闲时（MOEN=0）死区后的输出电平为 1
- (4) TMRx_BDT 寄存器中的 RMOS 位
- RMOS 的应用环境：对应互补通道、定时器运行模式下（MOEN=1）、定时器不工作（CcxEN=0、CCxNEN=0）或工作（CcxEN=1、CCxNEN=1）情况下
- (5) TMRx_BDT 寄存器中的 IMOS 位
- IMOS 的应用环境：对应互补通道、定时器空闲模式下（MOEN=0）、定时器不工作（CcxEN=0、CCxNEN=0）或工作（CcxEN=1、CCxNEN=1）情况下
- (6) TMRx_CCEN 寄存器的 CCxPOL、CCxNPOL 位
- CCxPOL=0、CCxNPOL=0: 输出极性，高电平有效
 - CCxPOL=1、CCxNPOL=1: 输出极性，低电平有效

下图罗列了影响输出波形的寄存器结构关系：

图 34 影响输出波形的寄存器结构关系



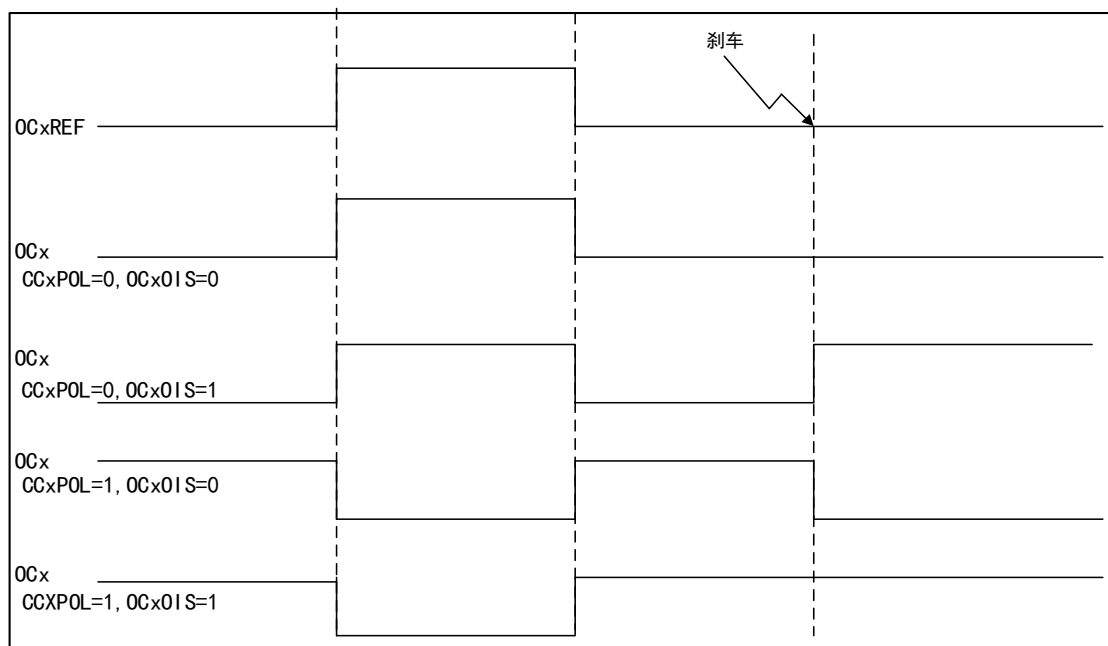
14.4.9 刹车功能

刹车的信号源为时钟故障事件和外部输入接口。

其中 TMRx_BDT 寄存器中的 BRKEN 位可以使能刹车功能，BRKPOL 位配置刹车输入信号的极性。

发生刹车事件时，可以根据相关控制位的状态修改输出脉冲信号电平。

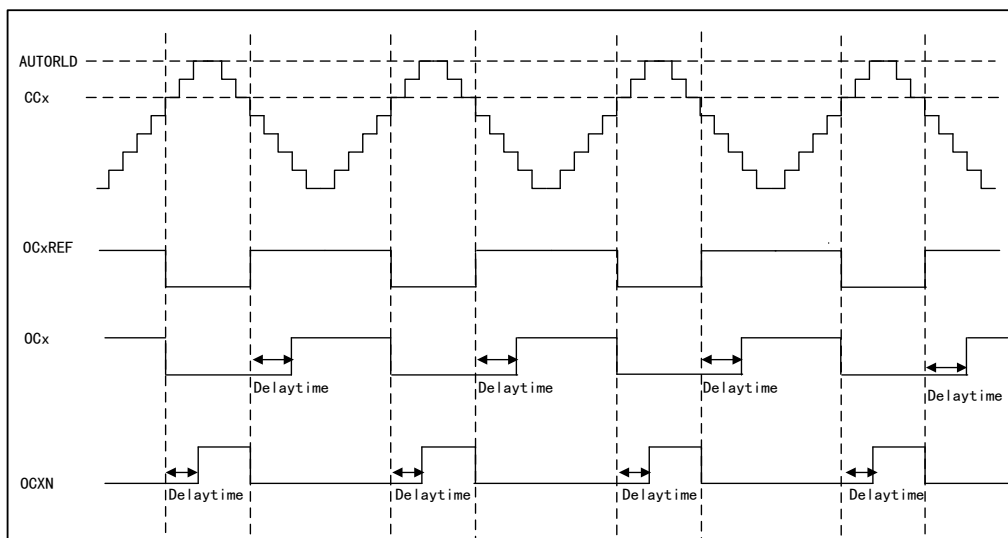
图 35 发生刹车事件的时序图



14.4.10 互补输出和死区插入

互补输出是高级定时器特有的输出，高级定时器有三组互补输出通道。插入死区时间用于生成互补的输出信号，确保通道互补的两路信号不会同时有效。根据定时器连接的输出器件以及特性来设定死区时间，配置 TMRx_BDT 寄存器的 DTS 位可以控制死区的持续时间。

图 36 带死区插入的互补输出



14.4.11 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00, 设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101, 设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

14.4.12 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计数器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMRx_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMRx_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMRx_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序，计数器会向上/向下计数。
- 将控制寄存器 TMRx_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）。

计数器计数方向改变机制如下图：

表格 48 计数方向与编码器的关系

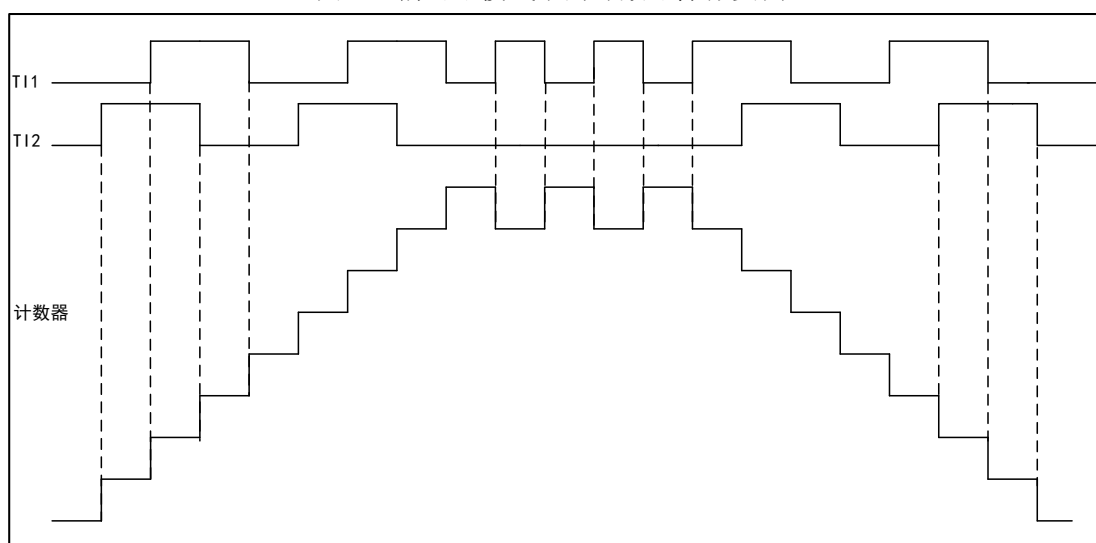
有效边沿		仅在 T11 计数		仅在 T12 计数		在 T11 和 T12 计数	
相对信号的电平		高	低	高	低	高	低
T11FP1	上升沿	—		向下计数	向上计数	向下计数	向上计数
	下降沿			向上计数	向下计数	向上计数	向下计数
T12FP2	上升沿	向上计数	向下计数	—		向上计数	向下计数
	下降沿	向下计数	向上计数			向下计数	向上计数

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

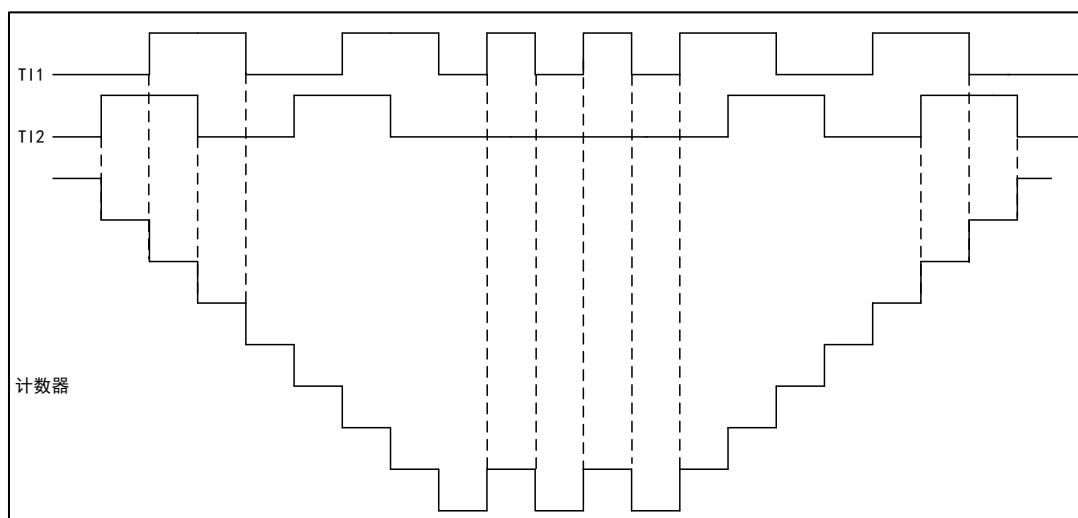
- 将 IC1FP1 映射到 T11
- 将 IC2FP2 映射到 T12
- IC1FP1 和 IC2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 37 编码器模式下的计数器操作实例



例如：当 T11 处在低电平时，如果 T12 出现上升沿状态，计数器向上计数。

图 38 IC1FP1 反相的编码器接口模式实例



例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

14.4.13 从模式

TMRx 定时器可以进行外部的触发同步：

- 复位模式
- 门控模式
- 触发模式

可设置 TMRx_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式。

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

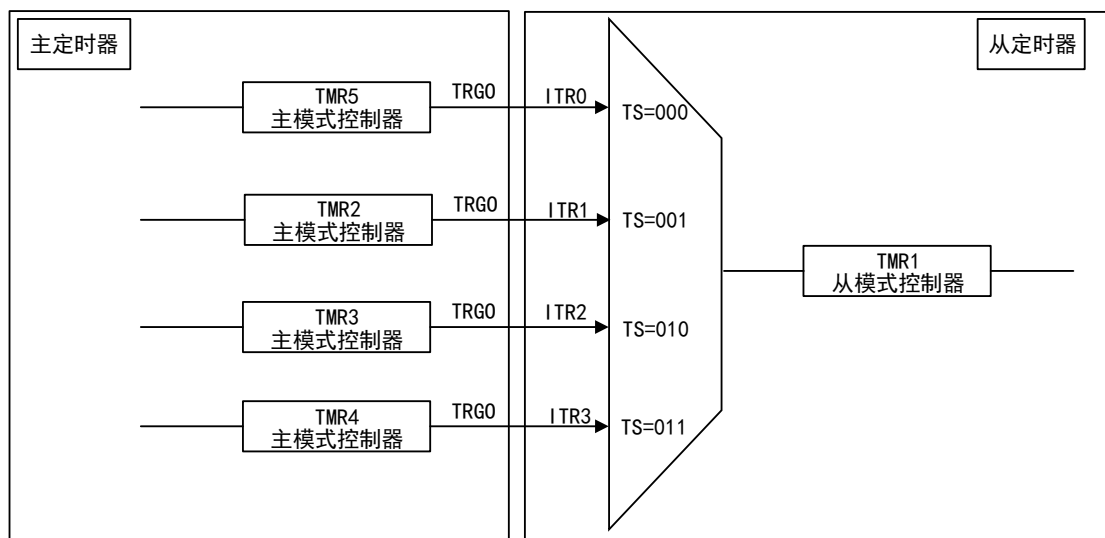
触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

14.4.14 定时器互连

TMRx 各个定时器可以互相连接实现定时器之间的同步或级联。需要配置一个定时器处于主模式，另一个定时器处于从模式。

定时器处于主模式时可以对从模式定时器的计数器进行复位、启动、停止和提供时钟源等。

图 39 定时器 1 主/从模式的例子



在定时器互连中可以：

- 将一个定时器作为另一个寄存器的预分频器
- 用一个定时器的使能信号启动另一个寄存器
- 用一个定时器的更新事件启动另一个寄存器
- 用一个定时器的使能选通另一个定时器
- 用一个外部触发同步两个定时器

14.4.15 中断和 DMA 请求

定时器在工作时产生事件时会发生中断：

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件
- 刹车信号输入事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

14.4.16 调试模式

TMR1 可以在调试模式下配置，选择停止还是继续工作。取决于 DBGMCU_APBF 寄存器的 DBG_TIM1_STOP 位。

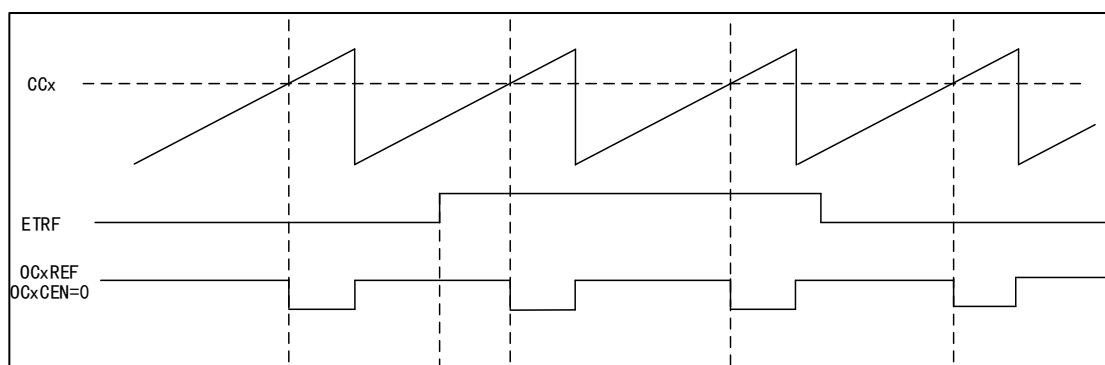
14.4.17 在外部事件时清除 OCxREF 信号

此功能是由于输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 TMRx_CCMx 中的 OCxCEN 的位设置为 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

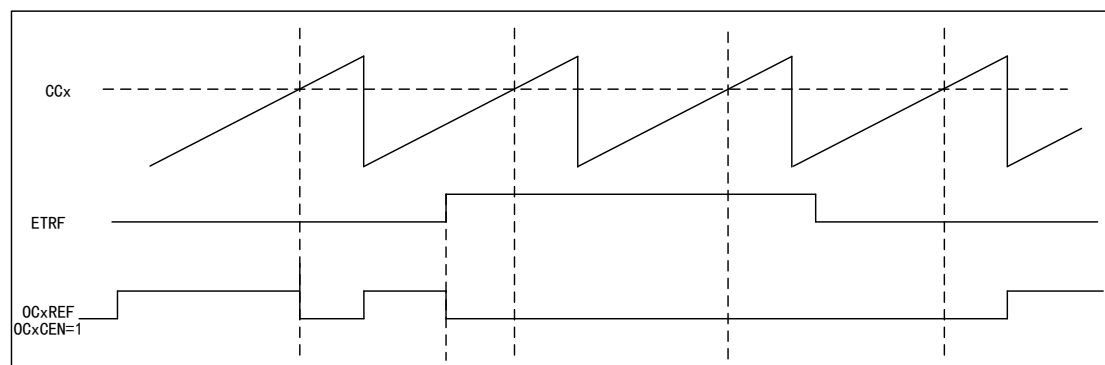
将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 40 OCxREF 时序图



将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 41 OCxREF 时序图



14.5 寄存器地址映射

下表中将高级定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 49 高级定时器寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_SMCTRL	从模式控制寄存器	0x08
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCM2	捕获/比较模式寄存器 2	0x1C
TMRx_CCEN	捕获/比较使能寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28

寄存器名	描述	偏移地址
TMRx_AUTORLD	自动重载寄存器	0x2C
TMRx_REPCNT	重复计数寄存器	0x30
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMRx_CC2	通道 2 捕获/比较寄存器	0x38
TMRx_CC3	通道 3 捕获/比较寄存器	0x3C
TMRx_CC4	通道 4 捕获/比较寄存器	0x40
TMRx_BDT	刹车和死区寄存器	0x44
TMRx_DCTRL	DMA 控制寄存器	0x48
TMRx_DMADDR	连续模式的 DMA 地址寄存器	0x4C

14.6 寄存器功能描述

14.6.1 控制寄存器 1 (TMRx_CTRL1) (x=1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:8	CLKDIV	R/W	时钟分频系数 (Clock Division) 死区、数字滤波器的配置由 CK_INT 提供时钟, 通过设置该位可调整死区时间、数字滤波器的采用时钟。 00: $t_{DTS}=t_{CK\_INT}$ 01: $t_{DTS}=2 \times t_{CK\_INT}$ 10: $t_{DTS}=4 \times t_{CK\_INT}$ 11: 保留
7	ARPEN	R/W	TMRx_AUTORLD 寄存器自动重载缓冲使能 (Auto-reload Preload Enable) 禁止缓存区时, 程序修改 TMRx_AUTORLD 会立刻修改装入计数器的数值; 使能缓存区时, 程序修改 TMRx_AUTORLD 会在下一个更新事件修改装入计数器的数值。 0: 禁止 1: 使能
6:5	CAMSEL	R/W	选择中央对齐模式 (Center Aligned Mode Select) 中央对齐模式下, 计数器交替的向上向下计数; 否则只向上或向下计数。不同的中央对齐模式, 影响输出通道的输出比较中断标志位置 1 的时机; 在计数器禁止时 (CNTEN=0) 时, 选择中央对齐模式。 00: 边沿对齐模式 01: 中心对齐模式 1 (在向下计数时, 输出通道的输出比较中断标志位置 1) 10: 中心对齐模式 2 (在向上计数时, 输出通道的输出比较中断标志位置 1) 11: 中心对齐模式 3 (在向上/下计数时, 输出通道的输出比较中断标志位置 1)

位/域	名称	R/W	描述
4	CNTDIR	R/W	配置计数器计数方向（Counter Direction） 当计数器配置为中央对齐模式或编码器模式时，该位为只读。 0：向上计数 1：向下计数
3	SPMEN	R/W	使能单脉冲模式（Single Pulse Mode Enable） 产生更新事件时，可改变通道的输出电平；在该模式下，会清除 CNTEN 位，停止计数器，后续不再改变通道的输出电平。 0：禁用 1：使能
2	URSSEL	R/W	更新请求源（Update Request Source Select） 如果使能了中断或 DMA，更新事件可产生更新中断或 DMA 请求，通过该位可选择不同的更新请求源。 0：计数器上溢或下溢 设置 UEG 位； 通过从模式控制器产生的更新。 1：计数器上溢或下溢
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。

14.6.2 控制寄存器 2（TMRx_CTRL2）（x=1）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	OC4OIS	R/W	配置 OC4 输出空闲状态。参考 OC1OIS 位
13	OC3NOIS	R/W	配置 OC3N 输出空闲状态。参考 OC1NOIS 位
12	OC3OIS	R/W	配置 OC3 输出空闲状态。参考 OC1OIS 位
11	OC2NOIS	R/W	配置 OC2N 输出空闲状态。参考 OC1NOIS 位
10	OC2OIS	R/W	配置 OC2 输出空闲状态。参考 OC1OIS 位

位/域	名称	R/W	描述
9	OC1NOIS	R/W	配置 OC1N 输出空闲状态 (OC1N Output Idel State Configure) 仅在当 MOEN=0、实现了 OC1N，只影响 OC1N 死区时间后的电平状态。 0: OC1N=0 1: OC1N=1 注：当 TMRx_BDT 寄存器中 PLOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
8	OC1OIS	R/W	配置 OC1 输出空闲状态 (OC1 Output Idel State Configure) 仅在当 MOEN=0 时、实现了 OC1N，只影响 OC1 死区时间后的电平状态。 0: OC1=0 1: OC1=1 注：当 TMRx_BDT 寄存器中 LOCKCFG 位级别为 1、2 或 3 时，该位不能修改。
7	TI1SEL	R/W	TI1 选择 (Timer Input 1 Selection) 0: TMRx_CH1 引脚连到 TI1 输入 1: TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号 (Master Mode Signal Select) 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。 000: 复位，主模式定时器的复位信号用于 TRGO 001: 使能，主模式定时器的计数器使能信号用于 TRGO 010: 更新，主模式定时器的更新事件用于 TRGO 011: 比较脉冲，主模式定时器捕获/比较成功 (CCxIFLG=1) 时输出一个脉冲信号用于 TRGO 100: 比较模式 1，OC1REF 用于触发 TRGO 101: 比较模式 2，OC2REF 用于触发 TRGO 110: 比较模式 3，OC3REF 用于触发 TRGO 111: 比较模式 4，OC4REF 用于触发 TRGO
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求 (Capture/compare DMA Select) 0: 当发生 CCx 事件时，送出 CCx 的 DMA 请求 1: 当发生更新事件时，送出 CCx 的 DMA 请求
2	CCUSEL	R/W	选择捕获/比较控制更新 (Capture/compare Control Update Select) 仅在捕获比较预装载使能 (CCPEN=1) 时，且只对互补输出通道才起作用。 0: 只能通过设置 COMG 位更新 1: 可以通过设置 COMG 位或者 TRGI 上的上升沿更新
1	保留		
0	CCPEN	R/W	使能捕获/比较预装载 (Capture/Compare Preloaded Enable) 该位影响 CcxEN、CCxNEN、OCxMOD 数值的改变，禁止预装载时，程序修改会立刻影响定时器的设置；使能预装载时，只在设置了 COMG 会后更新，从而影响定时器的设置；该位只在具有互补输出的通道起作用。 0: 禁止 1: 使能

14.6.3 从模式控制寄存器 (TMRx_SMCTRL) (x=1)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ETPOL	R/W	配置外部触发极性 (External Trigger Polarity Configure) 该位决定外部触发 ETR 是否反相。 0: 外部触发 ETR 不反相, 高电平或上升沿有效 1: 外部触发 ETR 反相, 低电平或下降沿有效
14	ECEN	R/W	使能外部时钟模式 2 (External Clock Enable Mode2) 0: 禁止 1: 使能 设置 ECEN 位与选择外部时钟模式 1 将 TRGI 连接到 ETRF 具有相同作用; 从模式 (复位、门控、触发) 可以与外部时钟模式 2 同时使用, 但此时 TRGI 不能连到 ETRF; 当外部时钟模式 1 和外部时钟模式 2 同时使能时, 外部时钟的输入是 ETRF。
13:12	ETPCFG	R/W	配置外部触发信号预分频器 (External Trigger Prescaler Configure) ETR (外部触发输入) 的信号经过分频后为 ETRP, ETRP 的信号频率最多是 TMRxCLK 频率的 1/4; 当 ETR 频率过高时, 须经过分频降低 ETRP 的频率。 00: 禁用预分频器; 01: ETR 信号 2 分频 10: ETR 信号 4 分频 11: ETR 信号 8 分频
11:8	ETFCFG	R/W	配置外部触发滤波器 (External Trigger Filter Configure) 0000: 禁用滤波器, 以 f _{DTS} 采样 0001: DIV=1, N=2 0010: DIV=1, N=4 0011: DIV=1, N=8 0100: DIV=2, N=6 0101: DIV=2, N=8 0110: DIV=4, N=6 0111: DIV=4, N=8 1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波长度=N, 每 N 个事件产生一个跳变。
7	MSMEN	R/W	使能主/从模式 (Master/slave Mode Enable) 0: 无效 1: 使能主/从模式

位/域	名称	R/W	描述
6:4	TRGSEL	R/W	选择触发输入信号（Trigger Input Signal Select） 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。 000: 内部触发 ITR0 001: 内部触发 ITR1 010: 内部触发 ITR2 011: 内部触发 ITR3 100: 通道 1 输入边沿检测器 TIF_ED 101: 通道 1 滤波后定时器输入 TI1FP1 110: 通道 2 滤波后的定时器输入 TI2FP2 111: 外部触发输入（ETRF）
3	保留		
2:0	SMFSEL	R/W	选择从模式功能（Slave Mode Function Select） 000: 禁止从模式，定时器可作为主模式定时器影响从模式定时器的工 作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。 001: 编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计 数。 010: 编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计 数。 011: 编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、 TI2FP2 的边沿计数。 100: 复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数 器，并产生更新寄存器的信号。 101: 门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数 器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电 平信号时，继续工作；整个期间不复位计数器。 110: 触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数 器工作。 111: 外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器 工作。

14.6.4 DMA/中断使能寄存器（TMRx_DIEN）（x=1）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	TRGDEN	R/W	使能触发 DMA 请求（Trigger DMA Request Enable） 0: 禁止 1: 使能
13	COMDEN	R/W	使能的 DMA 请求（COM DMA Request Enable） 0: 禁止 1: 使能
12	CC4DEN	R/W	使能捕获/比较通道 4 的 DMA 请求（Capture/Compare Channe4 DMA Request Enable） 0: 禁止 1: 使能

位/域	名称	R/W	描述
11	CC3DEN	R/W	使能捕获/比较通道 3 的 DMA 请求 (Capture/Compare Channel3 DMA Request Enable) 0: 禁止 1: 使能
10	CC2DEN	R/W	使能捕获/比较通道 2 的 DMA 请求 (Capture/Compare Channel2 DMA Request Enable) 0: 禁止 1: 使能
9	CC1DEN	R/W	使能捕获/比较通道 1 的 DMA 请求 (Capture/Compare Channel1 DMA Request Enable) 0: 禁止 1: 使能
8	UDIEN	R/W	使能更新的 DMA 请求 (Update DMA Request Enable) 0: 禁止 1: 使能
7	BRKIEN	R/W	使能刹车中断 (Break Interrupt Enable) 0: 禁止 1: 使能
6	TRGIEN	R/W	使能触发中断 (Trigger Interrupt Enable) 0: 禁止 1: 使能
5	COMIEN	R/W	使能 COM 中断 (COM Interrupt Enable) 0: 禁止 1: 使能
4	CC4IEN	R/W	使能捕获/比较通道 4 中断 (Capture/Compare Channel4 Interrupt Enable) 0: 禁止 1: 使能
3	CC3IEN	R/W	使能捕获/比较通道 3 中断 (Capture/Compare Channel3 Interrupt Enable) 0: 禁止 1: 使能
2	CC2IEN	R/W	使能捕获/比较通道 2 中断 (Capture/Compare Channel2 Interrupt Enable) 0: 禁止 1: 使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断 (Capture/Compare Channel1 Interrupt Enable) 0: 禁止 1: 使能
0	UIEN	R/W	使能更新中断 (Update Interrupt Enable) 0: 禁止 1: 使能

14.6.5 状态寄存器 (TMRx_STS) (x=1)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12	CC4RCFLG	RC_W0	捕获/比较通道 4 重复捕获标志 (Captuer/Compare Channel4 Repetition Capture Flag) 参考 STS_CC1RCFLG
11	CC3RCFLG	RC_W0	捕获/比较通道 3 重复捕获标志 (Captuer/Compare Channel3 Repetition Capture Flag) 参考 STS_CC1RCFLG
10	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志 (Captuer/Compare Channel2 Repetition Capture Flag) 参考 STS_CC1RCFLG
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志 (Captuer/Compare Channel1 Repetition Capture Flag) 0: 没有发生重复捕获 1: 发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中, 此时 TMRx_STS 寄存器的 CC1IFLG=1; 只有当通道被配置为输入捕获时, 该位由硬件置 1, 软件清 0。
8	保留		
7	BRKIFLG	RC_W0	产生刹车事件中断标志 (Brake Event Interrupt Generate Flag) 0: 没有发生刹车事件 1: 发生刹车事件 刹车输入有效的情况下, 该位由硬件置 1; 无效的情况下, 可以通过软件清 0。
6	TRGIFLG	RC_W0	产生触发事件中断标志 (Trigger Event Interrupt Generate Flag) 0: 没有发生触发事件中断 1: 发生触发事件中断 发生触发事件时, 该位由硬件置 1, 软件清 0。
5	COMIFLG	RC_W0	产生 COM 事件中断标志 (COM Event Interrupt Generate Flag) 0: 无 COM 事件产生 1: COM 中断等待响应 产生 COM 事件后, 该位由硬件置 1, 软件清 0。
4	CC4IFLG	RC_W0	捕获/比较通道 4 中断标志 (Captuer/Compare Channel4 Interrupt Flag) 参考 STS_CC1IFLG
3	CC3IFLG	RC_W0	捕获/比较通道 3 中断标志 (Captuer/Compare Channel3 Interrupt Flag) 参考 STS_CC1IFLG
2	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志 (Captuer/Compare Channel2 Interrupt Flag) 参考 STS_CC1IFLG

位/域	名称	R/W	描述
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志 (Captuer/Compare Channel1 Interrupt Flag) 当捕获比较通道 1 配置为输出时: 0: 无匹配发生 1: TMRx_CNT 的值与 TMRx_CC1 的值相匹配 当捕获比较通道 1 配置为输入时: 0: 没有发生输入捕获 1: 发生输入捕获 捕获事件发生时由硬件置 1, 可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。
0	UIFLG	RC_W0	产生更新事件中断标志位 (Update Event Interrupt Generate Flag) 0: 没有发生更新事件中断 1: 发生更新事件中断 计数器数值重新装载或重新初始化时, 会产生更新事件, 该位由硬件置 1, 软件清 0; 更新事件的产生的情况有以下情况: (1) TMRx_CTRL1 寄存器的 UD=0, 重复计数器数值上/下溢时产生更新事件; (2) TMRx_CTRL1 寄存器的 URSSEL=0 和 UD=0, 配置 TMRx_CEG 寄存器的 UEG=1 产生更新事件, 需要通过软件初始化计数器; (3) TMRx_CTRL1 寄存器的 URSSEL=0 和 UD=0, 计数器被触事件初始化时产生更新事件。

14.6.6 控制事件产生寄存器 (TMRx_CEG) (x=1)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	BEG	W	产生刹车事件 (Brake Event Generate) 0: 无效 1: 产生刹车事件 该位由软件置 1, 硬件自动清 0。
6	TEG	W	产生触发事件 (Trigger Event Generate) 0: 无效 1: 产生触发事件 该位由软件置 1, 硬件自动清 0。
5	COMG	W	产生捕获/比较控制更新事件 (Capture/Compare Control Update Event Generate) 0: 无效 1: 产生捕获/比较更新事件 该位由软件置 1, 硬件自动清 0。 注: COMG 位只有在互补输出的通道有效。
4	CC4EG	W	产生捕获/比较通道 4 事件 (Capture/Compare Channel4 Event Generation) 参考 CC1EG 描述

位/域	名称	R/W	描述
3	CC3EG	W	产生捕获/比较通道 3 事件 (Capture/Compare Channel3 Event Generation) 参考 CC1EG 描述
2	CC2EG	W	产生捕获/比较通道 2 事件 (Capture/Compare Channel2 Event Generation) 参考 CC1EG 描述
1	CC1EG	W	产生捕获/比较通道 1 事件 (Capture/Compare Channel1 Event Generation) 0: 无效 1: 产生捕获/比较事件 该位由软件置 1, 硬件自动清 0。 如果通道 1 处于输出模式: 当 TMRx_STS 寄存器的位 CC1IFLG=1 时, 如果设置了 TMRx_DIEN 寄存器的 CC1IEN 和 CC1DEN 位, 则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式: 捕获计数器的值存储在 TMRx_CC1 寄存器中; 配置 TMRx_STS 寄存器的位 CC1IFLG=1, 如果还设置了 TMRx_DIEN 寄存器的 CC1IEN 和 CC1DEN 位, 则产生相应的中断和 DMA 请求; 如果此时 CC1IFLG=1, 则需要配置 CC1RCFLG=1。
0	UEG	W	产生更新事件 (Update Event Generate) 0: 无效 1: 初始化计数器, 产生更新事件 此位由软件置 1, 硬件清 0。 注意: 产生更新事件时, 预分频器的计数器会清 0, 但是预分频系数不变。如果在向下计数模式下计数器会读取 TMRx_AUTORD 的值; 如果在中央对齐模式下或者向上计数模式中计数器会被清 0。

14.6.7 捕获/比较模式寄存器 1 (TMRx_CCM1) (x=1)

偏移地址: 0x18

复位值: 0x0000 0000

可通过 CCxSEL 位配置定时器为输入 (捕获模式) 或输出 (比较模式)。该寄存器其它位的作用在输入和输出模式下不同, 同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能, 寄存器中的 lcx 描述了通道在输入模式下的功能。

输出比较模式:

位/域	名称	R/W	描述
31:16	保留		
15	OC2CEN	R/W	使能输出通道 2 比较清除 (Output Compare Channel2 Clear Enable)
14:12	OC2MOD	R/W	输出比较通道 2 模式 (Output Compare Channel2 Mode)
11	OC2PEN	R/W	使能输出比较通道 2 缓冲 (Output Compare Channel2 Buffer Enable)
10	OC2FEN	R/W	快速使能输出比较通道 2 (Output Compare Channel2 Preload Enable)

位/域	名称	R/W	描述
9:8	CC2SEL	R/W	通道 2 模式选择 (Capture/Compare Channel2 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC2 通道为输出 01: CC2 通道为输入, IC2 映射在 TI2 上 10: CC2 通道为输入, IC2 映射在 TI1 上 11: CC2 通道为输入, IC2 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC2EN=0 时) 可写。
7	OC1CEN	R/W	使能输出比较通道 1 清除 (Output Compare Channel1 Clear Enable) 0: OC1REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC1REF=0
6:4	OC1MOD	R/W	配置输出比较通道 1 模式 (Output Compare Channel1 Mode Configure) 000: 冻结。输出比较对 OC1REF 无影响 001: 匹配时输出置为高。计数器的值和捕获比较寄存器的值 CCx 生匹配时, 强制 OC1REF 为高电平 010: 匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时, 强制 OC1REF 为低电平 011: 匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时, 转 OC1REF 的电平 100: 强制输出为低。强制 OC1REF 为低电平 101: 强制输出为高。强制 OC1REF 为高电平 110: PWM 模式 1 (计数器值<输出比较值时置为高, 否则反之) 111: PWM 模式 2 (计数器值>输出比较值时置为高, 否则反之) 注: 当保护级别为 3 级时且通道配置为输出时, 该位不能被修改。在 PWM 模式 1 和 2 中, OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
3	OC1PEN	R/W	使能输出比较通道 1 预装载 (Output Compare Channel1 Preload Enable) 0: 禁止预装载功能, 通过程序写入 TMRx_CC1 寄存器的数值, 会马上起作用。 1: 启用预装载功能, 通过程序写入 TMRx_CC1 寄存器的数值, 会在产生更新事件后起作用。 注: 当保护级别为 3 级时且通道配置为输出时, 该位不能被修改。当不确定预装载寄存器情况, 仅在单脉冲模式 (SPMEN=1) 下, 可以使用 PWM 模式, 否则不确定其接下来的输出比较结果。
2	OC1FEN	R/W	快速使能输出比较通道 1 (Output Compare Channel1 Fast Enable) 0: 禁止 1: 使能 该位用来提高捕获/比较输出对触发输入事件的响应。
1:0	CC1SEL	R/W	选择捕获/比较通道 1 (Capture/Compare Channel1 Selection) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC1 通道为输出 01: CC1 通道为输入, IC1 映射在 TI1 上 10: CC1 通道为输入, IC1 映射在 TI2 上 11: CC1 通道为输入, IC1 映射在 TRC 上, 仅工作在内部触发输入 注: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC1EN=0 时) 可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16	保留		
15:12	IC2F	R/W	配置输入捕获通道 2 滤波器 (Input Capture Channel2 Filter Configuration)
11:10	IC2PSC	R/W	配置输入捕获通道 2 预分频因子 (Input Capture Channel2 Perscaler Configuration)
9:8	CC2SEL	R/W	选择捕获/比较通道 2 (Capture/Compare Channel2 Select) 00: CC2 通道为输出 01: CC2 通道为输入, IC2 映射在 TI2 上 10: CC2 通道为输入, IC2 映射在 TI1 上 11: CC2 通道为输入, IC2 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC2EN=0 时) 可写。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器 (Input Capture Channel1 Filter Configuration) 0000: 禁用滤波器, 以 f_{DTS} 采样 0001: DIV=1, N=2 0010: DIV=1, N=4 0011: DIV=1, N=8 0100: DIV=2, N=6 0101: DIV=2, N=8 0110: DIV=4, N=6 0111: DIV=4, N=8 1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波器长度=N, 表示每 N 个事件产生一个跳变。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子 (Input Capture Channel1 Perscaler Configure) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC1SEL	R/W	选择输入/捕获通道 1 (Capture/Compare Channel1 Select) 00: CC1 通道为输出 01: CC1 通道为输入, IC1 映射在 TI1 上 10: CC1 通道为输入, IC1 映射在 TI2 上 11: CC1 通道为输入, IC1 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 位的 CC1EN=0 时) 可写。

14.6.8 捕获/比较模式寄存器 2 (TMRx_CCM2) (x=1)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCM1 寄存器的描述。

输出比较模式:

位/域	名称	R/W	描述
31:16	保留		
15	OC4CEN	R/W	使能输出通道 4 比较清除 (Output Compare Channel4 Clear Enable)
14:12	OC4MOD	R/W	配置输出比较通道 4 模式 (Output Compare Channel4 Mode Configure)
11	OC4PEN	R/W	使能输出比较通道 4 缓冲 (Output Compare Channel4 Buffer Enable)
10	OC4FEN	R/W	快速使能输出比较通道 4 (Output Compare Channel4 Preload Enable)
9:8	CC4SEL	R/W	选择通道 4 模式 (Capture/compare Channel4 Selection) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC4 通道为输出 01: CC4 通道为输入, IC4 映射在 TI4 上 10: CC4 通道为输入, IC4 映射在 TI3 上 11: CC4 通道为输入, IC4 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC4EN=0 时) 可写。
7	OC3CEN	R/W	使能输出比较通道 3 清除 (Output Compare Channel3 Clear Enable) 0: OC3REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC1REF=0
6:4	OC3MOD	R/W	配置输出比较通道 3 模式 (Output Compare Channel3 Mode Configure)
3	OC3PEN	R/W	使能输出比较通道 3 预装载 (Output Compare Channel3 Preload Enable)
2	OC3FEN	R/W	快速使能输出比较通道 3 (Output Compare Channel3 Fast Enable) 0: 禁止 1: 使能 该位用来提高捕获/比较输出对触发输入事件的响应。
1:0	CC3SEL	R/W	选择捕获/比较通道 3 (Capture/Compare Channel1 Selection) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI4 上 11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC3EN=0 时) 可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16	保留		
15:12	IC4F	R/W	配置输入捕获通道 4 滤波器 (Input Capture Channel4 Filter Configuration)
11:10	IC4PSC	R/W	配置输入捕获通道 4 预分频因子 (Input Capture Channel4 Perscaler Configuration)

位/域	名称	R/W	描述
9:8	CC4SEL	R/W	选择捕获/比较通道 4 (Capture/Compare Channel4 Select) 00: CC4 通道为输出 01: CC4 通道为输入, IC4 映射在 TI4 上 10: CC4 通道为输入, IC4 映射在 TI3 上 11: CC4 通道为输入, IC4 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC4EN=0 时) 可写。
7:4	IC3F	R/W	配置输入捕获通道 3 滤波器 (Input Capture Channel3 Filter Configuration)
3:2	IC3PSC	R/W	配置输入捕获通道 3 预分频因子 (Input Capture Channel3 Prescaler Configuration) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC3SEL	R/W	选择输入/捕获通道 3 (Capture/Compare Channel3 Select) 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI4 上 11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC3EN=0 时) 可写。

14.6.9 捕获/比较使能寄存器 (TMRx_CCEN) (x=1)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:14	保留		
13	CC4POL	R/W	配置捕获/比较通道 4 输出极性 (Capture/Compare Channel4 Output Polarity Configure) 参考 CCEN_CC1POL
12	CC4EN	R/W	使能捕获/比较通道 4 输出 (Capture/Compare Channel4 Output Enable) 参考 CCEN_CC1EN
11	CC3NPOL	R/W	配置捕获/比较通道 3 互补输出极性 (Capture/Compare Channel3 Complementary Output Polarity Configure) 参考 CCEN_CC1NPOL
10	CC3NEN	R/W	使能捕获/比较通道 3 互补输出 (Capture/Compare Channel3 Complementary Output Enable) 参考 CCEN_CC1NEN
9	CC3POL	R/W	配置捕获/比较通道 3 输出极性 (Capture/Compare Channel3 Output Polarity Configure) 参考 CCEN_CC1POL

位/域	名称	R/W	描述
8	CC3EN	R/W	使能捕获/比较通道 3 输出 (Capture/Compare Channel3 Output Enable) 参考 CCEN_CC1EN
7	CC2NPOL	R/W	配置捕获/比较通道 2 互补输出极性 (Capture/Compare Channel2 Complementary Output Polarity Configure) 参考 CCEN_CC1NPOL
6	CC2NEN	R/W	使能捕获/比较通道 2 互补输出 (Capture/Compare Channel2 Complementary Output Enable) 参考 CCEN_CC1NEN
5	CC2POL	R/W	配置捕获/比较通道 2 输出极性 (Capture/Compare Channel2 Output Polarity Configure) 参考 CCEN_CC1POL
4	CC2EN	R/W	使能捕获/比较通道 2 输出 (Capture/Compare Channel2 Output Enable) 参考 CCEN_CC1EN
3	CC1NPOL	R/W	捕获/比较通道 1 互补输出极性 (Capture/Compare Channel1 Complementary Output Polarity) 0: OC1N 高电平有效 1: OC1N 低电平有效 注: 当保护级别为 2 或者 3 时, 该位不能被修改
2	CC1NEN	R/W	使能捕获/比较通道 1 互补输出 (Capture/Compare Channel1 Complementary Output Enable) 0: 禁止 1: 开启
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性 (Capture/Compare Channel1 Output Polarity Configure) CC1 通道配置为输出时: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入时: 0: 不反相: 在 IC1 的上升沿进行捕获, IC1 作为外部触发器时不反相。 1: 反相, 在 IC1 的下降沿进行捕获, IC1 作为外部触发器时反相。 注: 当保护级别为 2 或者 3 时, 该位不能被修改
0	CC1EN	R/W	使能捕获/比较通道 1 输出 (Capture/Compare Channel1 Output Enable) 捕获/比较通道 1 配置为输出时: 0: 禁止输出 1: 开启输出 捕获/比较通道 1 配置为输入时: 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0: 禁止捕获 1: 开启捕获

14.6.10 计数器寄存器 (TMRx_CNT) (x=1)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CNT	R/W	计数器数值 (Counter Value)

14.6.11 预分频寄存器 (TMRx_PSC) (x=1)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSC	R/W	预分频器数值 (Prescaler Value) 计数器的时钟频率 (CK_CNT) = $f_{CK\_PSC} / (PSC+1)$

14.6.12 自动重载寄存器 (TMRx_AUTORLD) (x=1)

偏移地址: 0x2C

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16	保留		
15:0	AUTORLD	R/W	自动重载数值 (Auto Reload Value) 自动重载的值为空时, 计数器不进行计数。

14.6.13 重复计数寄存器 (TMRx_REPCNT) (x=1)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:0	REPCNT	R/W	重复计数数值 (Repetition Counter Value) 当重复计数器计数值减为 0 时产生更新事件, 计数器重新从 REPCNT 数值开始计数; 新写入该寄存器的新值只有在下次周期更新事件发生时才有效。

14.6.14 通道 1 捕获/比较寄存器 (TMRx_CC1) (x=1)

偏移地址: 0x34

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC1	R/W	捕获/比较通道 1 数值 (Capture/Compare Channel1 Value) 捕获/比较通道 1 配置为输入模式: CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 捕获/比较通道 1 配置为输出模式: CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较, 在 OC1 上产生输出信号。 当输出比较预装载禁止 (TMRx_CCM1 寄存器的 OC1PEN=0) 时, 写入的数值会立即影响输出比较结果;

位/域	名称	R/W	描述
			当输出比较预装载使能（TMRx_CCM1 寄存器的 OC1PEN=1）时，写入的值会在产生更新事件时影响输出比较结果。

14.6.15 通道 2 捕获/比较寄存器（TMRx_CC2）（x=1）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CC2	R/W	捕获/比较通道 2 数值（Capture/Compare Channel2 Value） 参考 TMRx_CC1

14.6.16 通道 3 捕获/比较寄存器（TMRx_CC3）（x=1）

偏移地址：0x3C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CC3	R/W	捕获/比较通道 3 数值（Capture/Compare Channel3 Value） 参考 TMRx_CC1

14.6.17 通道 4 捕获/比较寄存器（TMRx_CC4）（x=1）

偏移地址：0x40

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	CC4	R/W	捕获/比较通道 4 数值（Capture/Compare Channel4 Value） 参考 TMRx_CC1

14.6.18 刹车和死区寄存器（TMRx_BDT）（x=1）

偏移地址：0x44

复位值：0x0000 0000

注意：根据锁定设置，AOEN、BRKPOL、BRKEN、IMOS、RMOS 和 DTS[7:0] 位均可被写保护，有必要在第一次写入 TMRx_BDT 寄存器时对它们进行配置。

位/域	名称	R/W	描述
31:16			保留
15	MOEN	R/W	使能 PWM 主输出（PWM Main Output Enable） 0：禁止 OCx 和 OCxN 输出或者强制输出空闲状态 1：当设置了 TMRx_CCEN 寄存器的 CCxEN 和 CCxNEN 位，开启 Oc _x 和 OCxN 输出 刹车输入有效时硬件异步清 0。 注：由软件置 1 还是自动置 1 取决于 TMRx_BDT 寄存器的 AOEN 位。
14	AOEN	R/W	使能自动输出（Automatic Output Enable） 0：MOEN 只能被软件置 1

位/域	名称	R/W	描述
			1: MOEN 可以被软件置 1 或者在下一个更新事件时自动置 1 (刹车输入无效) 注: 当保护级别为 1 时, 该位不能修改。
13	BRKPOL	R/W	配置刹车输入极性 (Brake Polarity Configure) 0: 刹车输入 BRK 在低电平有效 1: 刹车输入 BRK 在高电平有效 注: 当保护级别为 1 时, 该位不能被修改。对该位的写操作需要一个 APB 时钟延迟后才能使用。
12	BRKEN	R/W	使能刹车功能 (Brake Function Enable) 0: 禁止 1: 使能 注: 当保护级别为 1 时, 该位不能修改。
11	RMOS	R/W	配置运行模式下的关闭状态 (Run Mode Off-state Configure) 运行模式指 MOEN=1, 关闭是指 CCxEN=0; 该位描述的是在 MOEN=1, CCxEN 由 0 变为 1 时, 配置该位不同的数值, 对输出波形的影响。 0: 禁止 OCx/OCxN 输出 1: OCx/OCxN 先输出无效电平 (具体电平数值受极性配置影响)
10	IMOS	R/W	配置空闲模式下的关闭状态 (Idle Mode Off-state Configure) 空闲模式指 MOEN=0, 关闭是指 CCxEN=0; 该位描述的是在 MOEN=0, CCxEN 由 0 变为 1, 配置该位不同的数值, 对输出波形的影响。 0: 禁止 OCx/OCxN 输出 1: 若 CCxEN=1, 先在死区期间输出无效电平 (具体电平数值受极性配置影响), 在死区结束后, 输出空闲电平
9:8	LOCKCFG	R/W	配置锁定写保护模式 (Lock Write Protection Mode Configuration) 00: 无锁定写保护, 可直接写寄存器 01: 锁定写保护级别 1 不能写入 TMRx_BDT 的 DTS、BRKEN、BRKPOL、AOEN 位和 TMRx_CTRL2 寄存器的 OCxOIS 和 OCxNOIS 位。 10: 锁定写保护级别保护级别 2 不能写入保护级别 1 的所有位, 也不能写入 TMRx_CCEN 寄存器中的 CCxPOL 和 OCxNPOL 位、TMRx_BDT 寄存器的 RMOS 和 IMOS 位。 11: 锁定写保护级别保护级别 3 不能写入保护级别 2 的所有位, 也不能写入 TMRx_CCMx 的寄存器的 OCxMOD 和 OCxPEN 位。 注意: 在系统复位后, 只能写一次锁定写保护位。
7:0	DTS	R/W	设置互补输出通道的死区持续时间 (Dead Time Setup) DT 为死区持续时间, DT 与寄存器 DTS 的关系如下: $DTS[7:5]=0xx \Rightarrow DT=DTS[7:0] \times T_{DTS}, T_{DTS}=TDTS;$ $DTS[7:5]=10x \Rightarrow DT=(64+DTS[5:0]) \times T_{DTS}, T_{DTS}=2 \times T_{DTS};$ $DTS[7:5]=110 \Rightarrow DT=(32+DTS[4:0]) \times T_{DTS}, T_{DTS}=8 \times T_{DTS};$ $DTS[7:5]=111 \Rightarrow DT=(32+DTS[4:0]) \times T_{DTS}, T_{DTS}=16 \times T_{DTS};$ 例: 假设 $T_{DTS}=125ns$ (8MHZ), 死区时间设置如下: 若步长时间为 125ns, 可设置死区时间范围是 0 到 15875ns; 若步长时间为 250ns, 可设置死区时间范围是 16us 到 31750ns; 若步长时间为 1us, 可设置死区时间范围是 32us 到 63us; 若步长时间为 2us, 可设置死区时间范围是 64us 到 126us。

位/域	名称	R/W	描述
			注：一旦 LOCK 级别（TMRx_BDT 寄存器中的 LOCKCFG 位）设为 1、2 或 3，则不能修改这些位。

14.6.19 DMA 控制寄存器（TMRx_DCTRL）（x=1）

偏移地址：0x48

复位值：0x0000 0000

位/域	名称	R/W	描述
31:13			保留
12:8	DBLEN	R/W	设置 DMA 突发传送长度（DMA Burst Transfer Length Setup） 这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。 当读写 TMRx_DMADDR 寄存器时，定时器进行一次连续传输传送： 00000：1 次传输 00001：2 次传输 00010：3 次传输 10001：18 次传输 传输的地址公式如下： 传输的地址=TMRx_CTRL1 的地址（从地址）+DBADDR+DMA 索引； DMA 索引=DBLEN 例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMRx_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址， 数据的传输将发生在：TMRx_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。 根据设置的 DMA 数据长度不同，数据传输也会发生变化： 当传输数据设置为 16 位时，数据会传输给 7 个寄存器 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。
7:5			保留
4:0	DBADDR	R/W	设置 DMA 基地址（DMA Base Address Setup） 这些位定义了 DMA 在连续模式下的基地址（当对 TMRx_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量： 00000：TMRx_CTRL1 00001：TMRx_CTRL2 00010：TMRx_SMCTRL

14.6.20 连续模式的 DMA 地址寄存器（TMRx_DMADDR）（x=1）

偏移地址：0x4C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:0	DMADDR	R/W	DMA 突发传送寄存器（DMA Register for Burst Transfer） TMRx_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作： $\text{TMRx\_CTRL1 地址} + (\text{DBADDR} + \text{DMA 索引}) \times 4$ 其中： “TMRx_CTRL1 地址”是控制寄存器 1（TMRx_CTRL1）所在的地址； “DBADDR”是 TMRx_DCTRL 寄存器中定义的基地址； “DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DCTRL 寄存器中定义的 DBLEN。

15 通用定时器（TMR2/3/4）

15.1 简介

通用定时器以时基单元为核心，拥有输入捕获和输出比较等功能，可以用来测量脉冲宽度、频率和占空比，以及产生输出波形。含有一个 16 位的自动重装载计数器（实现向上、向下和中央对齐计数）。

定时器和定时器之间是相互独立的，它们可以实现同步和级联。

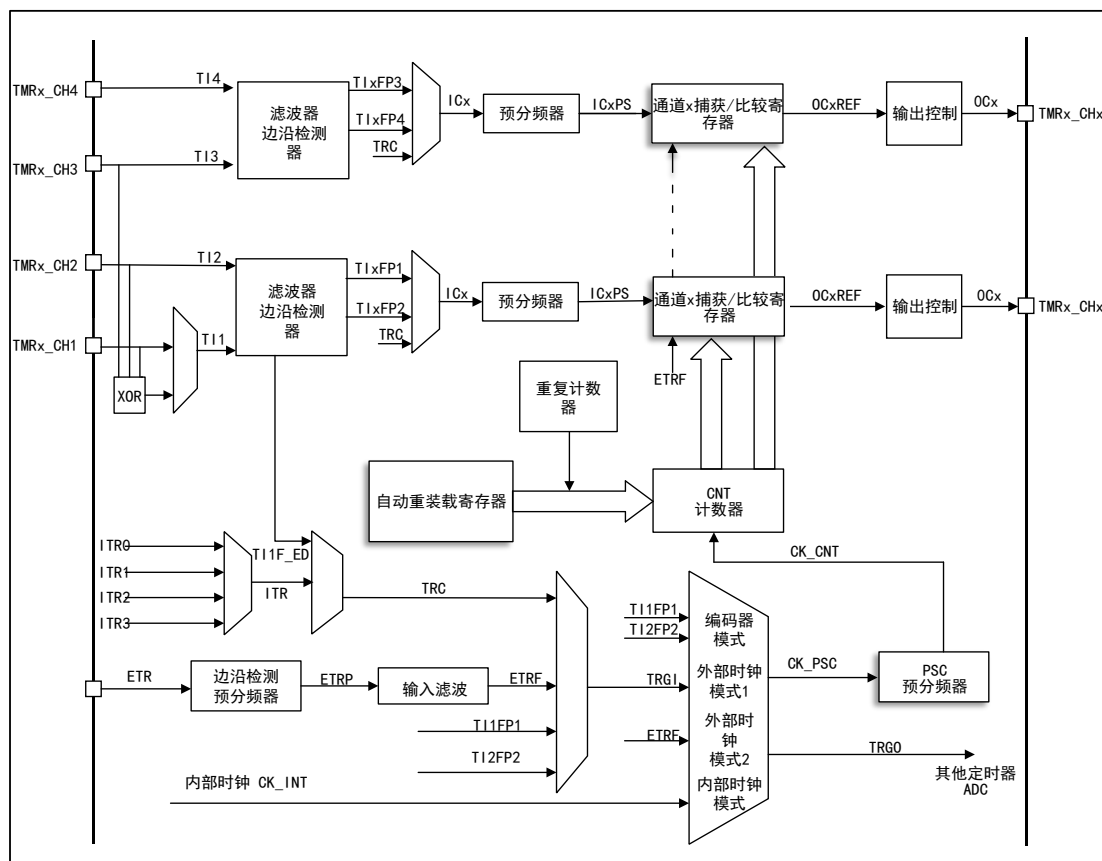
15.2 主要特征

- （1） 时基单元
 - 计数器：16 位计数器，可以向上、向下和向上/向下（中央对齐）计数。
 - 预分频器：16 位可编程预分频器
 - 自动重装载功能
- （2） 时钟源选择
 - 内部时钟
 - 外部输入
 - 外部触发
 - 内部触发
- （3） 输入捕获功能
 - 计数功能
 - PWM 输入
 - 编码器接口模式
- （4） 输出比较功能
 - PWM 输出模式
 - 强制输出模式
 - 单脉冲模式
- （5） 定时器的主/从模式控制器
 - 定时器之间可以同步和级联
 - 支持多种从模式、同步信号
- （6） 中断和 DMA 请求事件
 - 更新事件（计数器上/下溢出，计数器初始化）
 - 触发事件（计数器启动、停止、内/外部触发）
 - 输入捕获
 - 输出比较
- （7） 定时器有独立的 DMA 请求机制生成
- （8） 比较器输出可以连接定时器 ETR 或输入通道进行计数

- (10) 支持 ETR 输入（外部触发输入）功能，可以用作外部时钟或逐周期电流管理

15.3 结构框图

图 42 通用定时器结构框图



15.4 功能描述

15.4.1 时钟源选择

通用定时器一共有四种时钟源。

内部时钟

是来自 RCM 的 TMRx_CLK，即定时器本身的驱动时钟，当禁止从模式控制器，则预分频的时钟源 CK_PSC 由内部时钟 CK_INT 驱动。

外部时钟模式 1

来自定时器自身的输入通道 T11/2/3/4，经过极性选择和滤波以后生成的触发信号，连接到从模式控制器，进而控制计数器的工作。其中通道 1 的输入经过上升沿、下降沿双沿检测而生成的脉冲信号进行逻辑相或以后的信号就是 T11F ED

信号，即 TIF_ED 双边沿信号。特别的是 PWM 输入只能由 TI1/2 输入。

外部时钟模式 2

来自于外部触发接口（ETR）经过极性选择、分频、滤波以后的信号，经过触发输入选择器，连接到从模式控制器，从而控制计数器的工作。

内部触发输入

设置定时器工作于从模式，时钟源为其他定时器的输出信号，此时钟源没有滤波，可以实现定时器之间的同步或级联。主模式的定时器可以对从模式定时器执行复位、启动、停止或提供时钟。

15.4.2 时基单元

通用定时器里的时基单元包含三个寄存器：

- 16 位计数器寄存器（CNT）
- 16 位自动重装载寄存器（AUTORLD）
- 16 位预分频寄存器（PSC）

计数器 CNT

通用定时器中的计数器中一共有三种计数模式：

- 向上计数模式
- 向下计数模式
- 中央对齐模式

向上计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向上计数模式。

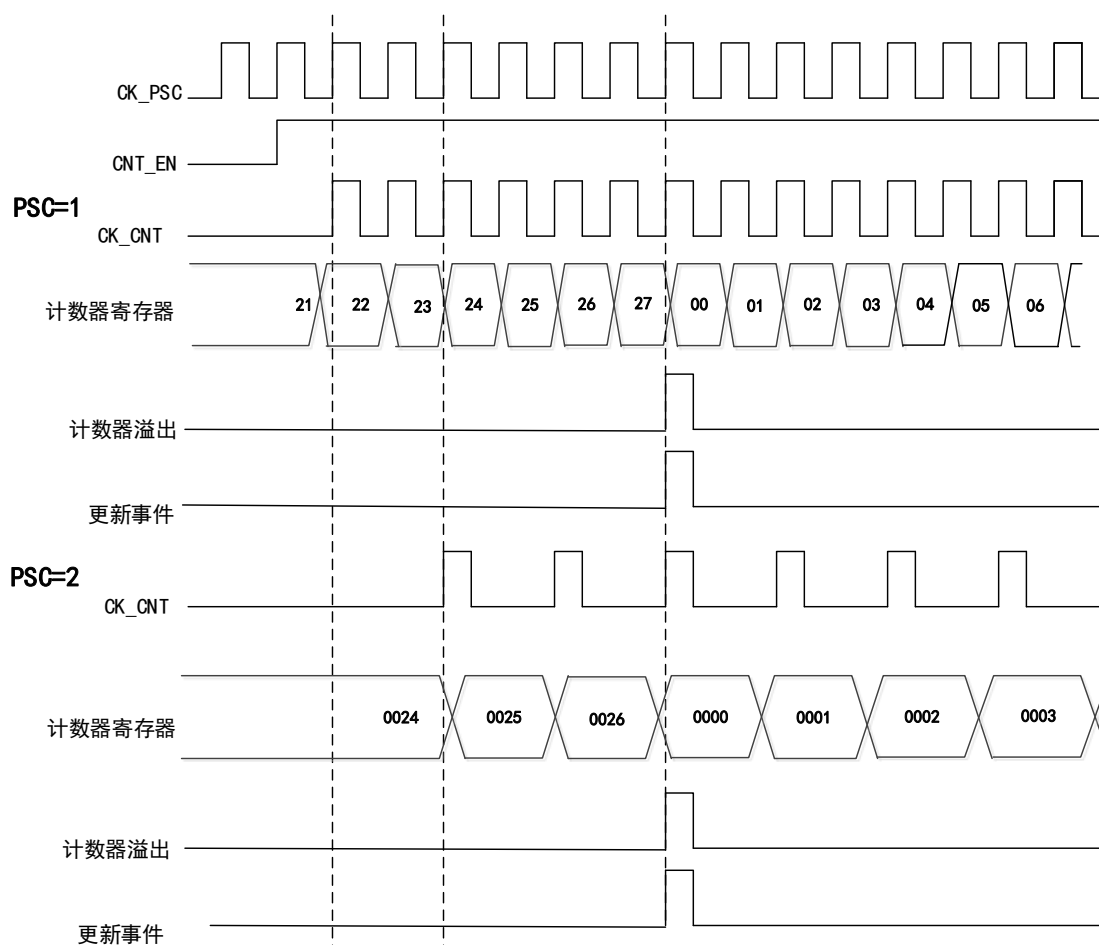
当计数器处于向上计数模式时，计数器从 0 开始向上计数，当每来一个脉冲计数器就会增加 1，一直到计数器（TMRx_CNT）值与自动重装载

（TMRx_AUTORLD）的值相等时，计数器会再次从 0 开始计数，此时产生一个计数器向上溢出事件，其中自动重装载的值（TMRx_AUTORLD）是提前写入的。

当计数器溢出时，会产生更新事件，此时自动重装载的影子寄存器和预分频的缓冲区都将会被更新。可以通过配置控制寄存器 TMRx_CTRL1 中的 UD 位，禁止更新事件。

下图为向上计数模式下，分频因子为 1 或 2 的时序图：

图 43 向上计数模式下，分频因子为 1 或 2 的时序图



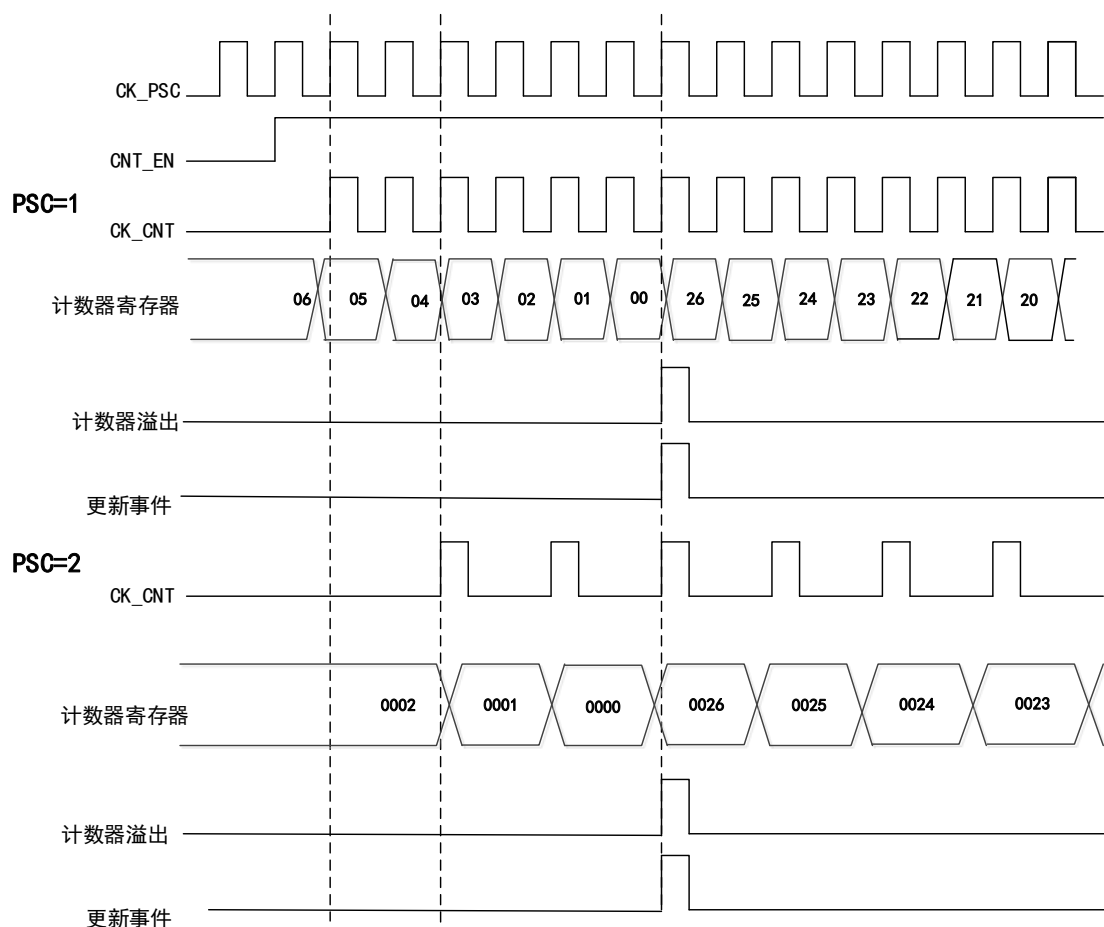
向下计数模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为向下计数模式。

当计数器处于向下计数模式时，计数器从自动重载的值（TMRx_AUTORLD）开始向下计数，当每来一个脉冲计数器就会减 1，一直减到 0 时，计数器会重新从（TMRx_AUTORLD）开始计数，与此同时便会产生一个计数器向下溢出事件，自动重载的值（TMRx_AUTORLD）是提前写入的。

计数器溢出时，会产生更新事件，此时，自动重载的影子寄存器和预分频的缓冲区都将会被更新。可以配置 TMRx_CTRL1 寄存器中的 UD 位，禁止更新事件。

图 44 向下计数模式下，分频因子为 1 或 2 的时序图

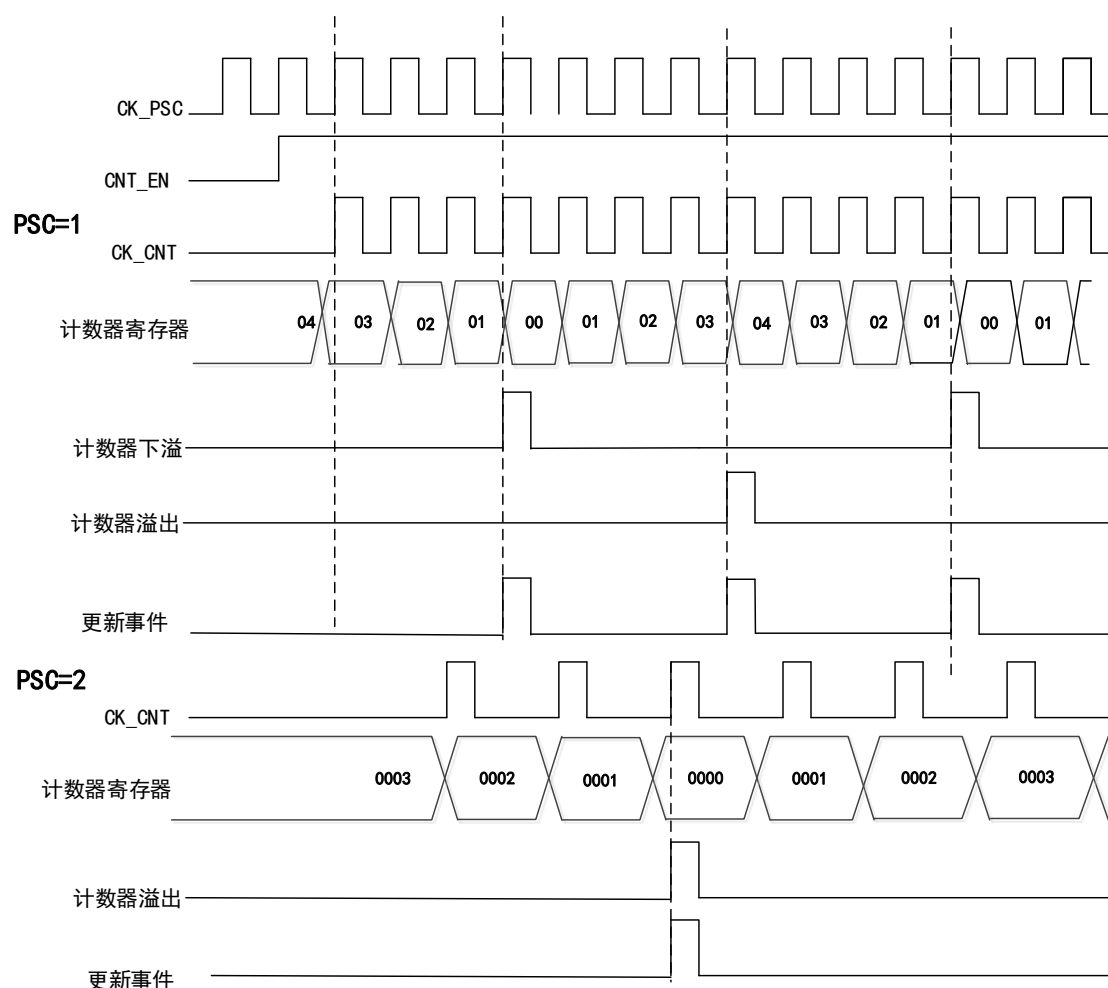


中央对齐模式

通过配置控制寄存器（TMRx_CTRL1）中的 CNTDIR 位，设置为中央对齐模式。

当计数器处于中央对齐模式时，计数器从 0 开始向上计数到自动重载的值（TMRx_AUTORLD），然后从自动重载的值（TMRx_AUTORLD）再向下计数到 0，以此往复；在向上计数时，当计数器的值为（AUTORLD-1）时会产生一个计数器上溢事件；在向下计数时，计数器的值为 1 时会产生一个计数器下溢事件。

图 45 中央对齐模式下，分频因子为 1 或 2 的时序图



预分频器 PSC

预分频器是 16 位的且是可编程的，它可以将计数器的时钟频率进行 1~65536 之间任意值的分频（由 `TMRx_PSC` 寄存器控制），经过分频后的时钟将会驱动计数器 `CNT` 计数。预分频器带有缓冲器，它能够在运行中被改变。

15.4.3 输入捕获

输入捕获通道

通用定时器有四个独立的捕获/比较独立通道，每一个捕获/比较的通道都围绕着一个捕获/比较寄存器。

在输入捕获中，被测量的信号会从定时器的外部引脚 `TI1/2/3/4` 进入，首先经过边沿检测器和输入滤波器，然后进入捕获通道，每个捕获通道都有相对应的捕获寄存器，当发生捕获时，计数器 `CNT` 的值将会被锁存在捕获寄存器 `CCx` 中。在进入捕获寄存器之前，信号还会经过预分频器，用于设定经过多少事件进行一次捕获。

输入捕获应用

输入捕获用来捕获外部事件，并且可以赋予时间标记表明事件的发生时刻，可以测量脉冲跳变沿事件（测量频率或者脉宽），如：在输入引脚上如果出现了被选择的边沿，TMRx_CCx 寄存器会捕获计数器当前的值，同时状态寄存器 TMRx_STS 的 CCxIFLG 位被置 1，如果 CCxIEN=1，便会产生中断。

捕获模式下可以测量一个波形的时序、频率、周期和占空比。在输入捕获模式中将边沿选择设定为上升沿检测，当捕获通道出现上升沿时，发生第一次捕获，此时计数器 CNT 的值会被锁存在捕获寄存器 CCx 中，同时会进入捕获中断，在中断服务程序中记录一次捕获，记下此时的值，当检测到下一个上升沿时，发生第二次捕获，计数器 CNT 的值会再次锁存在捕获寄存器 CCx 中，此时再次进入捕获中断，读取捕获寄存器的值，通过捕获就会得出此脉冲信号的周期。

15.4.4 输出比较

输出比较一共有八种模式：冻结、匹配时通道 x 为有效电平、匹配时通道 x 为无效电平、翻转、强制为无效、强制为有效、PWM 模式 1 和 PWM 模式 2，由 TMRx_CCMx 寄存器中的 OCxMOD 位配置，在输出比较模式中可以控制输出信号的波形。

输出比较应用

输出比较模式中，定时器产生脉冲的位置、极性、频率和时间都是可以控制的。

当计数器的值和捕获/比较寄存器的值相等时，通过配置 TMRx_CCMx 寄存器中的 OCxMOD 位和输出极性 TMRx_CCEN 寄存器中的 CCxPOL 位，通道的输出可以被置高电平、低电平或者翻转。

在 TMRx_STS 寄存器中的 CCxIFLG=1 时，如果 TMRx_DIEN 寄存器中的 CCxIEN=1 产生中断；TMRx_CTRL2 寄存器中的 CCDSEL=1 产生 DMA 请求。

15.4.5 PWM 输出模式

PWM 模式是定时器对外输出可以调节的脉冲信号，其中信号的脉宽是由比较寄存器 CCx 的值决定，周期是由自动重载 AUTORLD 的值决定。

PWM 输出模式分为 PWM 模式 1 和 PWM 模式 2；PWM 模式 1 和 PWM 模式 2 分为向上计数和向下计数和中央对齐计数；PWM 模式 1 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出有效电平，否则反之。

设置 CCx=5,AUTORLD=7，在 PWM 模式 1 下的时序图：

图 46 PWM1 向上计数模式的时序图

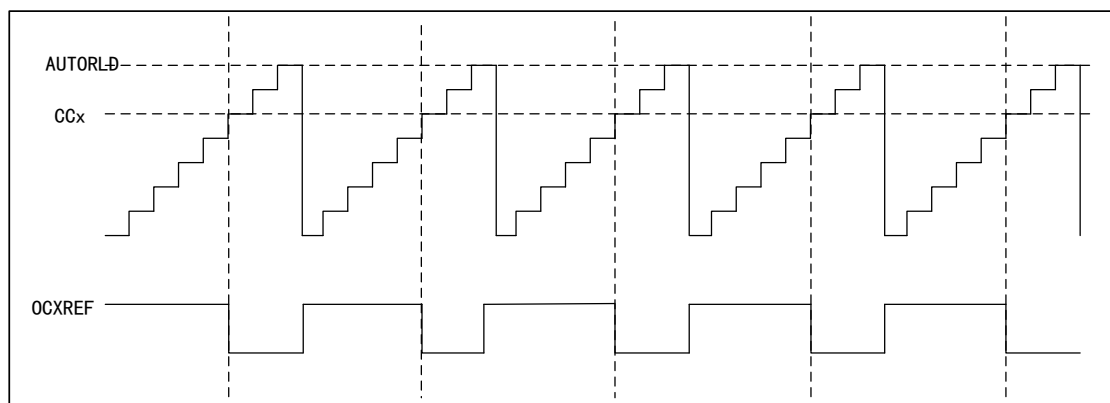


图 47 PWM1 向下计数模式的时序图

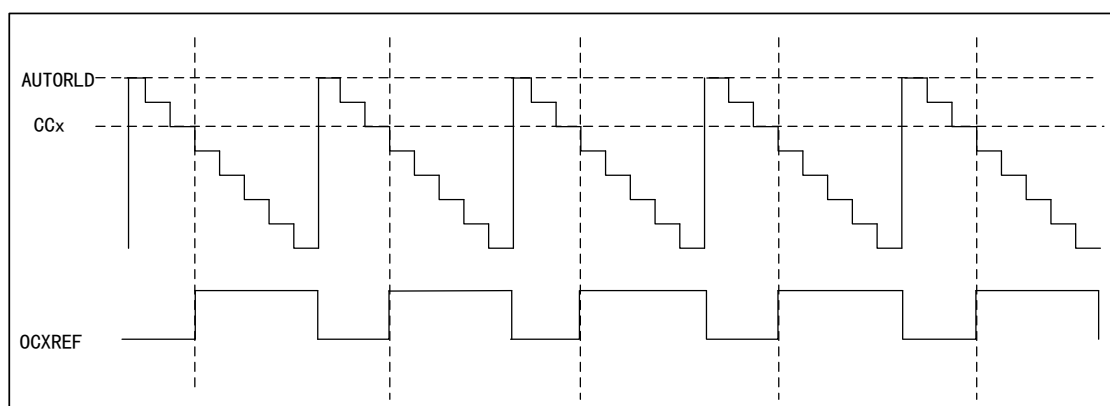
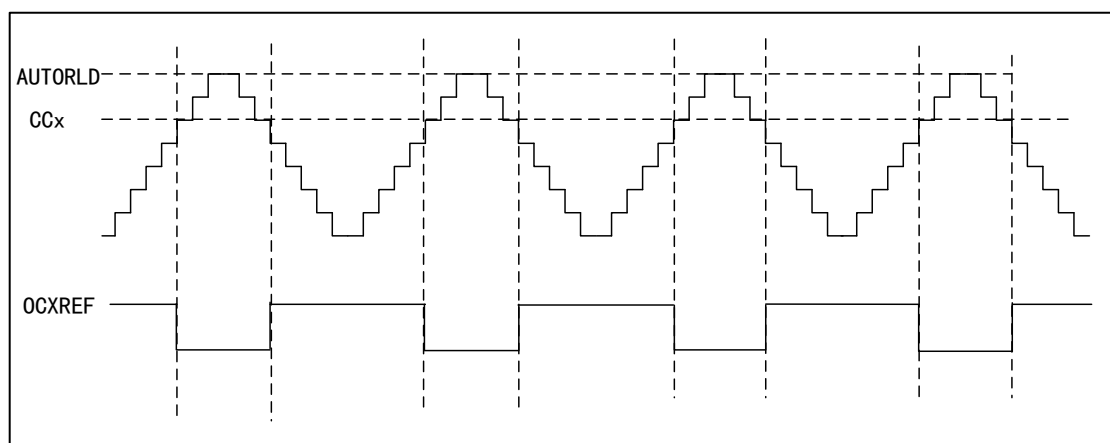


图 48 PWM1 中央对齐模式的时序图



PWM 模式 2 中如果计数器 CNT 的值小于比较寄存器 CCx 的值，输出无效电平，否则反之。

设置 CCx=5,AUTORLD=7，在 PWM 模式 2 下的时序图：

图 49 PWM2 向上计数模式的时序图

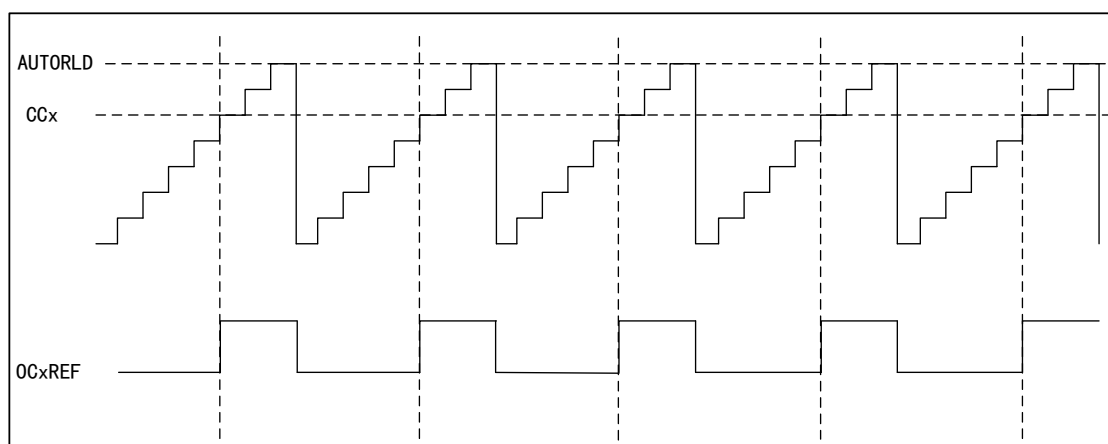


图 50 PWM2 向下计数模式的时序图

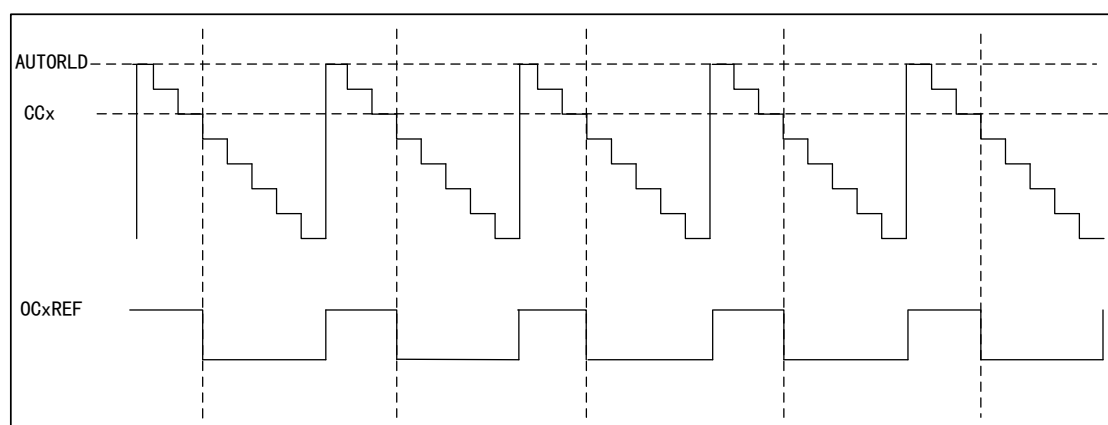
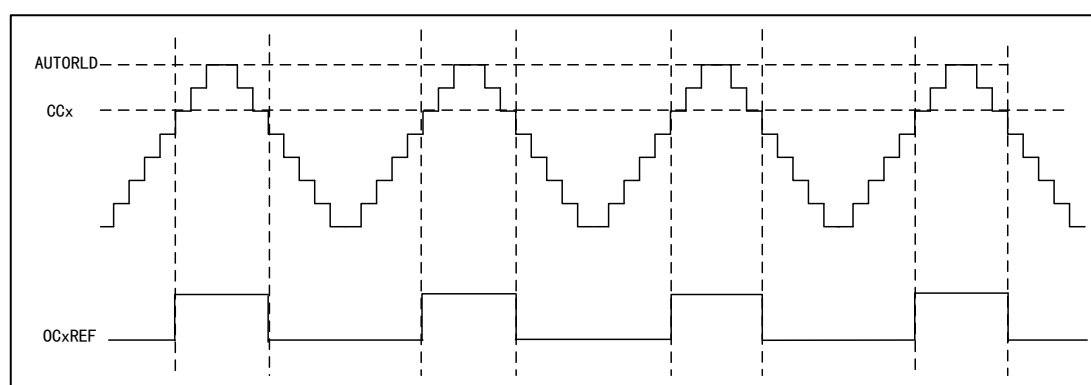


图 51 PWM2 中央对齐模式的时序图



15.4.6 PWM 输入模式

PWM 输入模式是输入捕获的一个特例。

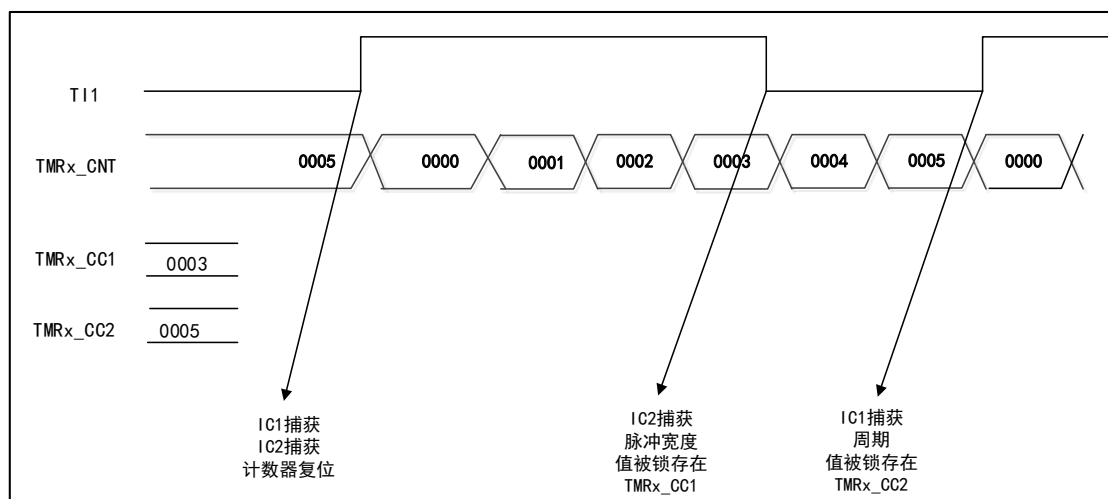
PWM 输入模式，只有 TI1FP1、TI1FP2 连接到了从模式控制器，所以只能从通道 TMRx_CH1 和 TMRx_CH2 输入，且需要占用 CH1、CH2 的捕获寄存器。

在 PWM 输入模式中，PWM 信号从 TMRx_CH1 进入，信号会被分成两路，一路可以测量周期，一路可以测量占空比。在配置中只需设置其中一路的极性，另一

路会自动配置相反的极性。

在此模式中，从模式控制器要配置成复位模式（TMRx_SMCTRL 寄存器的 SMFSEL 位）。

图 52 PWM 输入模式时序图



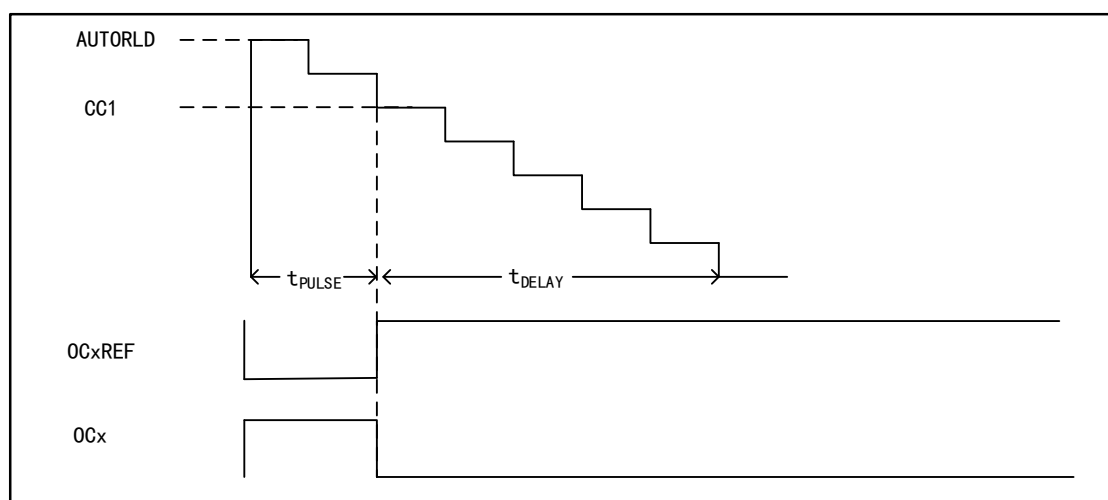
15.4.7 单脉冲模式

单脉冲模式是定时器比较输出中一种特殊情况，也是 PWM 输出模式的特例。

设置 TMRx_CTRL1 寄存器的 SPMEN 位选择单脉冲模式，计数器启动后，在未发生更新事件之前有一定个数的脉冲输出，当发生更新事件后计数器停止计数，后续不再有变化的 PWM 波形输出。

单脉冲模式通过程序在一定可控延迟后，产生一个脉宽可控的脉冲，延时时间由 TMRx_CCx 寄存器的值定义；在增计数模式下延时时间为 CCx，脉冲宽度为 AUTORLD-CCx；在减计数模式下延时时间为 AUTORLD-CCx，脉冲宽度为 CCx。

图 53 单脉冲模式下的时序图



15.4.8 强制输出模式

强制输出模式下无视比较结果，直接根据配置指令输出相应电平。

- TMRx_CCMx 寄存器的 CCxSEL=00，设定 CCx 通道为输出
- TMRx_CCMx 寄存器的 OCxMOD=100/101，设定强制 OCxREF 信号为无效/有效状态

在此模式中仍旧会产生相应的中断和 DMA 请求。

15.4.9 编码器接口模式

编码器接口模式相当于是一个带有方向选择的外部时钟，在编码器接口模式中，计时器的内容可一直指示编码器的位置。

选择编码器接口的方法如下：

- 通过设置 TMRx_SMCTRL 寄存器的 SMFSEL 位，可以设定计数器是在 TI1 通道/TI2 通道边沿计数，或者同时在 TI1 和 TI2 的边沿计数。
- 通过设置 TMRx_CCEN 寄存器中的 CC1POL 和 CC2POL 位，可以选择 TI1 和 TI2 的极性。
- 通过设置 TMRx_CCM1 寄存器中的 IC1F 和 IC2F 位，可以选择是否进行滤波。

两个输入 TI1 和 TI2 可以作为增量编码器的接口，计数器由在 TI1 和 TI2 经过滤波和边沿选择后的信号 TI1FP1 和 TI2FP2 的有效跳变驱动。

根据 TI1 和 TI2 的输入信号，产生计数脉冲和方向信号

- 根据输入信号的跳变顺序，计数器会向上/向下计数
- 将控制寄存器 TMRx_CTRL1 的 CNTDIR 设置为只读（任一输入端的跳变都会重新计算 CNTDIR）

计数器计数方向改变机制如下图：

表格 50 计数方向与编码器的关系

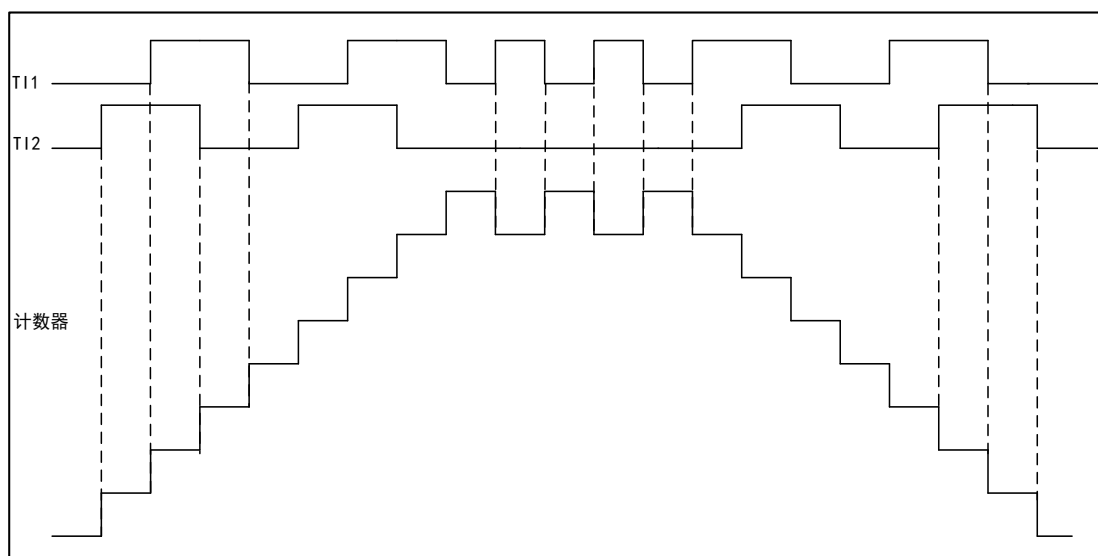
有效边沿		仅在 TI1 计数		仅在 TI2 计数		在 TI1 和 TI2 计数	
相对信号的电平		高	低	高	低	高	低
TI1FP1	上升沿	—		向下计数	向上计数	向下计数	向上计数
	下降沿			向上计数	向下计数	向上计数	向下计数
TI2FP2	上升沿	向上计数	向下计数	—		向上计数	向下计数
	下降沿	向下计数	向上计数			向下计数	向上计数

外部的增量编码器可以不用外部接口逻辑直接与 MCU 连接，所以使用比较器将编码器的差动输出转换到数字信号来增加抗噪声干扰。

在下图的实例中：

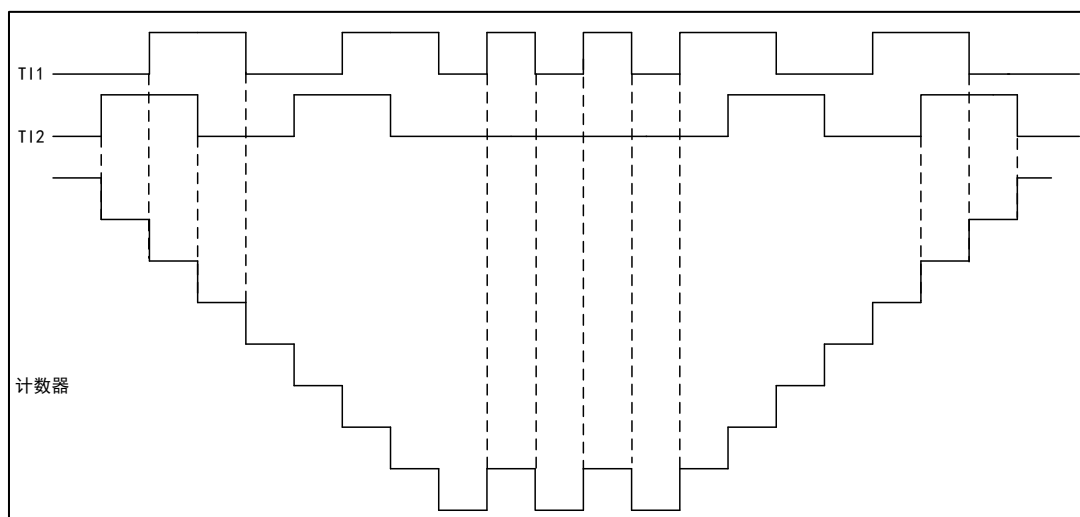
- 将 IC1FP1 映射到 TI1
- 将 IC2FP2 映射到 TI2
- IC1FP1 和 IC2FP2 都不反相
- 输入信号在上升沿和下降沿有效
- 使能计数器

图 54 编码器模式下的计数器操作实例



例如：当 TI1 处在低电平时，如果 TI2 出现上升沿状态，计数器向上计数。

图 55 IC1FP1 反相的编码器接口模式实例



例如：当 TI1 处于低电平时，TI2 发生上升沿跳变，计数器向下计数。

15.4.10 从模式

TMRx 定时器可以进行外部的触发同步：

- 复位模式
- 门控模式
- 触发模式

可设置 TMRx_SMCTRL 寄存器中的 SMFSEL 位来选择是哪种模式。

SMFSEL=100 设定复位模式，SMFSEL=101 设定门控模式，SMFSEL=110 设定触发模式。

复位模式下，在发生一个触发输入事件时，计数器和预分频器会被初始化，选中

的触发输入（TRGI）的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。

门控模式下，计数器的使能依赖于选中的输入端的高电平，当触发输入为高时，计数器的时钟开启，一旦触发输入变为低，则计数器停止（但不复位），计数器的启动和停止都是受控制的。

触发模式下，计数器的使能依赖于选中的输入端上的事件，计数器在触发输入的上升沿启动（但不复位），只有计数器的启动是受控制的。

15.4.11 定时器互连

详情见“14.4.14 定时器互连”章节。

15.4.12 中断和 DMA 请求

定时器在工作时产生事件时会发生中断：

- 更新事件（计数器上/下溢出，计数器初始化）
- 触发事件（计数器启动、停止、内/外部触发）
- 捕获/比较事件

其中一些内部中断事件可以产生 DMA 请求，还有专门的接口允许或者禁止触发 DMA 请求。

15.4.13 调试模式

TMR2/3/4 可以在调试模式下配置，选择停止还是继续工作。取决于 DBGMCU_APBx 寄存器的 DBG_TIMx_STOP（x=2,3,4）位。

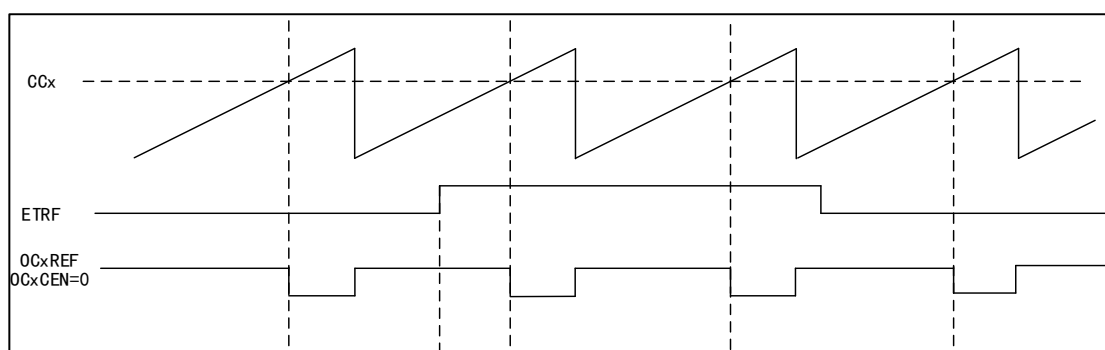
15.4.14 在外部事件时清除 OCxREF 信号

此功能是用输出比较和 PWM 模式。

在一个通道中，用 ETRF 输入端口的高电平将 OCxREF 的信号降为低电平，捕获/比较寄存器 TMRx_CCMx 中的 OCxCEN 的位设置为 1，OCxREF 信号会保持为低电平直到下一次发生更新事件。

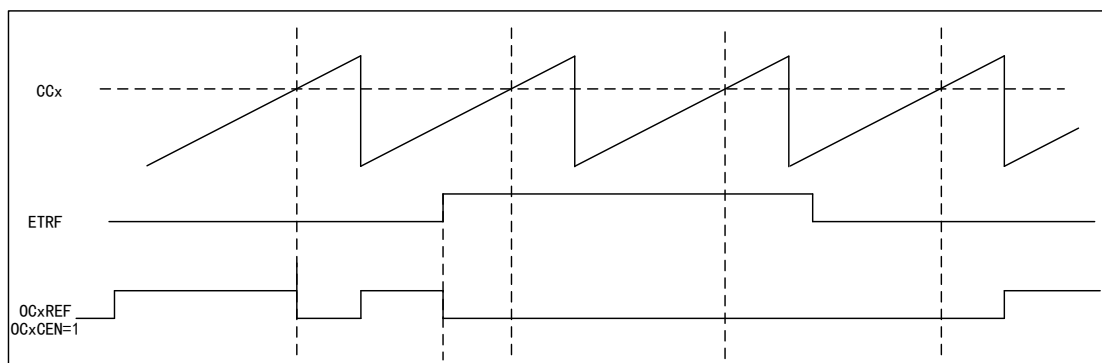
将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=0，输出的 OCxREF 信号如下图。

图 56 OCxREF 时序图



将 TMRx 置于 PWM 模式，关闭外部触发预分频器，禁止外部触发模式 2，当 ETRF 输入为高时，通过设置 OCxCEN=1，输出的 OCxREF 信号如下图。

图 57 OCxREF 时序图



15.5 寄存器地址映射

下表中将通用定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 51 通用定时器寄存器地址映射

寄存器名	描述	偏移地址
TMRx_CTRL1	控制寄存器 1	0x00
TMRx_CTRL2	控制寄存器 2	0x04
TMRx_SMCTRL	从模式控制寄存器	0x08
TMRx_DIEN	DMA/中断使能寄存器	0x0C
TMRx_STS	状态寄存器	0x10
TMRx_CEG	控制事件产生寄存器	0x14
TMRx_CCM1	捕获/比较模式寄存器 1	0x18
TMRx_CCM2	捕获/比较模式寄存器 2	0x1C
TMRx_CCEN	使能捕获/比较通道寄存器	0x20
TMRx_CNT	计数器寄存器	0x24
TMRx_PSC	预分频寄存器	0x28
TMRx_AUTORLD	自动重装载寄存器	0x2C
TMRx_CC1	通道 1 捕获/比较寄存器	0x34
TMRx_CC2	通道 2 捕获/比较寄存器	0x38
TMRx_CC3	通道 3 捕获/比较寄存器	0x3C
TMRx_CC4	通道 4 捕获/比较寄存器	0x40
TMRx_DCTRL	DMA 控制寄存器	0x48
TMRx_DMADDR	连续模式的 DMA 地址寄存器	0x4C

15.6 寄存器功能描述

15.6.1 控制寄存器 1 (TMRx_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:8	CLKDIV	R/W	时钟分频系数 (Clock Division) 数字滤波器的配置由 CK_INT 提供时钟, 通过设置该位可调整数字滤波器的采用时钟。 00: $t_{DTS}=t_{CK\_INT}$ 01: $t_{DTS}=2 \times t_{CK\_INT}$ 10: $t_{DTS}=4 \times t_{CK\_INT}$ 11: 保留
7	ARPEN	R/W	TMRx_AUTORLDD 寄存器自动重载缓冲使能 (Auto-reload Preload Enable) 禁止缓存区时, 程序修改 TMRx_AUTORLDD 会立刻修改装入计数器的数值; 使能缓存区时, 程序修改 TMRx_AUTORLDD 会在下一个更新事件修改装入计数器的数值。 0: 禁止 1: 使能
6:5	CAMSEL	R/W	选择中央对齐模式 (Center Aligned Mode Select), 中央对齐模式下, 计数器交替的向上向下计数; 否则只向上或向下计数。不同的中央对齐模式, 影响输出通道的输出比较中断标志位置 1 的时机; 在计数器禁止时 (CNTEN=0) 时, 选择中央对齐模式。 00: 边沿对齐模式 01: 中心对齐模式 1 (在向下计数时, 输出通道的输出比较中断标志位置 1) 10: 中心对齐模式 2 (在向上计数时, 输出通道的输出比较中断标志位置 1) 11: 中心对齐模式 3 (在向上/下计数时, 输出通道的输出比较中断标志位置 1)
4	CNTDIR	R/W	配置计数器计数方向 (Counter Direction) 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。 0: 向上计数 1: 向下计数
3	SPMEN	R/W	使能单脉冲模式 (Single Pulse Mode Enable) 产生更新事件时, 可改变通道的输出电平; 在该模式下, 会清除 CNTEN 位, 停止计数器, 后续不再改变通道的输出电平。 0: 禁用 1: 使能
2	URSSEL	R/W	更新请求源 (Update Request Source Select) 如果使能了中断或 DMA, 更新事件可产生更新中断或 DMA 请求, 通过该位可选择不同的更新请求源。 0: 计数器上溢或下溢 设置 UEG 位 通过从模式控制器产生的更新 1: 计数器上溢或下溢

位/域	名称	R/W	描述
1	UD	R/W	禁止更新（Update Disable） 更新事件可引起 AUTORLD、PSC、CCx 产生更新设置的数值。 0：允许更新事件（UEV） 更新事件可以由以下任一情况产生： 计数器溢出/下溢； 设置 UEG 位； 从模式控制器产生的更新。 1：禁止更新事件
0	CNTEN	R/W	使能计数器（Counter Enable） 0：禁止 1：使能 定时器配置为外部时钟、门控模式和编码器模式时，需要通过软件对该位写 1 启动定期工作；配置为触发模式时，可硬件写 1。

15.6.2 控制寄存器 2（TMRx_CTRL2）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	TI1SEL	R/W	TI1 选择（Timer Input 1 Selection） 0：TMRx_CH1 引脚连到 TI1 输入 1：TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入
6:4	MMSEL	R/W	选择定时器主模式下用于 TRGO 的信号（Master Mode Signal Select） 工作在主模式的定时器的信号可用于 TRGO，从而影响处在从模式且与主定时器级联的定时器工作，具体影响可从模式的定时器配置有关。 000：复位，主模式定时器的复位信号用于 TRGO 001：使能，主模式定时器的计数器使能信号用于 TRGO 010：更新，主模式定时器的更新事件用于 TRGO 011：比较脉冲，主模式定时器捕获/比较成功（CCxIFLG=1）时输出一个脉冲信号用于 TRGO 100：比较模式 1，OC1REF 用于触发 TRGO 101：比较模式 2，OC2REF 用于触发 TRGO 110：比较模式 3，OC3REF 用于触发 TRGO 111：比较模式 4，OC4REF 用于触发 TRGO
3	CCDSEL	R/W	选择发出捕获/比较的 DMA 请求（Capture/compare DMA Select） 0：当发生 CCx 事件时，送出 CCx 的 DMA 请求 1：当发生更新事件时，送出 CCx 的 DMA 请求
2:0	保留		

15.6.3 从模式控制寄存器（TMRx_SMCTRL）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ETPOL	R/W	配置外部触发极性（External Trigger Polarity Configure） 该位决定外部触发 ETR 是否反相。 0：外部触发 ETR 不反相，高电平或上升沿有效 1：外部触发 ETR 反相，低电平或下降沿有效
14	ECEN	R/W	使能外部时钟模式 2（External Clock Enable Mode2） 0：禁止 1：使能 设置 ECEN 位与选择外部时钟模式 1 将 TRG1 连接到 ETRF 具有相同作用；从模式（复位、门控、触发）可以与外部时钟模式 2 同时使用，但此时 TRGI 不能连到 ETRF；当外部时钟模式 1 和外部时钟模式 2 同时使能时，外部时钟的输入是 ETRF。
13:12	ETPCFG	R/W	配置外部触发信号预分频器（External Trigger Prescaler Configure） ETR（外部触发输入）的信号经过分频后为 ETRP，ETRP 的信号频率最多是 TMRxCLK 频率的 1/4；当 ETR 频率过高时，须经过分频降低 ETRP 的频率。 00：禁用预分频器； 01：ETR 信号 2 分频 10：ETR 信号 4 分频 11：ETR 信号 8 分频
11:8	ETFCFG	R/W	配置外部触发滤波器（External Trigger Filter Configure） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1, N=2 0010：DIV=1, N=4 0011：DIV=1, N=8 0100：DIV=2, N=6 0101：DIV=2, N=8 0110：DIV=4, N=6 0111：DIV=4, N=8 1000：DIV=8, N=6 1001：DIV=8, N=8 1010：DIV=16, N=5 1011：DIV=16, N=6 1100：DIV=16, N=8 1101：DIV=32, N=5 1110：DIV=32, N=6 1111：DIV=32, N=8 采样频率=定时器时钟频率/DIV；滤波长度=N，每 N 个事件产生一个跳变。
7	MSMEN	R/W	使能主/从模式（Master/slave Mode Enable） 0：无效 1：使能主/从模式

位/域	名称	R/W	描述
6:4	TRGSEL	R/W	选择触发输入信号（Trigger Input Signal Select） 为了避免在改变该位值时产生错误的边沿检测，须在 SMFSEL=0 时改变。 000: 内部触发 ITR0 001: 内部触发 ITR1 010: 内部触发 ITR2 011: 内部触发 ITR3 100: 通道 1 输入边沿检测器 TIF_ED 101: 通道 1 滤波后定时器输入 TI1FP1 110: 通道 2 滤波后的定时器输入 TI2FP2 111: 外部触发输入（ETRF）
3	保留		
2:0	SMFSEL	R/W	选择从模式功能（Slave Mode Function Select） 000: 禁止从模式，定时器可作为主模式定时器影响从模式定时器的工作；如果 CTRL1_CNTEN=1，则预分频器直接由内部时钟驱动。 001: 编码器模式 1，根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿计数。 010: 编码器模式 2，根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿计数。 011: 编码器模式 3，根据另一个信号的输入电平，计数器在 TI1FP1、TI2FP2 的边沿计数。 100: 复位模式，从模式定时器在收到 TRGI 的上升沿信号后复位计数器，并产生更新寄存器的信号。 101: 门控模式，从模式定时器在收到 TRGI 高电平信号时，启动计数器工作；收到 TRGI 低电平时停止计数器工作；再收到 TRGI 高电平信号时，继续工作；整个期间不复位计数器。 110: 触发模式，从模式定时器在收到 TRGI 的上升沿信号后，启动计数器工作。 111: 外部时钟模式 1，选择 TRGI 的上升沿信号作为时钟源驱动计数器工作。

15.6.4 DMA/中断使能寄存器（TMRx_DIEN）

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	TRGDEN	R/W	使能触发 DMA 请求（Trigger DMA Request Enable） 0: 禁止 1: 使能
13	保留		
12	CC4DEN	R/W	使能捕获/比较通道 4 的 DMA 请求（Capture/Compare Channel 4 DMA Request Enable） 0: 禁止 1: 使能

位/域	名称	R/W	描述
11	CC3DEN	R/W	使能捕获/比较通道 3 的 DMA 请求 (Capture/Compare Channel3 DMA Request Enable) 0: 禁止 1: 使能
10	CC2DEN	R/W	使能捕获/比较通道 2 的 DMA 请求 (Capture/Compare Channel2 DMA Request Enable) 0: 禁止 1: 使能
9	CC1DEN	R/W	使能捕获/比较通道 1 的 DMA 请求 (Capture/Compare Channel1 DMA Request Enable) 0: 禁止 1: 使能
8	UDIEN	R/W	使能更新的 DMA 请求 (Update DMA Request Enable) 0: 禁止 1: 使能
7	保留		
6	TRGIEN	R/W	使能触发中断 (Trigger Interrupt Enable) 0: 禁止 1: 使能
5	保留		
4	CC4IEN	R/W	使能捕获/比较通道 4 中断 (Capture/Compare Channel4 Interrupt Enable) 0: 禁止 1: 使能
3	CC3IEN	R/W	使能捕获/比较通道 3 中断 (Capture/Compare Channel3 Interrupt Enable) 0: 禁止 1: 使能
2	CC2IEN	R/W	使能捕获/比较通道 2 中断 (Capture/Compare Channel2 Interrupt Enable) 0: 禁止 1: 使能
1	CC1IEN	R/W	使能捕获/比较通道 1 中断 (Capture/Compare Channel1 Interrupt Enable) 0: 禁止 1: 使能
0	UIEN	R/W	使能更新中断 (Update Interrupt Enable) 0: 禁止 1: 使能

15.6.5 状态寄存器 (TMRx_STS)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		

位/域	名称	R/W	描述
12	CC4RCFLG	RC_W0	捕获/比较通道 4 重复捕获标志 (Captuer/compare Channel4 Repetition Capture Flag) 参考 STS_CC1RCFLG
11	CC3RCFLG	RC_W0	捕获/比较通道 3 重复捕获标志 (Captuer/compare Channel3 Repetition Capture Flag) 参考 STS_CC1RCFLG
10	CC2RCFLG	RC_W0	捕获/比较通道 2 重复捕获标志 (Captuer/compare Channel2 Repetition Capture Flag) 参考 STS_CC1RCFLG
9	CC1RCFLG	RC_W0	捕获/比较通道 1 重复捕获标志 (Captuer/Compare Channel1 Repetition Capture Flag) 0: 没有发生重复捕获 1: 发生重复捕获 计数器的值被捕获到 TMRx_CC1 寄存器中, 此时 CC1IFLG=1; 只有当通道被配置为输入捕获时, 该位由硬件置 1, 软件清 0。
8:7	保留		
6	TRGIFLG	RC_W0	产生触发事件中断标志 (Trigger Event Interrupt Generate Flag) 0: 没有发生触发事件中断 1: 发生触发事件中断 发生触发事件时, 该位由硬件置 1, 软件清 0。
5	保留		
4	CC4IFLG	RC_W0	捕获/比较通道 4 中断标志 (Captuer/Compare Channel4 Interrupt Flag) 参考 STS_CC1IFLG
3	CC3IFLG	RC_W0	捕获/比较通道 3 中断标志 (Captuer/Compare Channel3 Interrupt Flag) 参考 STS_CC1IFLG
2	CC2IFLG	RC_W0	捕获/比较通道 2 中断标志 (Captuer/Compare Channel2 new Interrupt Flag) 参考 STS_CC1IFLG
1	CC1IFLG	RC_W0	捕获/比较通道 1 中断标志 (Captuer/Compare Channel1 Interrupt Flag) 当捕获比较通道 1 配置为输出时: 0: 无匹配发生 1: TMRx_CNT 的值与 TMRx_CC1 的值相匹配 当捕获比较通道 1 配置为输入时: 0: 没有发生输入捕获 1: 发生输入捕获 捕获事件发生时由硬件置 1, 可以由软件清 0 或者读 TMRx_CC1 寄存器时清 0。

位/域	名称	R/W	描述
0	UIFLG	RC_W0	产生更新事件中断标志位（Update Event Interrupt Generate Flag） 0：没有发生更新事件中断 1：发生更新事件中断 计数器数值重新装载或重新初始化时，会产生更新事件，该位由硬件置 1，软件清 0；更新事件的产生的情况有以下情况： （1）TMRx_CTRL1 寄存器的 UD=0，上/下溢时产生更新事件； （2）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，配置 TMRx_CEG 寄存器的 UG=1 产生更新事件，需要通过软件初始化计数器； （3）TMRx_CTRL1 寄存器的 URSEL=0 和 UD=0，计数器被触事件初始化时产生更新事件。

15.6.6 控制事件产生寄存器（TMRx_CEG）

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:7	保留		
6	TEG	W	产生触发事件（Trigger Event Generate） 0：无效 1：产生触发事件 该位由软件置 1，硬件自动清 0。
5	保留		
4	CC4EG	W	产生捕获/比较通道 4 事件（Capture/Compare Channel4 Event Generation） 参考 CC1EG 描述
3	CC3EG	W	产生捕获/比较通道 3 事件（Capture/Compare Channel3 Event Generation） 参考 CC1EG 描述
2	CC2EG	W	产生捕获/比较通道 2 事件（Capture/Compare Channel2 Event Generation） 参考 CC1EG 描述
1	CC1EG	W	产生捕获/比较通道 1 事件（Capture/Compare Channel1 Event Generation） 0：无效 1：产生捕获/比较事件 该位由软件置 1，硬件自动清 0。 如果通道 1 处于输出模式 当 CC1IFLG=1 时，如果设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求。 如果通道 1 处于输入模式 捕获计数器的值存储在 TMRx_CC1 寄存器中；配置 CC1IFLG=1,如果还设置了 CC1IEN 和 CC1DEN 位，则产生相应的中断和 DMA 请求；如果此时 CC1IFLG=1，则需要配置 CC1RCFLG=1。

位/域	名称	R/W	描述
0	UEG	W	产生更新事件 (Update Event Generate) 0: 无效 1: 初始化计数器, 产生更新事件 此位由软件置 1, 硬件清 0。 注意: 产生更新事件时, 预分频器的计数器会清 0, 但是预分频系数不变。 如果在向下计数模式下计数器会读取 TMRx_AUTORLD 的值; 如果在中央对齐模式下或者向上计数模式中计数器会被清 0。

15.6.7 捕获/比较模式寄存器 1 (TMRx_CCM1)

偏移地址: 0x18

复位值: 0x0000 0000

可通过 CCxSEL 位配置定时器为输入 (捕获模式) 或输出 (比较模式)。该寄存器其它位的作用在输入和输出模式下不同, 同一个位在输出模式和输入模式下的功能是不同的。寄存器中的 OCx 描述了通道在输出模式下的功能, 寄存器中的 ICx 描述了通道在输入模式下的功能。

输出比较模式:

位/域	名称	R/W	描述
31:16			保留
15	OC2CEN	R/W	使能输出通道 2 比较清除 (Output Compare Channel2 Clear Enable)
14:12	OC2MOD	R/W	输出比较通道 2 模式 (Output Compare Channel2 Mode)
11	OC2PEN	R/W	使能输出比较通道 2 缓冲 (Output Compare Channel2 Buffer Enable)
10	OC2FEN	R/W	快速使能输出比较通道 2 (Output Compare Channel2 Preload Enable)
9:8	CC2SEL	R/W	通道 2 模式选择 (Capture/Compare Channel2 Select) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC2 通道为输出 01: CC2 通道为输入, IC2 映射在 TI2 上 10: CC2 通道为输入, IC2 映射在 TI1 上 11: CC2 通道为输入, IC2 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC2EN=0 时) 可写。
7	OC1CEN	R/W	使能输出比较通道 1 清除 (Output Compare Channel1 Clear Enable) 0: OC1REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC1REF=0
6:4	OC1MOD	R/W	配置输出比较通道 1 模式 (Output Compare Channel1 Mode Configure) 000: 冻结。输出比较对 OC1REF 无影响 001: 匹配时输出置为高。计数器的值和捕获比较寄存器的值 CCx 发生匹配时, 强制 OC1REF 为高电平 010: 匹配时输出置为低。计数器的值和捕获比较寄存器的值发生匹配时, 强制 OC1REF 为低电平 011: 匹配时输出翻转。计数器的值和捕获比较寄存器的值发生匹配时, 翻转 OC1REF 的电平 100: 强制输出为低。强制 OC1REF 为低电平 101: 强制输出为高。强制 OC1REF 为高电平 110: PWM 模式 1 (计数器值<输出比较值时置为高, 否则反之) 111: PWM 模式 2 (计数器值>输出比较值时置为高, 否则反之)

位/域	名称	R/W	描述
			注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。在 PWM 模式 1 和 2 中，OC1REF 电平在比较结果改变或者输出比较模式从冻结模式转换到 PWM 模式时改变。
3	OC1PEN	R/W	使能输出比较通道 1 预装载（Output Compare Channel1 Preload Enable） 0：禁止预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会马上起作用。 1：启用预装载功能，通过程序写入 TMRx_CC1 寄存器的数值，会在产生更新事件后起作用。 注：当保护级别为 3 级时且通道配置为输出时，该位不能被修改。当不确定预装载寄存器情况，仅在单脉冲模式（SPMEN=1）下，可以使用 PWM 模式，否则不确定其接下来的输出比较结果。
2	OC1FEN	R/W	快速使能输出比较通道 1（Output Compare Channel1 Fast Enable） 0：禁止 1：使能 该位用来提高捕获/比较输出对触发输入事件的响应。
1:0	CC1SEL	R/W	选择捕获/比较通道 1（Capture/Compare Channel1 Selection） 该位定义了输入/输出的方向以及选择输入引脚。 00：CC1 通道为输出 01：CC1 通道为输入，IC1 映射在 TI1 上 10：CC1 通道为输入，IC1 映射在 TI2 上 11：CC1 通道为输入，IC1 映射在 TRC 上，仅工作在内部触发输入 注：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC1EN=0 时）可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16			保留
15:12	IC2F	R/W	配置输入捕获通道 2 滤波器（Input Capture Channel2 Filter Configuration）
11:10	IC2PSC	R/W	配置输入捕获通道 2 预分频因子（Input Capture Channel2 Perscaler Configuration）
9:8	CC2SEL	R/W	选择捕获/比较通道 2（Capture/Compare Channel2 Select） 00：CC2 通道为输出 01：CC2 通道为输入，IC2 映射在 TI2 上 10：CC2 通道为输入，IC2 映射在 TI1 上 11：CC2 通道为输入，IC2 映射在 TRC 上，仅工作在内部触发输入 注意：该位仅在通道关闭时（TMRx_CCEN 寄存器的 CC2EN=0 时）可写。
7:4	IC1F	R/W	配置输入捕获通道 1 滤波器（Input Capture Channel1 Filter Configuration） 0000：禁用滤波器，以 f_{DTS} 采样 0001：DIV=1，N=2 0010：DIV=1，N=4 0011：DIV=1，N=8 0100：DIV=2，N=6 0101：DIV=2，N=8 0110：DIV=4，N=6 0111：DIV=4，N=8

位/域	名称	R/W	描述
			1000: DIV=8, N=6 1001: DIV=8, N=8 1010: DIV=16, N=5 1011: DIV=16, N=6 1100: DIV=16, N=8 1101: DIV=32, N=5 1110: DIV=32, N=6 1111: DIV=32, N=8 采样频率=定时器时钟频率/DIV; 滤波器长度=N, 表示每 N 个事件产生一个跳变。
3:2	IC1PSC	R/W	配置输入捕获通道 1 预分频因子 (Input Capture Channel1 Prescaler Configure) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC1SEL	R/W	选择输入/捕获通道 1 (Capture/Compare Channel1 Select) 00: CC1 通道为输出 01: CC1 通道为输入, IC1 映射在 TI1 上 10: CC1 通道为输入, IC1 映射在 TI2 上 11: CC1 通道为输入, IC1 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC1EN=0 时) 可写。

15.6.8 捕获/比较模式寄存器 2 (TMRx_CCM2)

偏移地址: 0x1C

复位值: 0x0000 0000

参看以上 CCM1 寄存器的描述。

输出比较模式:

位/域	名称	R/W	描述
31:16			保留
15	OC4CEN	R/W	使能输出通道 4 比较清除 (Output Compare Channel4 Clear Enable)
14:12	OC4MOD	R/W	配置输出比较通道 4 模式 (Output Compare Channel4 Mode Configure)
11	OC4PEN	R/W	使能输出比较通道 4 缓冲 (Output Compare Channel4 Buffer Enable)
10	OC4FEN	R/W	快速使能输出比较通道 4 (Output Compare Channel4 Preload Enable)
9:8	CC4SEL	R/W	选择通道 4 模式 (Capture/compare Channel4 Selection) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC4 通道为输出 01: CC4 通道为输入, IC4 映射在 TI4 上 10: CC4 通道为输入, IC4 映射在 TI3 上 11: CC4 通道为输入, IC4 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC4EN=0 时) 可写。

位/域	名称	R/W	描述
7	OC3CEN	R/W	使能输出比较通道 3 清除 (Output Compare Channel3 Clear Enable) 0: OC3REF 不受 ETRF 输入影响。 1: 检测到 ETRF 输入高电平时, OC1REF=0
6:4	OC3MOD	R/W	配置输出比较通道 3 模式 (Output Compare Channel3 Mode Configure)
3	OC3PEN	R/W	使能输出比较通道 3 预装载 (Output Compare Channel3 Preload Enable)
2	OC3FEN	R/W	快速使能输出比较通道 3 (Output Compare Channel3 Fast Enable) 0: 禁止 1: 使能 该位用来提高捕获/比较输出对触发输入事件的响应。
1:0	CC3SEL	R/W	选择捕获/比较通道 3 (Capture/Compare Channel1 Selection) 该位定义了输入/输出的方向以及选择输入引脚。 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI4 上 11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC3EN=0 时) 可写。

输入捕获模式:

位/域	名称	R/W	描述
31:16	保留		
15:12	IC4F	R/W	配置输入捕获通道 4 滤波器 (Input Capture Channel4 Filter Configuration)
11:10	IC4PSC	R/W	配置输入捕获通道 4 预分频因子 (Input Capture Channel4 Perscaler Configuration)
9:8	CC4SEL	R/W	选择捕获/比较通道 4 (Capture/Compare Channel4 Select) 00: CC4 通道为输出 01: CC4 通道为输入, IC4 映射在 TI4 上 10: CC4 通道为输入, IC4 映射在 TI3 上 11: CC4 通道为输入, IC4 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC4EN=0 时) 可写。
7:4	IC3F	R/W	配置输入捕获通道 3 滤波器 (Input Capture Channel3 Filter Configuration)
3:2	IC3PSC	R/W	配置输入捕获通道 3 预分频因子 (Input Capture Channel3 Perscaler Configuration) 00: PSC=1 01: PSC=2 10: PSC=4 11: PSC=8 PSC 是预分频因子, 每 PSC 个事件触发一次捕获。
1:0	CC3SEL	R/W	选择输入/捕获通道 3 (Capture/Compare Channel3 Select) 00: CC3 通道为输出 01: CC3 通道为输入, IC3 映射在 TI3 上 10: CC3 通道为输入, IC3 映射在 TI4 上

位/域	名称	R/W	描述
			11: CC3 通道为输入, IC3 映射在 TRC 上, 仅工作在内部触发输入 注意: 该位仅在通道关闭时 (TMRx_CCEN 寄存器的 CC3EN=0 时) 可写。

15.6.9 使能捕获/比较通道寄存器 (TMRx_CCEN)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15	CC4NPOL	R/W	配置捕获/比较通道 4 输出极性 (Capture/Compare Channel4 Output Polarity Configure) 参考 CCEN_CC1NPOL
14			保留
13	CC4POL	R/W	捕获/比较通道 4 输出极性 (Capture/Compare Channel4 Output Polarity) 参考 CCEN_CC1POL
12	CC4EN	R/W	使能捕获/比较通道 4 输出 (Capture/Compare Channel4 Output Enable) 参考 CCEN_CC1EN
11	CC3NPOL	R/W	配置捕获/比较通道 3 输出极性 (Capture/Compare Channel3 Output Polarity Configure) 参考 CCEN_CC1NPOL
10			保留
9	CC3POL	R/W	配置捕获/比较通道 3 输出极性 (Capture/Compare Channel3 Output Polarity Configure) 参考 CCEN_CC1POL
8	CC3EN	R/W	使能捕获/比较通道 3 输出 (Capture/Compare Channel3 Output Enable) 参考 CCEN_CC1EN
7	CC2NPOL	R/W	配置捕获/比较通道 2 输出极性 (Capture/Compare Channel2 Output Polarity Configure) 参考 CCEN_CC1NPOL
6			保留
5	CC2POL	R/W	配置捕获/比较通道 2 输出极性 (Capture/Compare Channel2 Output Polarity Configure) 参考 CCEN_CC1POL
4	CC2EN	R/W	使能捕获/比较通道 2 输出 (Capture/Compare Channel2 Output Enable) 参考 CCEN_CC1EN
3	CC1NPOL	R/W	配置捕获/比较通道 1 输出极性 (Capture/Compare Channel1 Output Polarity Configure) CC1 通道配置为输出时: CC1NPOL 一直保持清除状态 CC1 通道配置为输入时:

位/域	名称	R/W	描述
			该位与 CC1POL 同时控制触发或捕获的信号 TI1FP1 和 TI2FP1 的极性。
2	保留		
1	CC1POL	R/W	配置捕获/比较通道 1 输出极性 (Capture/Compare Channel1 Output Polarity Configure) CC1 通道配置为输出时: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入时: 0: 不反相: 在 IC1 的上升沿进行捕获, IC1 作为外部触发器时不反相。 1: 反相, 在 IC1 下降沿进行捕获, IC1 作为外部触发器时反相。 注: 当保护级别为 2 或者 3 时, 该位不能被修改
0	CC1EN	R/W	使能捕获/比较通道 1 输出 (Capture/Compare Channel1 Output Enable) 捕获/比较通道 1 配置为输出时: 0: 禁止输出 1: 开启输出 捕获/比较通道 1 配置为输入时: 该位决定了计数器的值 CNT 是否能捕获进入 TMRx_CC1 寄存器中 0: 禁止捕获 1: 开启捕获

15.6.10 计数器寄存器 (TMRx_CNT)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CNT	R/W	计数器数值 (Counter Value)

15.6.11 预分频寄存器 (TMRx_PSC)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSC	R/W	预分频器数值 (Prescaler Value) 计数器的时钟频率 (CK_CNT) = $f_{CK\_PSC} / (PSC + 1)$

15.6.12 自动重装载寄存器 (TMRx_AUTORLD)

偏移地址: 0x2C

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16	保留		
15:0	AUTORLD	R/W	自动重装载数值 (Auto Reload Value) 自动重装载的值为空时, 计数器不进行计数。

15.6.13 通道 1 捕获/比较寄存器 (TMRx_CC1)

偏移地址: 0x34

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC1	R/W	捕获/比较通道 1 数值 (Capture/Compare Channel1 Value) 捕获/比较通道 1 配置为输入模式: CC1 包含上次输入捕获通道 1 事件传输的计数器数值。 捕获/比较通道 1 配置为输出模式: CC1 包含了当前装入捕获/比较寄存器数值 捕获比较通道 1 的值 CC1 与计数器的值 CNT 比较, 在 OC1 上产生输出信号。 当输出比较预装载禁止 (TMRx_CCM1 寄存器的 OC1PEN=0) 时, 写入的数值会立即影响输出比较结果; 当输出比较预装载使能 (TMRx_CCM1 寄存器的 OC1PEN=1) 时, 写入的值会在产生更新事件时影响输出比较结果。

15.6.14 通道 2 捕获/比较寄存器 (TMRx_CC2)

偏移地址: 0x38

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC2	R/W	捕获/比较通道 2 数值 (Capture/Compare Channel2 Value) 参考 TMRx_CC1

15.6.15 通道 3 捕获/比较寄存器 (TMRx_CC3)

偏移地址: 0x3C

复位值: 0x0000 0000

位/域	名称	R/W	描述
15:0	CC3	R/W	捕获/比较通道 3 数值 (Capture/Compare Channel3 Value) 参考 TMRx_CC1
31:16	保留		

15.6.16 通道 4 捕获/比较寄存器 (TMRx_CC4)

偏移地址: 0x40

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CC4	R/W	捕获/比较通道 4 数值 (Capture/Compare Channel4 Value) 参考 TMRx_CC1

15.6.17 DMA 控制寄存器 (TMRx_DCTRL)

偏移地址: 0x48

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12:8	DBLEN	R/W	设置 DMA 突发传送长度（DMA Burst Transfer Length Setup） 这些位定义 DMA 在连续模式下的传送长度、传输的次数，其中传输的数据可以是 16 位和 8 位。 当读写 TMRx_DMADDR 寄存器时，定时器进行一次连续传输传送： 00000: 1 次传输 00001: 2 次传输 00010: 3 次传输 10001: 18 次传输 传输的地址公式如下： 传输的地址=TMRx_CTRL1 的地址（从地址）+DBADDR+DMA 索引； DMA 索引=DBLEN 例如：DBLEN=7，DBADDR=TMR2_CTRL1（从地址）表示待传输数据的地址，则 TMRx_CTRL1 的地址+DBADDR+7，表示了将要写入/读出数据的地址。 数据的传输将发生在：TMRx_CTRL1 的地址+从 DBADDR 开始的 7 个寄存器。 根据设置的 DMA 数据长度不同，数据传输也会发生变化： 当传输数据设置为 16 位时，数据会传输给 7 个寄存器 当传输数据设置为 8 位时，第一个寄存器的数据是第一个的数据的 MSB 位，第二个寄存器的数据是第一个数据的 LSB 位，数据仍然会传输给 7 个寄存器。
7:5	保留		
4:0	DBADDR	R/W	设置 DMA 基地址（DMA Base Address Setup） 这些位定义了 DMA 在连续模式下的基地址（当对 TMRx_DMADDR 寄存器进行读或写时），DBADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量： 00000: TMRx_CTRL1 00001: TMRx_CTRL2 00010: TMRx_SMCTRL

15.6.18 连续模式的 DMA 地址寄存器（TMRx_DMADDR）

偏移地址：0x4C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	DMADDR	R/W	DMA 突发传送寄存器（DMA Register for Burst Transfer） TMRx_DMADDR 寄存器的读或写操作访问会导致对以下地址所在寄存器的存取操作： $\text{TMRx\_CTRL1 地址} + (\text{DBADDR} + \text{DMA 索引}) \times 4$ 其中： “TMRx_CTRL1 地址”是控制寄存器 1（TMRx_CTRL1）所在的地址； “DBADDR”是 TMRx_DCTRL 寄存器中定义的基地址； “DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DCTRL 寄存器中定义的 DBLEN。

16 低功耗定时器（LPTMR）

16.1 简介

低功耗定时器是一个使用内部低频时钟驱动计数器的 16 位定时器，可以在低功耗模式下保持计数功能并产生中断，从而可以将系统从低功耗模式下唤醒。

16.2 主要特征

- 16 位递增计数器
- 16 位自动重载功能的周期寄存器
- 4 位可编程预分频器，可实现 16 种不同的分频系数（1，2，4，8...32768）
- 独立的内部低频时钟 LSICLK 作为计数器的驱动时钟
- 更新事件发生时，可配置产生更新中断

16.3 功能描述

16.3.1 时钟

低功耗定时器模块有两个时钟，分别为 APB 时钟和内部低频时钟 LSICLK。其中 APB 时钟作为寄存器的读写时钟，LSICLK 作为计数器的驱动时钟。

16.3.2 时基单元

低功耗定时器里的时基单元包含三个寄存器：

- 16 位计数器
- 16 位自动重载寄存器（LPTMR_WVR）
- 4 位可编程的预分频器计数器

16 位计数器由内部低频时钟 LSICLK 驱动，当使能 LPTMR_CR 寄存器中的 EN 位时，计数器从初值开始向上计数，当计数值与周期寄存器相等时，产生更新事件，LPTMR_SR 寄存器中的 WK_STS 位被置 1，如果 LPTMR_CR 寄存器中的 IREN 位为 1，则会产生中断。

预分频器

低功耗定时器有一个 4 位的可编程预分频器，可以实现 16 种不同的分频系数，分别为 1，2，4，8...32768。预分频器在定时器运行过程中可修改，修改后在更新事件发生时生效。

周期寄存器

周期寄存器内部有一个缓存寄存器，定时器运行时实际生效的是缓存寄存器的值。当发生更新事件时，周期寄存器的值会被更新到内部缓存寄存器。

16.4 寄存器地址映射

下表中将低功耗定时器的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 52 LPTMR 寄存器地址映射

寄存器名	描述	偏移地址
LPTMRx_CR	控制寄存器	0x00
LPTMRx_PSC	预分频寄存器	0x04
LPTMRx_WVR	周期寄存器	0x08
LPTMRx_SR	状态寄存器	0x0C

16.5 寄存器功能描述

16.5.1 控制寄存器（LPTMR_CR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:2			保留
1	IREN	R/W	中断使能（Interrupt enable） 0：中断禁止 1：中断使能
0	EN	R/W	模块使能（Module enable） 0：模块禁止 1：模块使能

16.5.2 预分频寄存器（LPTMR_PSC）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:4			保留
3:0	PS	R/W	预分频值（Prescaler value） 0000：不分频 0001：2 分频 0010：4 分频 0011：8 分频 0100：16 分频 0101：32 分频 0110：64 分频 0111：128 分频 1000：256 分频 1001：512 分频 1010：1024 分频 1011：2048 分频 1100：4096 分频 1101：8192 分频 1110：16384 分频

位/域	名称	R/W	描述
			1111: 32768 分频

16.5.3 周期寄存器 (LPTMR_WVR)

偏移地址: 0x08

复位值: 0x0000 FFFF

位/域	名称	R/W	描述
31:16			保留
15:0	RV	R/W	周期值 (Cycle value)

16.5.4 状态寄存器 (LPTMR_SR)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:3			保留
2	RU	R	Reload value 更新标志 (Reload value update flag) 软件写入 LPTMR_WVR 后此位由硬件置 1, 写入值更新完成后硬件自动清零。 注意: 更新时间为 3 个 LSICLK。
1	PU	R	Pre-division value 更新标志 (Pre-division value update flag) 软件写入 LPTMR_PSC 后此位由硬件置 1, 写入值更新完成后硬件自动清零。 注意: 更新时间为 3 个 LSICLK。
0	WK_STS	R	中断状态寄存器 (Interrupt status register) 0: 未发生更新事件 1: 发生更新事件 对此位写 0 清零。

17 看门狗定时器 (WDT)

17.1 简介

看门狗是用来监测由软件错误引起的系统故障。片上一共有两个看门狗设备：独立看门狗和窗口看门狗，它们提高了安全性、使时间更加精确以及使用变得更加灵活。

独立看门狗只有在计数器减到 0 时，会复位，在没有减到 0 之前，刷新计数器的值不会发生复位。

窗口看门狗在计数器减到 0x3F 时会发生复位，当计数器计数的值在配置寄存器的窗口值之前，刷新计数器也会发生复位。

表格 53 IWDTC 和 WWDTC 功能比较

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗 (IWDTC)	12 位	向下	1~256 之间的任意整数	由一个内部独立的 32KHz 的 RC 振荡器提供时钟；由于此 RC 振荡器独立于主时钟，IWDTC 可运行于停机模式
				在发生故障时可复位整个系统
				可以作为一个自由定时器为应用程序提供超时管理
				通过选项字节可以配置成是软件或硬件启动看门狗
窗口看门狗 (WWDTC)	7 位	向下	-	在调试模式下，计数器可以被冻结
				由主时钟驱动，具有早期预警中断功能
				在发生问题时可复位整个系统
				可以设置成自由运行
				在调试模式下，计数器可以被冻结

17.2 独立看门狗定时器 (IWDTC)

17.2.1 简介

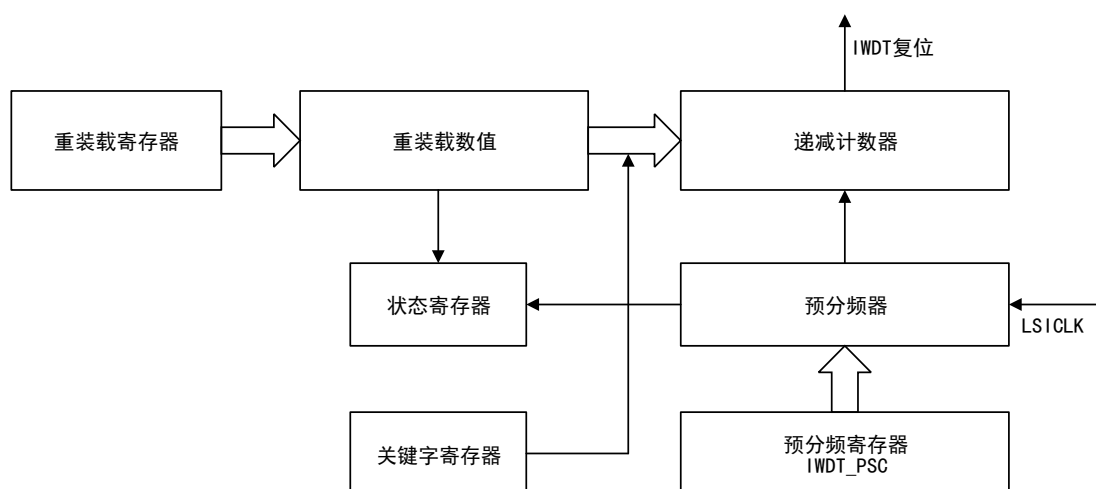
独立看门狗是由一个八位预分频器 IWDTC_PSC、12 位递减计数器、12 位重载寄存器 IWDTC_CNTRLD、关键字寄存器 IWDTC_KEY 和状态寄存器 IWDTC_STS 组成。

独立看门狗有独立的时钟源，即使是在主时钟失效的情况下，它仍然有效。

独立看门狗适用于需要独立的环境但对精确度要求不高的场所。

17.2.2 结构框图

图 58 独立看门狗结构框图



注：看门狗功能处于 V_{DD} 供电区，可以在停机或者待机模式下正常工作。

17.2.3 功能描述

17.2.3.1 关键字寄存器

在关键字寄存器中写入 **0xC** 使能独立看门狗，此时计数器开始向下计数，当计数器计数到 **0x000** 时，产生一次复位。

在关键字寄存器中写入 **0xA**，重载寄存器的值会被重新加载到计数器，以此来阻止看门狗复位。

在关键字寄存器中写入 **0x5555**，用来改写预分频寄存器和重载寄存器的值。

17.2.3.2 寄存器访问保护

预分频寄存器和重载寄存器具有写保护功能，如果要改写这两个寄存器则需要写 **0x5555** 到关键字寄存器中，如果将其他的值写入关键字寄存器将会再次启动对寄存器的保护。

写 **0xA** 到关键字寄存器中，也会启动写保护功能。

17.2.3.3 硬件看门狗

启动了“硬件看门狗”功能之后，当系统上电复位，看门狗会自动运行。如果没有向关键字寄存器中写入 **0xA**，计数器计数结束后，产生复位。

17.2.3.4 调试模式

独立看门狗可以在调试模式下配置，选择停止还是继续工作。取决于 **DBGMCU_APB** 寄存器的 **DBG_IWD_STOP** 位。

表格 54 LSICLK=32kHz 时，最小/最大超时值

PSC	最小超时值	最大超时值
0	0.125ms	512ms
1	0.25ms	1024ms
2	0.5ms	2048ms
3	1ms	4096ms
4	2ms	8192ms
5	4ms	16384ms
6	-	32768ms

17.3 窗口看门狗定时器（WWDT）

17.3.1 简介

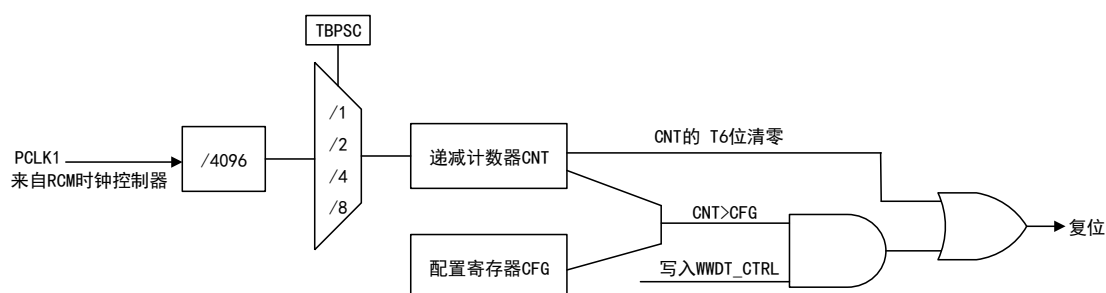
窗口看门狗含有一个 7 位自由运行递减计数器、预分频器、控制寄存器 WWDT_CTRL、配置寄存器 WWDT_CFG 和状态寄存器 WWDT_STS。

窗口看门狗时钟来自 PCLK1，计数器时钟由 CK 计数器时钟经过预分频分频得到（由配置寄存器配置）。

窗口看门狗适用于需要精确计时的场合。

17.3.2 结构框图

图 59 窗口看门狗结构框图



17.3.3 功能描述

使能窗口看门狗定时器，复位条件：

- 计数器计数小于 0x40 时，产生复位。
- 计数器计数到窗口寄存器的值之前，重装载计数器产生复位。

发生复位后，看门狗总是关闭状态，需要设置 WWDT_CTRL 控制寄存器的 WWDTEN 位才能使能看门狗。

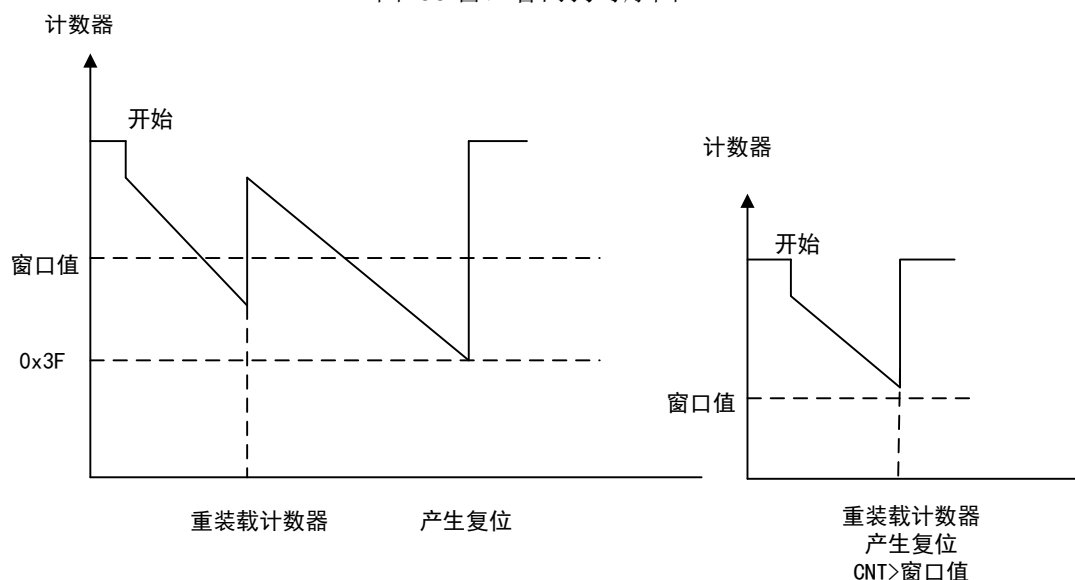
窗口看门狗的计数器是自由状态，在看门狗禁止的情况下，计数器仍然继续递减计数。计数器必须要在窗口寄存器的值和 0x40 之间重装载，来避免复位。

设置 WWDT_CFG 配置寄存器的 EWIEEN 位可以开启提前唤醒中断，当计数到

0x40 会产生中断，进入中断服务程序（ISR）可以用来防止窗口看门狗复位。如果要清除 EWIEI 中断需要在状态寄存器中写入 0。

窗口看门狗特有的窗口可以有效地监测程序是否故障，例如：假定一个程序段运行的时间是 T，设定窗口寄存器的值稍稍小于（TR-T），如果在窗口内没有重载寄存器，说明程序出现了故障，当计数器计数到 0x3F 时，则会产生复位。

图 60 窗口看门狗时序图



窗口看门狗定时器超时的计算公式：

$$T_{WWDI} = T_{PCLK1} \times 4096 \times 2^{TBPSC} \times (CNT[5:0] + 1)$$

其中：

- T_{WWDI} ：WWDI 超时时间
- T_{PCLK1} ：以 APB1（单位为 ms）为时钟周期

在 PCLK1=30MHz 时的最小/最大超时值：

表格 55 PCLK1=30MHz 时，最小/最大超时值

TBPSC	最小超时值	最大超时值
0	136.53μs	8.74ms
1	273.07μs	17.48ms
2	546.13μs	34.95ms
3	1092.27μs	69.91ms

17.4 IWDI 寄存器地址映射

表格 56 IWDI 寄存器地址映射

寄存器名	描述	偏移地址
IWDI_KEY	关键字寄存器	0x00

寄存器名	描述	偏移地址
IWDT_PSC	预分频寄存器	0x04
IWDT_CNTRLD	计数器重装载寄存器	0x08
IWDT_STS	状态寄存器	0x0C

17.5 IWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

17.5.1 关键字寄存器（IWDT_KEY）

偏移地址：0x00

复位值：0x0000 0000（在待机模式复位）

位/域	名称	R/W	描述
31:16			保留
15:0	KEY	W	允许访问 IWDT 寄存器关键字值（Allow Access IWDT Register Key Value） 写入 0x5555 表示允许访问 IWDT_PSC 和 IWDT_CNTRLD 寄存器； 软件写入 0xAAAA 表示执行重装载计数器，需要一定的间隔写入，防止看门狗复位。 写入 0xCCCC，启动看门狗（硬件看门狗不受此命令字限制）； 该寄存器只写，读出值为 0x0000。

17.5.2 预分频寄存器（IWDT_PSC）

偏移地址：0x04

复位值：0x0000 0007

位/域	名称	R/W	描述
31:3			保留
2:0	PSC	R/W	配置预分频系数（Prescaler Factor Configure） 有写保护功能，向 IWDT_KEY 寄存器写入 0x5555 时允许访问该寄存器； 写该寄存器过程中，当 IWDT_STS 寄存器的 PSCUFLG=0 时，才能改变预分频因子；读该寄存器过程中，当 PSCUFLG=0 时，读取 PSC 寄存器的数值才有效。 000: PSC=4 001: PSC=8 010: PSC=16 011: PSC=32 100: PSC=64 101: PSC=128 110: PSC=256 111: PSC=256

17.5.3 计数器重装载寄存器（IWDT_CNTRLD）

偏移地址：0x08

复位值：0x0000 0FFF（在待机模式复位）

位/域	名称	R/W	描述
31:12			保留

位/域	名称	R/W	描述
11:0	CNTRLD	R/W	设置看门狗计数器重装载值（Watchdog Counter Reload Value Setup） 有写保护功能，定义 IWDT_KEY 寄存器写入 0xAAAA 时载入看门狗计数器的值；在写该寄存器过程中，CNTUFLG=0 时，才能对此寄存器进行修改。在读该寄存器过程中，当 IWDT_STS 寄存器中的 CNTUFLG=0 时，读取的数值才是有效的。 看门狗超时周期可通过此重装载值和时钟预分频值来计算。

17.5.4 状态寄存器（IWDT_STS）

偏移地址：0x0C

复位值：0x0000 0000（在待机模式不复位）

位/域	名称	R/W	描述
31:2	保留		
1	CNTUFLG	R	更新看门狗计数器重装载值标志（Watchdog Counter Reload Value Update Flag） 更新计数器重装载值时，由硬件置 1；计数器重装载值更新结束后，由硬件清 0；计数器重装载值只有在 CNTUFLG 位被清 0 时更新。
0	PSCUFLG	R	更新看门狗预分频器系数标志（Watchdog Prescaler Factor Update Flag） 更新预分频器系数时，由硬件置 1；预分频器系数更新结束后，由硬件清 0；预分频器系数只有在 PSCUFLG 位被清 0 时更新。

17.6 WWDT 寄存器地址映射

表格 57 WWDT 寄存器地址映射

寄存器名	描述	偏移地址
WWDT_CTRL	控制寄存器	0x00
WWDT_CFG	配置寄存器	0x04
WWDT_STS	状态寄存器	0x08

17.7 WWDT 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

17.7.1 控制寄存器（WWDT_CTRL）

偏移地址：0x00

复位值：0x0000 007F

位/域	名称	R/W	描述
31:8	保留		
7	WWDTEN	R/S	使能窗口看门狗（Window Watchdog Enable） 该位由软件置 1 且只能在复位后由硬件清除。当 WWDTEN=1 时，WWDT 可以产生复位。 0：禁止 1：使能

位/域	名称	R/W	描述
6:0	CNT	R/W	设置计数器数值（Counter Value Setup） 该计数器是 7 位，CNT6 是最高有效位 这些位用来存储看门狗的计数器值，当计数值从 0x40 减到 0x3F 时，产生 WWDTC 复位。

17.7.2 配置寄存器（WWDTC_CFG）

偏移地址：0x04

复位值：0x0000 01FF

位/域	名称	R/W	描述
31:10	保留		
9	EWIEN	R/S	使能提前唤醒中断（Early Wakeup Interrupt Enable） 0：无作用 1：则当计数器值达到 0x40 时，即产生中断；此中断在复位后由硬件清除。
8:7	TBPSC	R/W	配置时基预分频系数（Timer Base Prescaler Factor Configure） PCLK1/4096 的基础上再分频 00：不分频 01：2 分频 10：4 分频 11：8 分频
6:0	WIN	R/W	设置窗口值（Window Value Setup） 该窗口值是 7 位，用来和向下计数器作比较。

17.7.3 状态寄存器（WWDTC_STS）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	EWIFLG	RC_W0	发生提前唤醒中断标志（Early Wakeup Interrupt Occur Flag） 0：未发生 1：当计数器值达到 0x40 时由硬件置 1；若中断未被使能，该位也会被置 1；由软件写 0 清除。

18 实时时钟（RTC）

18.1 术语全称、缩写描述

表格 58 术语全称、缩写描述

中文全称	英文全称	英文缩写
秒	Second	SEC
闹钟	Alarm	ALR
溢出	Overflow	OVR
预分频器	Prescaler	PSC
时机时钟	Time Basic Clock	TBCLK

18.2 简介

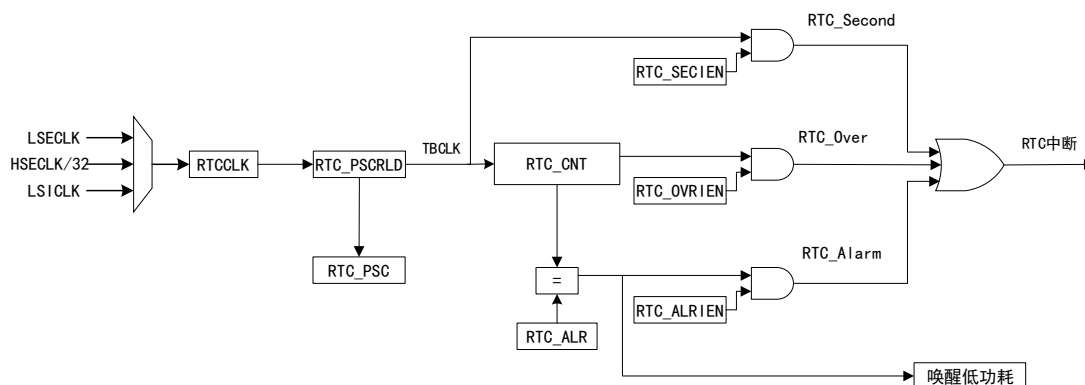
实时时钟（RTC）是芯片中独立运行的计时模块，可以提供精确的日期、时间及闹钟功能。其核心包括时基单元、分频器和计数器。通过配置可以设置产生多种中断，同时支持低功耗唤醒功能。

18.3 主要特征

- （1） 时基单元
- （2） 可编程的 32-bit 计数器
- （3） 多种中断控制
- （4） 低功耗自动唤醒

18.4 结构框图

图 61 RTC 结构框图



18.5 功能描述

18.5.1 时基单元

时钟源

RTC 有 3 个时钟源：

- 外部 LSECLK 晶振（32.768kHz）
- 外部 HSECLK 晶振 32 分频
- 内部 LSICLK（32kHz）

通过配置时钟控制器 RCM 的寄存器选择不同的时钟源。

预分频器

RTC 预分频器包含了一个 20 位的可编程分频器，可编程产生最长为 1 秒的 RTC 时间基准。

18.5.2 RTC 寄存器配置

为防止意外写入 RTC 寄存器导致计数异常，RTC 采用写保护机制，只有解除写保护才能对具有写保护功能的寄存器进行操作。

配置 RTC 时钟时需要先把电源控制寄存器的（RCM_PWRCR）的 BKPWP 位设置“1”才能进行配置，配置 RTC_CSTS 寄存器的 CFGMFLG 位，使 RTC 进入配置模式，才能配置 RTC_PSCRLD、RTC_CNT、RTC_ALR 寄存器；清除 RTC_CSTS 寄存器的 CFGMFLG 位，退出配置模式。

对 RTC 任何寄存器的写操作，需前一次写操作结束后（可通过查询 RTC_CSTS 的 OCFLG 判断）才能进行。

18.5.3 可编程的闹钟

作为一个实时时钟，RTC 内部集成闹钟功能，主要通过闹钟寄存器和计数器运作，通过寄存器 RTC_ALR 配置闹钟时间。

使能闹钟功能后，当计数器值等于闹钟值时触发，闹钟标志置起，如果开启了闹钟中断，则触发中断处理，通过配置外部 17 线中断可以利用 RTC 闹钟唤醒低功耗状态。

18.5.4 中断

RTC 可以产生秒中断、闹钟中断和溢出中断，当产生 20 位预分频器溢出、闹钟事件和 32 位计数器溢出时会把相应的状态标志位挂起，配置 RTC_CTRL 寄存器可产生对应的中断。

18.6 寄存器地址映射

表格 59 RTC 寄存器地址映射

寄存器名	描述	偏移地址
RTC_CTRL	控制寄存器	0x00
RTC_CSTS	控制/状态寄存器	0x04
RTC_PSCRLDH	预分频器重装载高位寄存器	0x08
RTC_PSCRLDL	预分频器重装载低位寄存器	0x0C
RTC_DIVH	预分频器余数高位寄存器	0x10
RTC_DIVL	预分频器余数低位寄存器	0x14
RTC_CNTH	计数器高位寄存器	0x18
RTC_CNTL	计数器低位寄存器	0x1C
RTC_ALRH	闹钟高位寄存器	0x20
RTC_ALRL	闹钟低位寄存器	0x24

18.7 寄存器功能描述

18.7.1 控制寄存器（RTC_CTRL）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:3	保留		
2	OVRIEN	R/W	使能溢出中断（Overflow Interrupt Enable） 0：禁止 1：使能
1	ALRIEN	R/W	使能闹钟中断（Alarm Interrupt Enable） 0：禁止 1：使能
0	SECIEN	R/W	使能秒中断（Second Interrupt Enable） 0：禁止 1：使能

18.7.2 控制/状态寄存器（RTC_CSTS）

偏移地址：0x04

复位值：0x0000 0020

位/域	名称	R/W	描述
31:6	保留		

位/域	名称	R/W	描述
5	OCFLG	RC_W0	RTC 操作完成标志 (RTC Operation Complete Flag) 表示对上一次写 RTC 寄存器的状态。 0: 未完成, 无法执行下一次的写操作 1: 已完成, 可以执行下一次的写操作
4	CFGMFLG	RC_W0	使能配置模式标志 (Configure Mode Enable Flag) 由软件写 1 进入配置模式, 才可以对 RTC_CNT、RTC_ALR 或 RTC_PSCRLD 寄存器进行写操作; 软件写 0 退出配置模式。 0: 退出配置模式 (开始更新 RTC 寄存器) 1: 使能配置模式
3	RSYNCFLG	RC_W0	寄存器已被同步标志 (Registers Synchronized Flag) 当 RTC_CNT、RTC_PSCRLD、RTC_ALR 寄存器已同步时, 硬件置 1; 由软件写 0 清除。 在 APB 时钟复位或停止后, 此位必须由软件清 0, 用户程序需等待由硬件置 1, 才能正确读取 RTC_CNT、RTC_PSCRLD、RTC_ALR 的数值。 0: 未被同步 1: 已被同步
2	OVRFLG	RC_W0	发生溢出标志 (Overflow Occur Flag) 当计数器溢出时, 由硬件置 1; 只能软件写 0 清除。 0: 无溢出 1: 32 位可编程计数器溢出
1	ALRFLG	RC_W0	发生闹钟标志 (Alarm Occur Flag) 当计数器达到 RTC_ALR 数值时, 由硬件置 1; 只能软件写 0 清除。 0: 无闹钟 1: 有闹钟
0	SECFLG	RC_W0	秒信号条件成立标志 (Second Signal Condition Met Flag) 此标志可为 RTC 计数器提供一个周期性的信号 (通常为 1 秒)。 当 32 位可编程预分频器溢出时, 由硬件置 1, 同时 RTC 计数器加 1; 只能由软件写 0 清除。 0: 无秒标志 1: 有秒标志

18.7.3 预分频器重载高位寄存器 (RTC_PSCRLDH)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:4	保留		
3:0	PSCRLDH	W	设置 RTC 预分频器重载值高位 (RTC Prescaler Reload Value High Setup) 根据以下公式, 这些位用来定义时基时钟频率: $f_{TBCLK} = f_{RTCCLK} / (RLD[19:0] + 1)$

18.7.4 预分频器重载低位寄存器 (RTC_PSCRLDL)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	PSCRLDL	W	设置 RTC 预分频器重载值低位 (RTC Prescaler Reload Value Low Setup) 根据以下公式, 这些位用来定义时基时钟频率: $f_{TBCLK} = f_{RTCCLK} / (RLD[19:0] + 1)$

18.7.5 预分频器余数高位寄存器 (RTC_DIVH)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:4	保留		
3:0	DIVH	R	设置 RTC 时钟预分频器余数高位 (RTC Clock Prescaler Remainder High Setup)

18.7.6 预分频器余数低位寄存器 (RTC_DIVL)

偏移地址: 0x14

复位值: 0x0000 8000

位/域	名称	R/W	描述
31:16	保留		
15:0	DIVL	R	设置 RTC 时钟预分频器余数低位 (RTC Clock Prescaler Remainder Low Setup)

18.7.7 计数器高位寄存器 (RTC_CNTH)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:4	保留		
3:0	CNTH	R/W	设置 RTC 计数器高位 (RTC Counter High Setup)

18.7.8 计数器低位寄存器 (RTC_CNTL)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	CNTL	R/W	设置 RTC 计数器低位 (RTC Counter Low Setup)

18.7.9 闹钟值寄存器 (RTC_ALR)

当 OCFLG 值为 1 时允许执行写操作。

闹钟值寄存器高位 (RTC_ALRH)

偏移地址: 0x20

复位值: 0xFFFF

位/域	名称	R/W	描述
15:0	ALRH[31:16]	W	设置 RTC 闹钟值高位 (RTC Alarm Value High Setup)

闹钟值寄存器低位 (RTC_ALRL)

偏移地址: 0x24

复位值: 0xFFFF

位/域	名称	R/W	描述
15:0	ALRL[15:0]	W	设置 RTC 闹钟值低位 (RTC Alarm Value Low Setup)

19 通用同步异步收发器 (USART)

19.1 术语全称、缩写描述

表格 60 术语全称、缩写描述

中文全称	英文全称	英文缩写
清除发送	Clear to Send	CTS
请求发送	Request to Send	RTS
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
保护	Guard	GRD
过载	Overrun	OVR

19.2 简介

USART (通用同步异步收发器) 是一个可以灵活地与外部设备进行全双工、半双工数据交换的串行通信设备, 且同时满足外部设备对工业标准 NRZ 异步串行数据格式的要求。USART 还提供宽范围的波特率选择, 且支持多处理器通信。

USART 不仅支持标准的异步收发模式, 也支持一些其他的串行数据交换模式, 如 LIN 协议、智能卡协议、IrDA SIR ENDEC 规范和硬件流控制模式。

USART 还支持使用 DMA 功能, 以实现高速数据通信。

19.3 主要特征

- (1) 全双工异步通信
- (2) 单线半双工通信
- (3) NRZ 标准格式
- (4) 通信速率: 4800 / 9600 / 115200 / 2.5M / 4M / 5M / 8M / 10 Msps
- (5) 可编程的串口特性:
 - 数据位: 8 位或 9 位
 - 校验位: 偶校验、奇校验、无校验
 - 支持 0.5、1、1.5、2 个停止位
- (6) 校验控制
 - 发送校验位
 - 校验接收的数据
- (7) 状态标志位:
 - 发送检测标志: 发送寄存器为空、接收寄存器不为空、发送完成

- 错误检测标志：溢出错误、噪音错误、奇偶校验错误、帧错误
- (8) 选择速度和时钟容忍度采用可编程的 8 倍或 16 倍过采样率
- (9) 独立的发送器和接收器使能位
- (10) 通过 16-bit 分频系数配置波特率发生器
- (11) 可利用 DMA 连续通信
- (12) 多处理器通信：
 - 若地址不匹配，则进入静默模式
 - 通过空闲总线检测或地址标记检测，从静默模式中唤醒
- (13) 同步发送模式
- (14) LIN 断开帧的生成与检测
- (15) 支持 ISO7816-3 标准的智能卡接口
- (16) 支持 IrDA 协议
- (17) 支持硬件流控制
- (18) 支持 RS485 的发送使能 I/O 自动控制
- (19) 多个中断源：
 - 发送寄存器为空
 - 发送完成
 - CTS 改变
 - 接收寄存器不为空
 - 过载错误
 - 总线空闲
 - 奇偶校验错误
 - LIN 断开检测
 - 噪音错误
 - 溢出错误
 - 帧错误

19.4 功能描述

表格 61 USART 引脚描述

引脚	类型	描述
USART_RX	输入	数据接收
USART_TX	输出 I/O（单线模式/智能卡模式）	数据发送 当发送器被使能且不发送数据时，默认为高电平
USART_CK	输出	时钟输出
USART_nRTS	输入	硬件流控制模式中请求发送

引脚	类型	描述
USART_nCTS	输出	硬件流控制模式中清除发送
IrDA_RDI	输入	IrDA 模式中的数据输入
IrDA_TDO	输出	IrDA 模式中的数据输出

19.4.1 单线半双工通信

USART_CTRL3 寄存器的 HDEN 位决定是否进入单线半双工模式。

当 USART 进入单线半双工模式时：

- USART_CTRL2 寄存器的 CLKEN 位、LINMEN 位，USART_CTRL3 寄存器的 IREN 位、SCEN 位必须清 0。
- 禁止使用 RX 引脚。
- TX 脚应配置成开漏输出，并在芯片内部与 RX 引脚相连。
- 发送数据和接收数据不可同时进行，在数据发送前，不可以接收数据。若需要接收数据，必须在 USART_STS 寄存器的 TXCFLG 位置 1 后方可开启使能接收。
- 若总线上出现数据冲突，需要使用软件管理分配通信过程。

19.4.2 帧格式

通过 USART_CTRL1 寄存器控制数据帧的帧格式：

- DBLCFG 位控制字符长度，可设置为 8 位或 9 位。
- PCEN 位控制是否开启校验位。
- PCFG 位控制校验位为奇校验还是偶校验。

表格 62 帧格式

DBLCFG 位	PCEN 位	USART 数据帧
0	0	起始位+8 位数据+停止位
0	1	起始位+7 位数据+奇偶检验位+停止位
1	0	起始位+9 位数据+停止位
1	1	起始位+8 位数据+奇偶检验位+停止位

可配置的停止位

可以通过 USART_CTRL2 寄存器的 STOPCFG 位来配置 4 种不同的停止位。

- 1 个停止位：默认的停止位。
- 0.5 个停止位：智能卡模式里接收数据时使用。
- 2 个停止位：常规模式、单线模式、硬件流控制模式使用。
- 1.5 个停止位：智能卡模式里发送与接收数据时使用。

校验位

USART_CTRL1 的 PCFG 位决定奇偶校验位，当 PCFG=0 时，为偶校验，反之为奇校验。

- 偶校验：帧数据和校验位 1 的个数为偶数时，偶校验位为 0，否则为 1。
- 奇校验：帧数据和校验位 1 的个数为偶数时，奇校验位为 1，否则为 0。

19.4.3 发送器

当寄存器 USART_CTRL1 的 TXEN 位被设置时，发送移位寄存器将通过 TX 脚输出数据，相应的时钟脉冲通过 CK 脚输出。

19.4.3.1 字符发送

USART 发送期间，数据的最低有效位会先被 TX 引脚移出。在此模式下，USART_DATA 寄存器有一个缓冲器，处于内部总线和发送移位寄存器之间。

一个数据帧由起始位、字符、停止位组成的，所以每个字符前面都有一个低电平的起始位；之后有一个数目可配置的高电平的停止位。

发送配置步骤

- (1) 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART。
- (2) 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长。
- (3) 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数。
- (4) 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA。
- (5) 在 USART_BR 寄存器中设置通信的波特率。
- (6) 使能 USART_CTRL1 寄存器的 TXEN 位，发送一个空闲帧。
- (7) 等待 USART_STS 寄存器的 TXBEFLG 位置 1。
- (8) 向 USART_DATA 寄存器写入数据（如果未使能 DMA，则每个需要发送的字节都要重复步骤 7-8）。
- (9) 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

注意：不能在发送数据期间复位 TXEN 位，否则 TX 脚上的数据会被破坏，因为波特率发生器停止计数，正在发送的数据也将丢失。

19.4.3.2 单字节通信

对 USART_DATA 寄存器进行写操作可以将 TXBEFLG 位清零。当 TXBEFLG 位被硬件置位时，移位寄存器接收到由数据发送寄存器转移过来的数据，数据发送就开始了，此时数据发送寄存器被清空。可以在数据寄存器中写入下一个数据，且不会覆盖前面的数据。

- (1) 若 USART_CTRL1 寄存器中的 TXBEIEN 置 1，则会产生一个中断。
- (2) 若 USART 处于发送数据的状态时，对数据寄存器进行写操作，把数据存到 DATA 寄存器，并在当前数据发送结束时把该数据转移到移位寄存器中。

- (3) 若 USART 处于空闲状态时，对数据寄存器进行写操作，把数据放到移位寄存器中，开始发送数据，TXBEFLG 位设置为 1。
- (4) 当一个数据发送完成并设置了 TXBEFLG 位时，TXCFLG 位被置 1，此时若 USART_CTRL1 寄存器中的 TXCIEN 位被置 1，则会产生一个中断。
- (5) 在 USART_DATA 寄存器中写入最后一个数据后，在进入低功耗模式之前或关闭 USART 模块之前，必须先等待 TXCFLG 置 1。

19.4.3.3 断开帧

断开帧被视为在一个帧周期内全部收到 0。设置 USART_CTRL1 寄存器的 TXBF 位可发送一个断开帧，断开帧的长度由 USART_CTRL1 寄存器的 DBLCFG 位决定。若将 TXBF 位置位，则当前数据发送完成后，TX 线上将发送一个断开帧，断开帧发送完成时 TXBF 位被复位。在断开帧结束时，发送器再插入 1 或 2 个停止位来应答起始位。

注意：若开始发送断开帧之前就复位了 TXBF 位，将不再发送断开帧。若要发送两个连续的断开帧，应在前一个断开符的停止位之后置起 TXBF 位。

19.4.3.4 空闲帧

空闲帧被视为完全由 1 组成的一个完整的数据帧，后面跟着包含了数据的下一帧的开始位。将 USART_CTRL1 寄存器的 TXEN 位置 1，可以在第一个数据帧前发送一个空闲帧。

19.4.4 接收器

19.4.4.1 字符接收

USART 接收期间，RX 脚会首先引进数据的最低有效位。在此模式下，USART_DATA 寄存器有一个缓冲器，处于内部总线和接收移位寄存器之间。数据一位一位地送入缓冲器，接收满后，对应的接收寄存器不为空，此时用户可读取 USART_DATA。

接收配置步骤

- (1) 置位 USART_CTRL1 寄存器的 UEN 位，使能 USART。
- (2) 通过设置 USART_CTRL1 寄存器的 DBLCFG 位来决定字长。
- (3) 通过设置 USART_CTRL2 寄存器的 STOPCFG 位来决定停止位位数。
- (4) 若选择多缓冲器通信，需在 USART_CTRL3 寄存器中使能 DMA。
- (5) 在 USART_BR 寄存器中设置通信的波特率。
- (6) 设置 USART_CTRL1 的 RXEN 位，使能接收。

注意：

- (1) 不能在接收数据期间复位 RXEN 位，否则将丢失正在接收的字节。
- (2) 接收器在接收一个数据帧的过程中，若检测到溢出错误，噪音错误，帧错误等，错误标志被置 1。

- (3) 当数据从移位寄存器中被转移到 USART_DATA 寄存器中时，USART_STS 寄存器的 RXBNEFLG 位被硬件置位。
- (4) 若设置 RXBNEIEN 位将产生一个中断。
- (5) 单缓冲器模式中，软件读取 USART_DATA 寄存器能清除 RXBNEFLG 位，也可对其写 0 清除。
- (6) 多缓冲器模式中，每个字节被接收后，USART_STS 寄存器的 RXBNEFLG 位都会被置 1，且 DMA 对数据寄存器进行读操作而清零。

19.4.4.2 断开帧

当接收器接收到一个断开帧时，USART 会像接收到帧错误一样处理它。

19.4.4.3 空闲帧

当接收器接收到一个空闲帧时，USART 会像接收到普通数据帧一样处理它，如果设置 USART_CTRL1 的 IDLEIEN 位，将产生一个中断。

19.4.4.4 过采样率

USART_CTRL1 寄存器的 OSMCFG 位决定过采样率。

若过采样率为波特率的 8 倍，则速度较高，但时钟容忍度较小，若为 16 倍则相反。

19.4.4.5 溢出错误

若 USART_STS 寄存器的 RXBNEFLG 位置 1，同时接收到一个新的字符，则会产生溢出错误。只有当 RXEN 复位后才能把数据从移位寄存器转移到 DATA 寄存器。接收到字节后 RXBNEFLG 位会置 1。该位需要在接收到下一个数据或还没服务先前的 DMA 请求前复位，否则将产生溢出错误。

当产生溢出错误时

- USART_STS 的 OVREFLG 位置 1。
- 不会丢失 DATA 寄存器中的数据。
- 覆盖之前接收到的移位寄存器中的数据，但不会保存后面接收到的数据。
- 若 USART_CTRL1 的 RXBNEIEN 位置 1，则会产生一个中断。
- 当 OVREFLG 位置 1 时，表明已经有数据丢失。可分为两种可能：
 - 当 RXBNEFLG=1 时，上一个有效数据还在 DATA 寄存器上，可以进行读操作。
 - 当 RXBNEFLG=0 时，DATA 寄存器中没有有效数据。
- 对 USART_STS 和 USART_DATA 寄存器依次进行读操作，可以复位 OVREFLG 位。

19.4.4.6 噪音错误

当接收器在接收过程中检测到噪音时：

- 在 USART_STS 寄存器的 RXBNEFLG 位的上升沿设置 NE 标志。

- 无效数据从移位寄存器发送到 USART_DATA 寄存器。

注意：8 倍过采样率不能在 LIN、智能卡和 IrDA 模式下使用。

19.4.4.7 帧错误

若因为噪音过大或没有同步而没有在预计的接收时间接收和识别到停止位，会检测到帧错误。

当接收器在接收过程中检测到帧错误时：

- (1) 置位 USART_STS 寄存器的 FEFLG 位。
- (2) 无效数据从移位寄存器发送到 USART_DATA 寄存器。
- (3) 在单字节通信时不会产生中断，但在多缓冲区通信时置位 USART_CTRL3 寄存器的 ERRIEN 位就会产生一个中断。

19.4.5 波特率发生器

波特率分频系数 (USARTDIV) 是一个 16 位的数字，包含 12 位整数部分和 4 位小数部分。它与系统时钟的关系：

波特率 = $FCLK / 16 \times (USARTDIV)$

USART1/2 的系统时钟为 FCLK。必须在时钟控制单元使能系统时钟之后再使能 USART。

19.4.6 多处理器通信

在多处理器通信中，多个 USART 连接组成一个网络。在该网络中，两个设备进行通信，其余不参与通信的设备，为减轻 USART 的负担，可启用静默模式。在静默模式中，不会设置任何接收状态位，禁止所有接收中断。

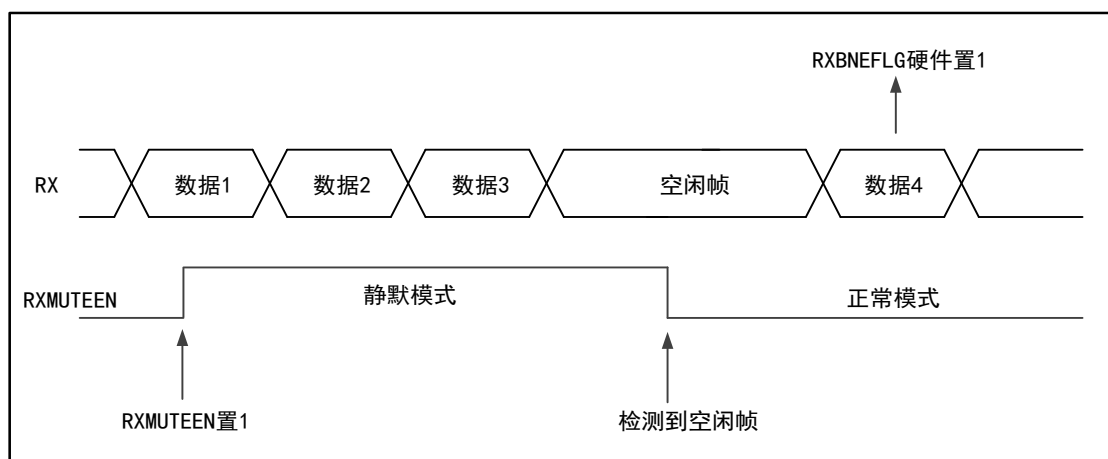
当启用静默模式后，有两种方法可退出静默模式：

- USART_CTRL1 寄存器的 WUPMCFG 位被清除，总线空闲可退出静默模式。
- USART_CTRL1 寄存器的 WUPMCFG 位被置位，收到地址标记可退出静默模式。

空闲总线检测 (WUPMCFG=0)

当 RXMUTEEN 置 1 时，USART 则进入静默模式，当检测到空闲帧时，能从静默模式中被唤醒，同时 RXMUTEEN 位被硬件清 0。RXMUTEEN 还可以通过软件清 0。

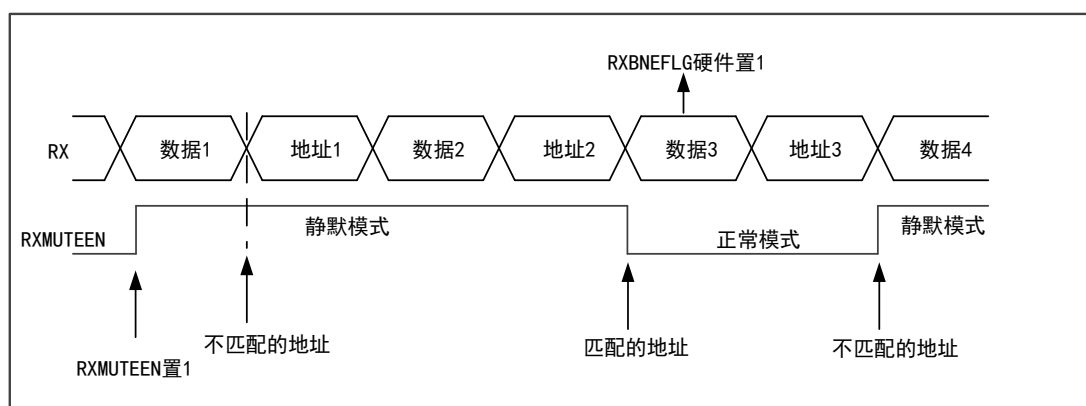
图 62 空闲总线退出静默模式



地址标记检测 (WUPMCFG=1)

如果地址标志位为 1，该字节被认为是地址。地址字节低 4 位存放地址，当接收器收到地址字节时，会先与自己的地址作比较。若地址不匹配，则进入静默模式，若地址匹配，则接收器从静默模式中被唤醒，并准备接收下一个字节。若退出静默模式后再次收到地址字节，但地址与自己的地址不匹配，则接收器会再次进入静默模式。

图 63 地址标记退出静默模式



19.4.7 同步模式

同步模式支持主模式下的全双工同步串行通信，比异步模式多了一个可以输出同步时钟的信号线 `USART_CK`。

`USART_CTRL2` 寄存器的 `CLKEN` 位决定是否进入同步模式。

当 `USART` 进入同步模式时：

- `USART_CTRL2` 寄存器的 `LINMEN` 位，`USART_CTRL3` 寄存器的 `IREN`、`HDEN` 和 `SCEN` 位必须清 0。
- 数据帧的起始位和停止位无时钟输出。
- 数据帧的最后一个数据位是否产生 `USART_CK` 时钟，由寄存器 `USART_CTRL2` 的 `LBCPOEN` 位决定。

- USART_CK 的时钟极性由 USART_CTRL2 寄存器的 CPOL 位决定。
- USART_CK 的相位由 USART_CTRL2 寄存器的 CPHA 位决定。
- 总线空闲或出现断开帧时不能激活外部 CK 时钟。

图 64 USART 同步发送时序图 (DBLCFG=0)

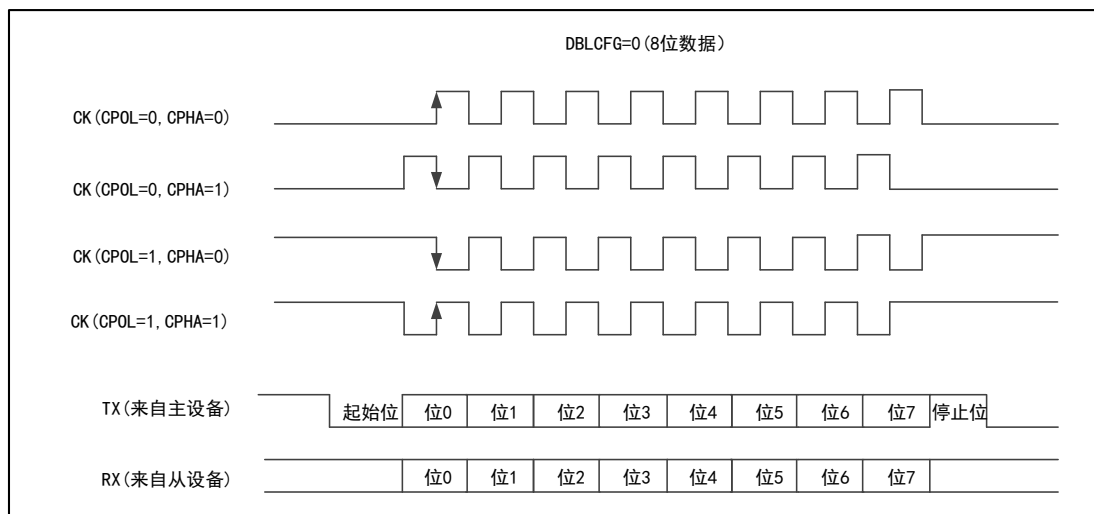
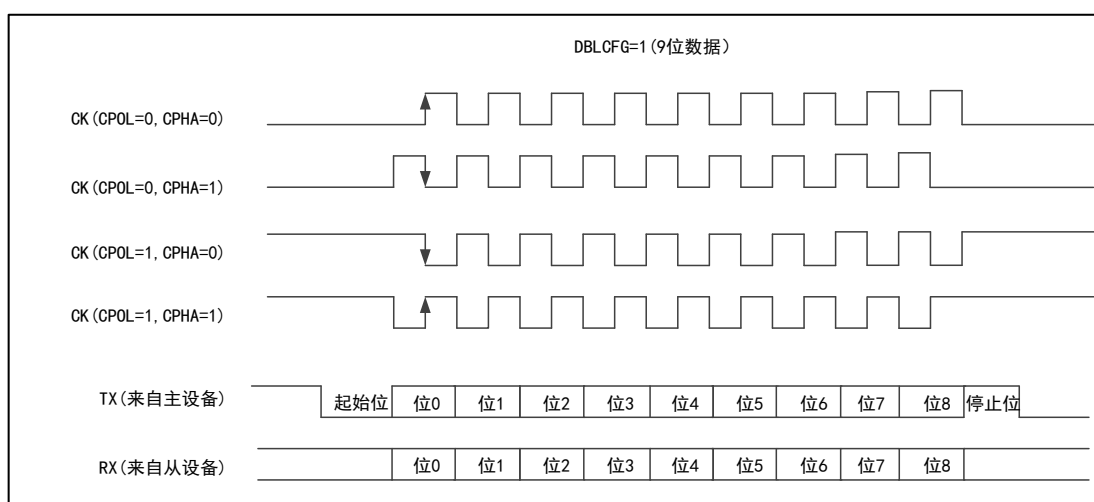


图 65 USART 同步发送时序图 (DBLCFG=1)



19.4.8 LIN 模式

USART_CTRL2 寄存器的 LINMEN 位决定是否进入 LIN 模式。

当进入 LIN 模式时：

- 数据帧都为 8 位数据位和 1 位停止位。
- USART_CTRL2 寄存器的 CLKEN 位、STOPCFG 位，USART_CTRL3 寄存器的 IREN 位、HDEN 位和 SCEN 位都需要清 0。

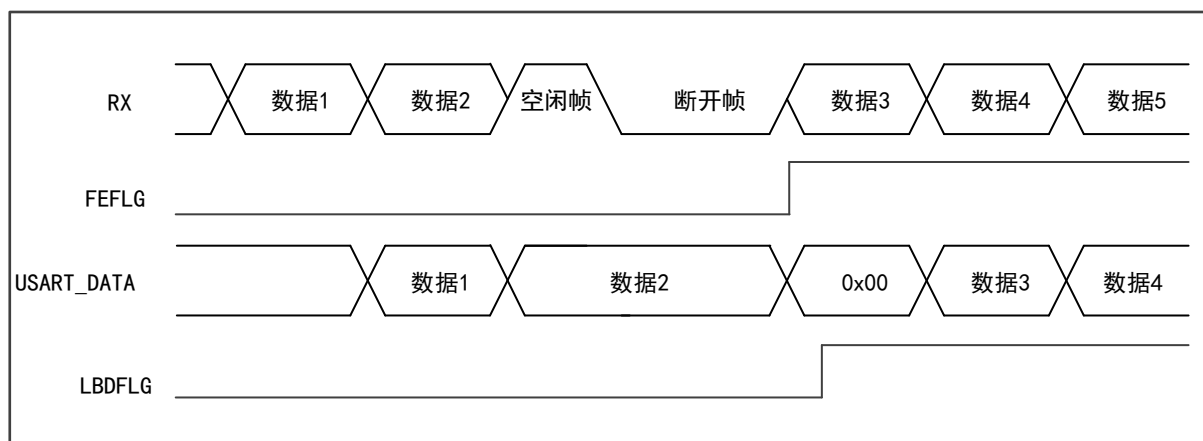
USART 在 LIN 主模式下能生成断开帧，断开帧检测长度可通过 USART_CTRL2 的 LBDLCFG 位设置为 10 位、11 位。断开帧检测电路独立于 USART 接收器，无论是空闲状态，还是数据发送状态，RX 脚都会检测到断开帧，且

USART_STE 寄存器的 LBDLFG 位置 1，若此时使能 USART_CTRL2 的 LBDIEN 位，则会产生中断。

空闲状态检测断开帧

在空闲状态下，若 RX 脚上检测到断开帧，接收器会接收到一个为 0 的数据帧并会产生 FEFLG。

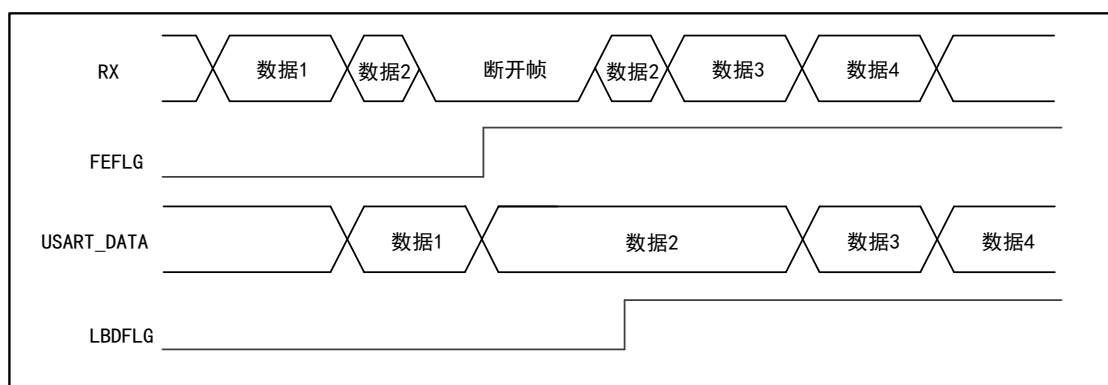
图 66 空闲状态检测断开帧



数据发送状态检测断开帧

在数据发送的过程中，若 RX 脚检测到断开帧，则当前发送的数据帧会产生 FEFLG。

图 67 数据发送状态检测断开帧



19.4.9 智能卡模式

智能卡模式是一种采用单线半双工通信的模式，该接口支持 ISO7816-3 标准协议，能控制读写符合该标准协议的智能卡。

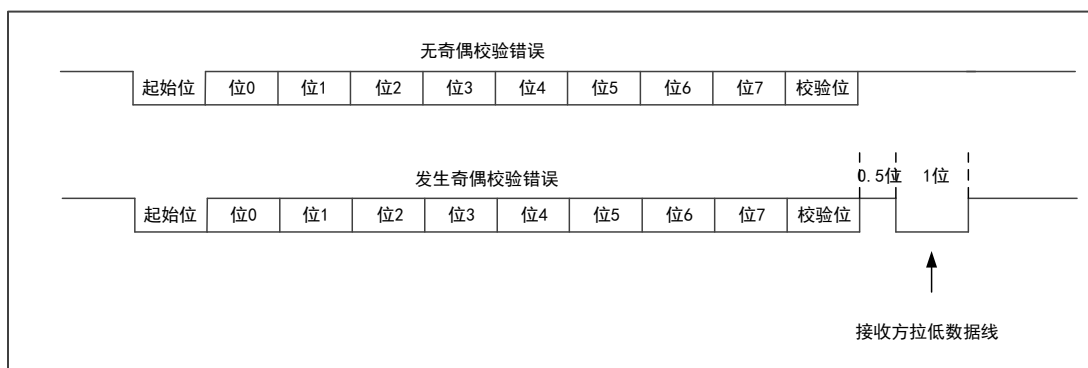
USART_CTRL3 寄存器的 SCEN 位决定是否进入智能卡模式。

当 USART 进入智能卡模式时：

- USART_CTRL2 寄存器的 LINMEN 位，USART_CTRL3 寄存器的 IREN 位、HDEN 位必须清 0。

- 数据帧格式为 8 个数据位加 1 个校验位，使用 0.5 或 1.5 个停止位。
（为了避免在两种配置间转换，建议在发送和接收数据时使用 1.5 个停止位）
- 可以置位 USART_CTRL2 寄存器的 CLKEN 位，为智能卡提供时钟。
- 在通信期间，当接收方检测到奇偶校验错误时，为了通知发送方未成功接收数据，数据线会在半个波特率时钟后被拉低，并保持拉低 1 个波特率时钟。
- 断开帧在智能卡模式里没有意义，一个带帧错误的 00h 数据将被当成数据而不是断开符号。

图 68 ISO7816-3 标准协议



19.4.10 红外（IrDA SIR）功能模式

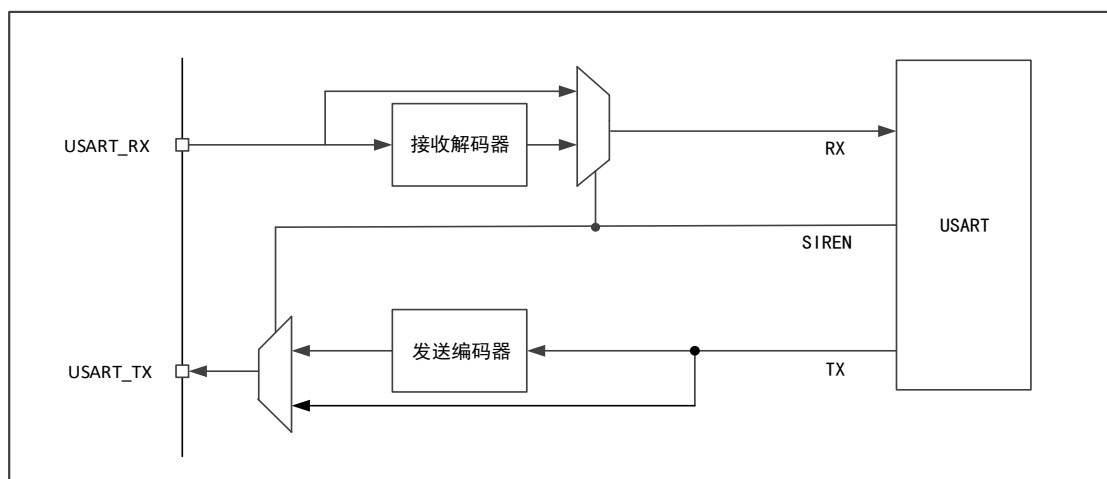
IrDA 模式是一个半双工协议，发送数据和接收数据不能同时进行，且数据发送与接收之间需要延时 10ms 以上。

USART_CTRL3 寄存器的 IREN 位决定是否进入 IrDA 模式。

当 USART 进入 IrDA 模式时：

- USART_CTRL2 寄存器的 CLKEN 位、STOPCFG 位和 LINMEN 位，USART_CTRL3 寄存器的 HDEN 位、SCEN 位都必须清 0。
- 数据帧使用 1 个停止位，波特率小于 115200Hz。
- 使用红外光脉冲（RZI）表示逻辑 0，所以在正常模式下，它的脉宽为 3/16 个波特率周期。IrDA 低功耗模式下，为确保 IrDA 正常检测到该脉冲，建议脉宽大于 3 个 DIV 分频时钟。

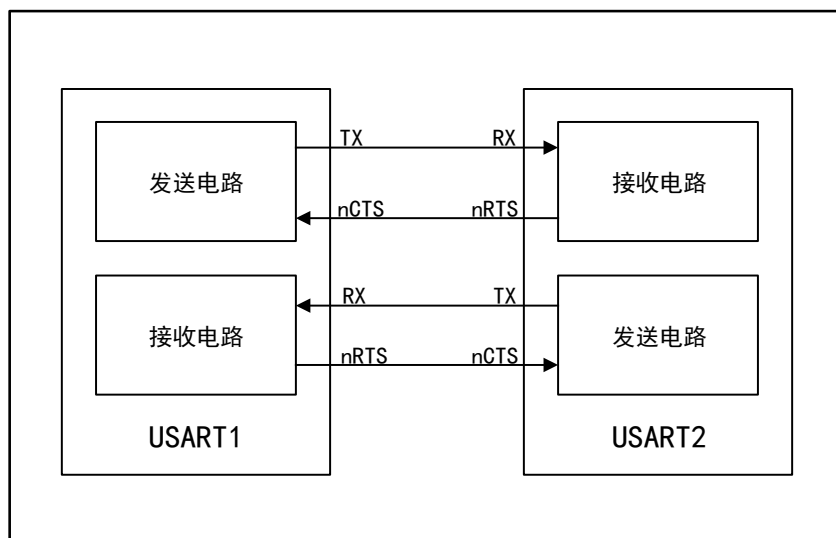
图 69 IrDA 模式框图



19.4.11 硬件流控制

硬件流控制功能是通过 nCTS 引脚和 nRTS 引脚来控制两个设备间的串行数据流。

图 70 两个 USART 之间的硬件流控制



CTS 流控制

USART_CTRL3 寄存器的 CTSEN 位决定是否使能 CTS 流控制，若使能 CTS 流控制，发送器会检测 nCTS 引脚的数据帧是否可以被发送。若 USART_STS 寄存器的 TXBEFLG 位=0 且 nCTS 被拉成低电平，则数据帧可以被发送。若 nCTS 在发送期间变为高电平，那么在当前的数据帧发送完成后，发送器将停止发送。

RTS 流控制

USART_CTRL3 寄存器的 RTSEN 位决定是否使能 RTS 流控制，若使能 RTS 流控制，当接收器接收数据时，nRTS 被拉成低电平，当一个数据帧接收完成时，nRTS 变为高电平以通知发送器停止发送数据帧。

19.4.12 RS485 驱动器使能

驱动器使能功能可通过将 USART_CR3 控制寄存器中的 DEM 位置 1 使能。这样用户可通过 DE（驱动器使能）信号激活外部收发器控制。使能时间为激活 DE 信号与 START 位开始时的时间间隔。可以通过 USART_CR1 控制寄存器中的 DEAT[4:0]位域编程禁止时间。禁止时间为发送的消息中最后一个停止位结束与取消激活 DE 信号时的时间间隔。可以通过 USART_CR1 控制寄存器中的 DEDT[4:0]位域编程禁止时间。DE 信号的极性可使用 USART_CR3 控制寄存器中的 DEP 位配置。在 USART 中，DEAT 和 DEDT 以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

19.4.13 DMA 多缓冲器通信

为了减轻处理器的负担，USART 可以用 DMA 方式访问数据缓冲区。

使用 DMA 方式发送

USART_CTRL3 寄存器上的 DMATXEN 位决定是否使用 DMA 方式发送。当用 DMA 发送时，在指定的 TCM 区的数据会被 DMA 发送到发送缓冲区。

用 DMA 方式发送的配置步骤：

- （1） 清零 USART_STS 寄存器的 TXCFLG 位。
- （2） 把存放数据的 TCM 存储器的地址设置为 DMA 源地址。
- （3） 把 USART_DATA 寄存器的地址设置为 DMA 目的地址。
- （4） 设置要发送的数据字节数。
- （5） 设置通道优先级。
- （6） 设置中断使能。
- （7） 使能 DMA 通道。
- （8） 等待 USART_STS 寄存器的 TXCFLG 位置 1，表示发送完成。

使用 DMA 方式接收

USART_CTRL3 寄存器的 DMARXEN 位决定是否使用 DMA 方式接收，当用 DMA 接收时，每收到一个字节，接收缓冲区的数据会被 DMA 发送到指定的 TCM 区。

用 DMA 方式接收的配置步骤：

- （1） 把 USART_DATA 寄存器的地址设置为 DMA 源地址。
- （2） 把存放数据的 TCM 存储器的地址设置为 DMA 目的地址。
- （3） 设置要发送的数据字节数。
- （4） 设置通道优先级。

- (5) 设置中断使能。
- (6) 使能 DMA 通道。

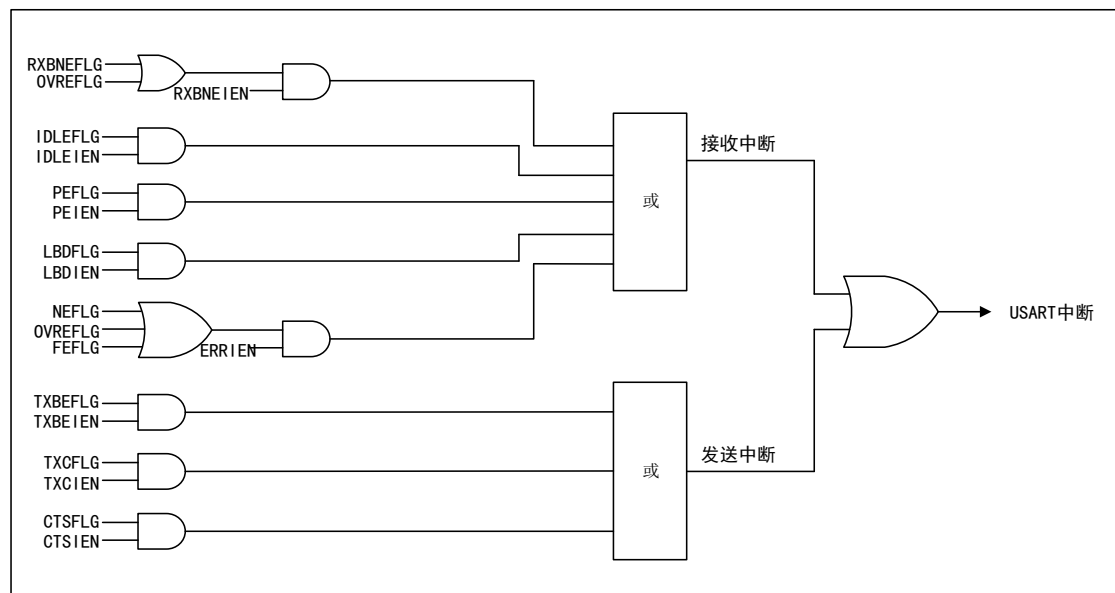
19.4.14 中断请求

表格 63 USART 中断请求

中断事件		事件标志位	使能位
接收寄存器不为空		RXBNEFLG	RXBNEIEN
过载错误		OVREFLG	
检测到线路空闲		IDLEFLG	IDLEIEN
奇偶检验错误		PEFLG	PEIEN
LIN 断开帧标志		LBDFLG	LBDIEN
DMA 模式下的接收错误	噪音错误	NEFLG	ERRIEN
	溢出错误	OVREFLG	
	帧错误	FEFLG	
数据发送寄存器空		TXBEFLG	TXBEIEN
发送完成		TXCFLG	TXCIEN
CTS 标志		CTSFLG	CTSIEN

USART 的中断请求都连接在同一个中断控制器上，中断请求在发送到中断控制器之前都是逻辑或关系。

图 71 USART 中断映射



19.4.15 USART 支持功能对比

表格 64 USART 支持功能对比

USART 模式	USART1	USART2
半双工（单线模式）	√	√
多处理器通讯	√	√
同步	√	√
异步模式	√	√
LIN	√	√
智能卡	√	√
IrDA	√	√
硬件流控制	√	√
多缓存通讯（DMA）	√	√

注意：“√”表示支持该功能。

19.5 寄存器地址映射

表格 65 USART 寄存器地址映射

寄存器名	描述	偏移地址
USART_STS	状态寄存器	0x00
USART_DATA	数据寄存器	0x04
USART_BR	波特率寄存器	0x08
USART_CTRL1	控制寄存器 1	0x0C
USART_CTRL2	控制寄存器 2	0x10
USART_CTRL3	控制寄存器 3	0x14
USART_GTPSC	保护时间和预分频寄存器	0x18

19.6 寄存器功能描述

19.6.1 状态寄存器（USART_STS）

偏移地址：0x00

复位值：0x0000 00C0

位/域	名称	R/W	描述
31:10	保留		
9	CTSFLG	RC_W0	CTS 变化标志（CTS Change Flag） 0：nCTS 状态线上没有变化 1：nCTS 状态线上发生变化 若 CTSEN 位置位，当 nCTS 输入切换时，由硬件置 1； 由软件清 0，对该位写 0 清除。 如果 USART_CTRL3 中的 CTSIEN 为 1，则产生中断。
8	LBDFLG	RC_W0	检测到 LIN 断开标志（LIN Break Detected Flag）

位/域	名称	R/W	描述
			0: 没有检测到 LIN 断开 1: 检测到 LIN 断开 当检测到 LIN 断开时, 由硬件置 1; 由软件清 0, 对该位写 0 清除。 若 LBDIEN=1, 当 LBDIFLG 为 1 时要产生中断。
7	TXBEFLG	R	发送数据缓冲器为空标志 (Transmit Data Buffer Empty Flag) 0: 发送数据缓冲器不为空 1: 发送数据缓冲器为空 当移位寄存器接收到发送数据寄存器发送的数据时, 由硬件置 1; 由软件清 0, 写 USART_DATA 寄存器完成清 0。 如果 USART_CTRL1 寄存器中的 TXBEIEN 为 1, 则产生中断。 单缓冲器传输中使用该位。
6	TXCFLG	RC_W0	发送数据完成标志 (Transmit Data Complete Flag) 0: 发送数据未完成 1: 发送数据完成 当数据的最后一帧发送完成且 TXBEFLG 置位时, 由硬件置 1; 如果 USART_CTRL1 中的 TXCIEN 为 1, 则产生中断。 由软件清 0, 先读取 USART_STS 寄存器、再写 USART_DATA 寄存器完成清 0, 或者对该位写 0 清除。 只有在多缓存通讯中才推荐这种清除程序。
5	RXBNEFLG	RC_W0	接收数据缓冲器不为空标志 (Receive Data Buffer Not Empty Flag) 0: 接收数据缓冲器为空 1: 接收数据缓冲器不为空 当数据寄存器接收到接收移位寄存器发送的数据时, 由硬件置 1; 如果 USART_CTRL1 寄存器中的 RXBNEIEN 为 1, 则产生中断。 由软件清 0, 读取 USART_DATA 成清 0, 或者对该位写 0 清除。 只有在多缓存通讯中才推荐这种清除程序。
4	IDLEFLG	R	检测到空闲总线标志 (IDLE Line Detected Flag) 0: 未检测到空闲总线 1: 检测到空闲总线 当检测到空闲总线时, 由硬件置 1; 如果 USART_CTRL1 中的 IDLEIEN 为 1, 则产生中断。 由软件清 0, 先读取 USART_STS 寄存器, 再读 USART_DATA 寄存器完成清 0。 IDLEFLG 位不会再次被置 1 除非 RXBNEFLG 被置起 (当再一次检测到空闲总线)
3	OVREFLG	R	发生过载错误标志 (Overrun Error Occur Flag) 0: 无过载错误 1: 出现过载错误 当 RXBNEFLG 位被置位, 且移位寄存器中的数据要发送到接收寄存器时, 由硬件置 1; 如果 USART_CTRL1 中的 RXNEIE 为 1, 则产生中断。 由软件清 0, 先读取 USART_STS 寄存器, 再读 USART_DATA 寄存器完成清 0。 该位被置位时, 接收寄存器中的值不会丢失, 但是移位寄存器中的数据会被覆盖。如果设置了 USART_CTRL3 的 ERRIEN 位, 在多缓冲器通信模式下, OVREFLG 标志置位会产生中断。

位/域	名称	R/W	描述
2	NEFLG	R	发生噪音错误标志（Noise Error Occur Flag） 0：无噪音 1：出现噪音错误 当出现噪音错误时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。 该位不会产生中断，因为它和 RXBNEFLG 一起出现，硬件会在设置 RXBNEFLG 标志时产生中断。 在多缓冲区通信模式下，如果设置了 CTRL3 的 ERRIEN 位，则设置 NEFLG 标志时会产生中断。
1	FEFLG	R	发生帧错误标志（Frame Error Occur Flag） 0：无帧错误 1：出现帧错误或断开符 当出现同步错位、过多噪音或断开符时，由硬件置 1； 由软件清 0，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。 该位不会产生中断，因为它和 RXBNEFLG 一起出现，硬件会在设置 RXBNEFLG 标志时产生中断。 如果当前传输的数据既产生了帧错误，又产生了过载错误，硬件还是会继续该数据的传输，并且只设置 OVREFLG 标志位。 在多缓冲区通信模式下，如果设置了 ERRIEN 位，则设置 FEFLG 标志时会产生中断。
0	PEFLG	R	发生校验错误标志（Parity Error Occur Flag） 0：无错误 1：出现校验错误 在接收模式中，当出现奇偶校验错误时，由硬件置 1； 如果 USART_CTRL1 中的 PEIEN 为 1，则产生中断。 由软件清 0，需等 RXBNEFLG 置位后，先读取 USART_STS 寄存器，再读 USART_DATA 寄存器完成清 0。

19.6.2 数据寄存器（USART_DATA）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:9	保留		
8:0	DATA	R/W	数据值（Data Value） 发送数据值或接收数据值；接收数据时从中读取，发送数据时向该寄存器写入数据。 它是由两个寄存器组成的，一个给发送用（TDR），一个给接收用（RDR）。 TDR 提供了内部总线和输出移位寄存器之间的并行接口； RDR 提供了输入移位寄存器和内部总线之间的并行接口。 如果使能了奇偶校验位，如果是 9 个数据位，则 DATA 的第 8 位是校验位；如果是 8 个数据位，则 DATA 的第 7 位是奇偶校验位。

19.6.3 波特率寄存器（USART_BR）

偏移地址：0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:4	IBR	R/W	USART 波特率分频系数的整数部分 (Integer of USART Baud Rate Divider Factor) USART 波特率分频系数的整数部分由这 12 位决定。 如果 TXEN 和 RXEN 被分别禁止, 波特计数器停止计数。
3:0	FBR	R/W	USART 波特率分频系数的小数部分 (Fraction of USART Baud Rate Divider Factor) USART 波特率分频系数的小数部分由这 4 位决定。 如果 TXEN 和 RXEN 被分别禁止, 波特计数器停止计数。

19.6.4 控制寄存器 1 (USART_CTRL1)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:26	保留		
25:21	DEAT	R/W	驱动器使能时间 (Driver Enable Assertion Time) 该 5 位值用于定义激活 DE (驱动器使能) 信号与起始位开始时的时间间隔。此时间间隔以采样时间单位表示 (1/8 或 1/16 位时间, 具体取决于过采样速率)。 只有在禁止 USART (UEN=0) 时才能写入此位域。 注意: 如果不支持驱动器使能功能, 该位保留且必须保持复位值。
20:16	DEDT	R/W	驱动器使能禁止时间 (Driver Enable De-assertion Time) 该 5 位值用于定义发送消息中最后一个停止位结束与取消激活 DE (驱动器使能) 信号时的时间间隔。 此时间间隔以采样时间单位表示 (1/8 或 1/16 位时间, 具体取决于过采样速率)。 如果在 DEDT 时间内对 TDR 寄存器执行写操作, 则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。 只有在禁止 USART (UEN=0) 时才能写入此位域。 注意: 如果不支持驱动器使能功能, 该位保留且必须保持复位值。
15	OSMCFG	R/W	配置过采样模式 (Oversampling Mode Configure) 0: 16 倍过采样 1: 8 倍过采样 只有在未使能 USART 时才能置位此位。 8 倍过采样在智能卡、IrDA 和 LIN 模式下不可用: 当 SCEN=1、IREN=1 或 LINMEN=1 时, 硬件会强制将 OSMCFG 设置为 0。
14	保留		
13	UEN	R/W	使能 USART (USART Enable) 0: 禁用 USART 分频器和输出 1: 使能 USART 模块
12	DBLCFG	R/W	配置数据位长度 (Data Bits Length Configure) 0: 1 个起始位, 8 个数据位, n 个停止位 1: 1 个起始位, 9 个数据位, n 个停止位 在数据传输过程中 (发送或者接收) 时不能修改此位。

位/域	名称	R/W	描述
11	WUPMCFG	R/W	配置唤醒方式 (Wakeup Method Configure) 0: 空闲总线唤醒 1: 地址标记唤醒
10	PCEN	R/W	使能检验控制 (Parity Control Enable) 0: 禁止 1: 使能 若置位此位, 发送数据时在最高位插入一个校验位; 接收数据时, 检查接收的数据的校验位是否正确。 需要等当前正在发送的字节完成后, 校验控制才会生效。
9	PCFG	R/W	配置奇偶校验位 (Odd/Even Parity Configure) 0: 偶校验 1: 奇校验 需要等当前正在发送的字节完成后, 选择才会生效。
8	PEIEN	R/W	使能校验错误中断 (Parity Error Interrupt Enable) 0: 禁止产生中断 1: 当 PEFLG 置位时, 产生中断
7	TXBEIEN	R/W	使能发送缓冲区空中断 (Transmit Buffer Empty Interrupt Enable) 0: 禁止产生中断 1: 当 TXBEFLG 置位时, 产生中断
6	TXCIEN	R/W	使能发送完成中断 (Transmit Complete Interrupt Enable) 0: 禁止 1: 当 TXCFLG 置位时, 产生中断
5	RXBNEIEN	R/W	使能接收缓冲区非空中断 (Receive Buffer Not Empty Interrupt Enable) 0: 禁止 1: 当 OVREFLG 或 RXBNEFLG 置位时, 产生中断
4	IDLEIEN	R/W	使能 IDLE 中断 (IDLE Interrupt Enable) 0: 禁止 1: 当 IDLEFLG 置位时, 产生中断
3	TXEN	R/W	使能发送 (Transmit Enable) 0: 禁止 1: 使能 除了在智能卡模式下, 任何时候发送数据时, 如果此位上有个 0 脉冲, 那么在当前数据发送完成后, 会发送一个空闲总线。 置位此位后, 会延迟一个比特时间发送。
2	RXEN	R/W	使能接收 (Receive Enable) 0: 禁止 1: 使能, 并开始检测 RX 引脚上的起始位
1	RXMUTEEN	R/W	使能接收静默模式 (Receive Mute Mode Enable) 0: 正常工作模式 1: 静默模式 此位由软件置位或清 0, 或当检测到唤醒序列时, 硬件将其清 0。 USART 要先接收一个数据才可置于静默模式, 这样才能被空闲总线检测唤醒。 在地址标记检测唤醒中, 若置位 RXBNEFLG 位, 则 RXMUTEEN 位不能被软件修改。

位/域	名称	R/W	描述
0	TXBF	R/W	发送断开帧 (Transmit Break Frame) 0: 未发送 1: 将要发送 此位可由软件置位, 在发送断开帧的停止位时, 由硬件将其清 0。

19.6.5 控制寄存器 2 (USART_CTRL2)

偏移地址: 0x10

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	LINMEN	R/W	使能 LIN 模式 (LIN Mode Enable) 0: 禁止 1: 使能 在 LIN 模式下, 可以用 USART_CTRL1 寄存器中的 TXBF 位发送 LIN 同步断开符 (低 13 位), 以及检测 LIN 同步断开符。
13:12	STOPCFG	R/W	配置停止位 (STOP Bit Configure) 00: 1 个停止位 01: 0.5 个停止位 10: 2 个停止位 11: 1.5 个停止位
11	CLKEN	R/W	使能时钟 (CK 引脚) (Clock Enable (CK pin)) 0: 禁止 1: 使能
10	CPOL	R/W	配置时钟极性 (Clock Polarity Configure) 当 USART 处于空闲状态时, CK 引脚的状态 0: 低电平 1: 高电平 此位只作用于同步模式。
9	CPHA	R/W	配置时钟相位 (Clock Phase Configure) 此位表明在第几个时钟边沿进行采样 0: 第一个 1: 第二个 此位只作用于同步模式。
8	LBCPOEN	R/W	使能输出最后一位时钟脉冲 (Last Bit Clock Pulse Output Enable) 此位表明是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲。 0: 不从 CK 输出 1: 从 CK 输出 此位只作用于同步模式。
7	保留		
6	LBDIEN	R/W	使能 LIN 断开符检测中断 (LIN Break Detection Interrupt Enable) 0: 禁止 1: 当 LBDFLG 位置位, 产生中断
5	LBDLCFG	R/W	配置 LIN 断开符检测长度 (LIN Break Detection Length Configure) 0: 10 位

位/域	名称	R/W	描述
			1: 11 位
4	保留		
3:0	ADDR[3:0]	R/W	设置 USART 设备节点地址 (USART Device Node Address Setup) 此位只作用于多处理器通信下的静默模式, 依据检测到的地址标记是否一致来决定进入静默模式还是唤醒。

注意: 在使能发送后不能改写这三个位 (CPOL、CPHA、LBCPOEN)。

19.6.6 控制寄存器 3 (USART_CTRL3)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12	DEM	R/W	驱动器使能模式 (Driver Enable Mode) 此位用于通过 DE 信号激活外部收发器控制。 0: 禁止 DE 功能。 1: 使能 DE 功能。DE 信号在芯片的 DE 引脚上输出 (高电平有效)。 只有在禁止 USART (UEN=0) 时才能写入此位。 注意: 如果不支持驱动器使能功能, 该位保留且必须保持复位值。
11	SAMCFG	R/W	配置采样方法 (Sample Method Configure) 0: 三次采样 1: 单次采样
10	CTSIEN	R/W	使能 CTS 中断 (CTS Interrupt Enable) 0: 禁止 1: CTSFLG 置位时产生中断
9	CTSEN	R/W	使能 CTS 硬件流控制功能 (CTS Hardware Flow Control Function Enable) 0: 禁止 1: 使能 CTS: Clear To Send 发送清除, 为输入信号 当 CTS 输入信号为低电平时, 才能发送数据, 否则无法发送数据; 若在发送数据时, CTS 信号被拉高, 那么当这个数据发送完成后, 将停止数据发送; 如果在 CTS 为高电平时对数据寄存器进行写操作, 则要等 CTS 有效时才会将这个数据发送出去。
8	RTSEN	R/W	使能 RTS 硬件流控制功能 (RTS Hardware Flow Control Function Enable) 0: 禁止 1: 使能 RTS 中断 RTS: Require To Send 发送请求, 为输出信号, 说明已准备好接收。 当接收缓冲区有空间时才请求接收数据; 当可以接收数据时, RTS 输出被拉至低电平。
7	DMATXEN	R/W	使能 DMA 发送 (DMA Transmit Enable) 0: 禁止 1: 使能

位/域	名称	R/W	描述
6	DMARXEN	R/W	使能 DMA 接收 (DMA Receive Enable) 0: 禁止 1: 使能
5	SCEN	R/W	使能智能卡功能 (Smartcard Function Enable) 0: 禁止 1: 使能
4	SCNACKEN	R/W	在智能卡功能下, 使能出现校验错误时发送 NACK (NACK Transmit Enable During Parity Error in Smartcard Function) 0: 校验错误出现时, 不发送 NACK 1: 校验错误出现时, 发送 NACK
3	HDEN	R/W	使能半双工模式 (Half-duplex Mode Enable) 0: 禁止 1: 使能
2	IRLPEN	R/W	使能红外低功耗模式 (IrDA Low-power Mode Enable) 0: 普通模式 1: 低功耗模式
1	IREN	R/W	使能红外功能 (IrDA Function Enable) 0: 禁止 1: 使能
0	ERRIEN	R/W	使能错误中断 (Error Interrupt Enable) 0: 禁止 1: 使能, 当 DMARXEN 置位并且 FEFLG、OVREFLG 或 NEFLG 其中一个置位时, 产生中断。

19.6.7 保护时间和预分频寄存器 (USART_GTPSC)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:8	GRDT	R/W	设置保护时间值 (Guard Time Value Setup) 在发送数据完成后, 需等待保护时间才将 TXCFLG 置位; 时间单位是波特时钟; 可应用于智能卡模式。
7:0	PSC	R/W	设置预分频系数 (Prescaler Factor Setup) 对系统时钟进行分频提供时钟; 在不同的工作模式下, PSC 的有效位存在差异, 具体如下: 在红外低功耗模式下: PSC[7:0]有效。 对系统时钟分频以获得低功耗模式下的频率。 00000000: 保留 00000001: 1 分频 00000010: 2 分频 11111111: 255 分频 在红外的正常模式下: PSC 只能设置为 00000001 在智能卡模式下:

位/域	名称	R/W	描述
			PSC[7:5]无效, PSC[4:0]有效 对系统时钟进行分频, 给智能卡提供时钟。 00000: 保留 00001: 2 分频 00010: 4 分频 00011: 6 分频 11111: 62 分频

20 内部集成电路接口（I2C）

20.1 术语全称、缩写描述

表格 66 术语全称、缩写描述

中文全称	英文全称	英文缩写
串行数据线	Serial Data	SDA
串行时钟线	Serial Clock	SCL
系统管理总线	System Management Bus	SMBus
时钟	Clock	CLK
高速串行时钟	Serial Clock High	SCLH
低速串行时钟	Serial Clock Low	SCLL
地址解析协议	Address Resolution Protocol	ARP
否认应答	Negative Acknowledgement	NACK
数据包出错检测	Packet Error Checking	PEC
地址分辨协议	Address Resolution Protocol	ARP

20.2 简介

I2C 是一种短距离总线通信协议，物理实现上，I2C 总线由两根信号线（SDA 与 SCL）和一个地线组成，两根信号线为双向发送的。

- 两根信号线，SCL 时钟线、SDA 数据线。由 SCL 为 SDA 提供时序，SDA 串行发送/接收数据
- SCL、SDA 这两根信号线均为双向
- 两个系统使用 I2C 总线通信时共地

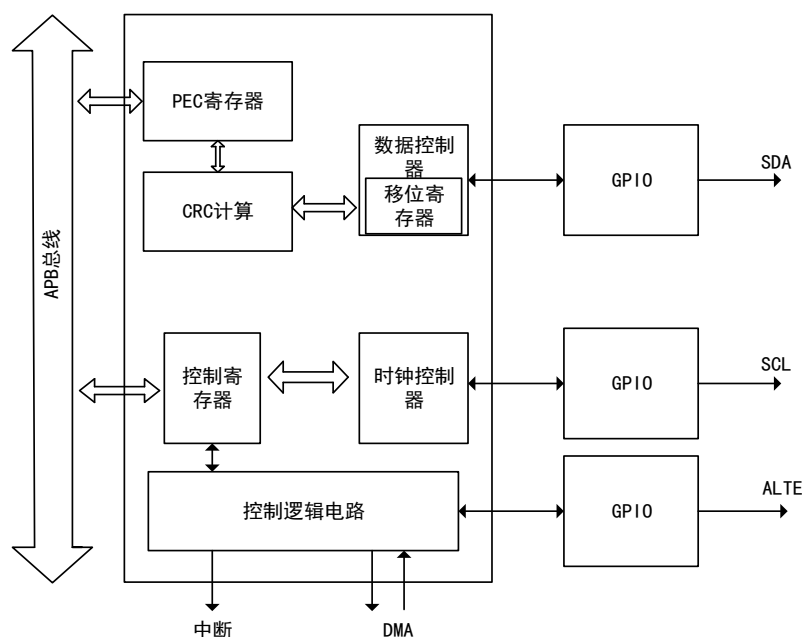
20.3 主要特征

- （1）多主机功能
 - 主机可产生时钟、起始位和停止位
 - 可控制所有 I2C 总线特定的测序，协议，仲裁和定时
- （2）从机功能
 - 可编程的 I2C 地址检测
 - 双地址模式
 - 检测停止位
- （3）7 位和 10 位寻址模式
- （4）响应广播
- （5）两种通信速度

- 标准模式
- 快速模式
- (6) 可编程的时钟延展
- (7) 状态标志
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - 总线忙标志
- (8) 错误标志
 - 仲裁丢失
 - 应答错误
 - 检测到错误的起始位或停止位
- (9) 中断源
 - 地址/数据通信成功
 - 错误中断
- (10) 支持 DMA 功能
- (11) 支持在地址匹配时从停止模式唤醒
- (12) 可编程数字噪声滤波器
- (13) 可编程的报文错误检验 (PEC)
 - 发送模式中最后发送
 - 接收最后一个字节后进行 PEC 错误校验
- (14) SMBus 特定功能
 - 硬件 PEC
 - 地址解析协议

20.4 结构框图

图 72 I2C 功能结构图



接口可配置为以下模式：

- 从机发送
- 从机接收
- 主机发送
- 主机接收

当 I2C 接口初始状态下，工作模式为从机模式。当 I2C 接口发送起始信号后，将自动将从机模式转换为主机模式。

20.5 功能描述

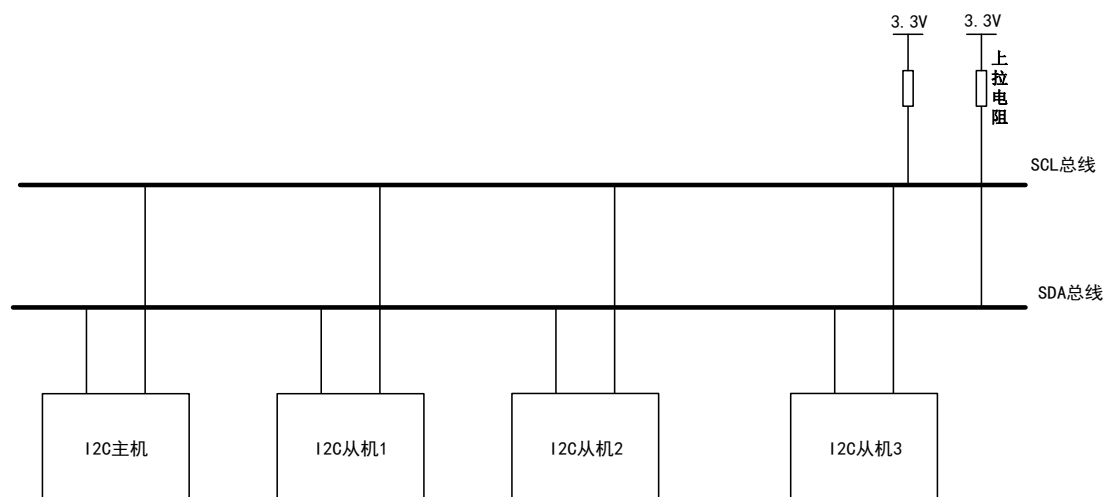
表格 67 I2C 总线专有名词说明

专有名词	说明
发送器	发送数据到总线的设备
接收器	从总线接收数据的设备
主机	初始化数据发送，产生时钟信号和结束数据发送的设备
从机	由主机寻址的设备
多主	不破坏信息的前提下同时控制总线的多个主机
同步	同步两个或更多设备之间的时钟信号的过程
仲裁	如果超过一个主机同时尝试控制总线时，只有一个主机可控制，且控制的主机信息不被破坏

20.5.1 I2C 物理层

I2C 通讯设备之间的常用连接方式如下图：

图 73 常见 I2C 通信连接图



物理层特点：

- (1) 支持多设备的总线（多个设备共用的信号线），在 I2C 通信总线中，可连接多个通信主机与通信从机。
- (2) 一个 I2C 总线只使用两条总线线路,一条双向串行数据线（SDA），一条串行时钟线（SCL）。数据线用于发送数据，时钟线用于数据收发同步。
- (3) 每一个连接在总线上的设备都具有独立的地址（七位或十位），主机根据设备地址寻址访问从设备。
- (4) 总线需要接上拉电阻到电源，I2C 总线空闲状态下，输出为高阻态，所有设备空闲时，都输出高阻态，上拉电阻把总线拉成高电平。
- (5) 两种通信模式：标准模式、快速模式。
- (6) 多主机同时使用总线时，防止数据冲突，采取总线仲裁方式决定哪个设备占用总线。
- (7) 可编程建立和保持时间，可对 I2C 中 SCL 的高电平时间与低电平时间进行编程。

20.5.2 I2C 协议层

协议层特点

- (1) 数据以帧的形式发送，每一帧中由 1 个字节（8 位）组成。
- (2) 在 SCL 的上升沿阶段，SDA 需要保持稳定，SDA 在 SCL 为低期间作出改变。

- (3) 除了数据帧，I2C 总线还有起始信号、停止信号、应答信号。
- 起始位：在 SCL 为稳定的高电平期间，SDA 的一个下降沿启动发送。
 - 停止位：在 SCL 为稳定的高电平期间，SDA 的一个上升沿停止发送。
 - 应答位：用于表示一个字节发送成功。总线发送器（无论主机还是从机），在发送 8 个位的数据后，SDA 将释放（由输出变为输入），在第九个时钟脉冲期间，接收器将 SDA 拉低，来应答接收到了数据。

I2C 通信读写过程

图 74 主机写数据到从机

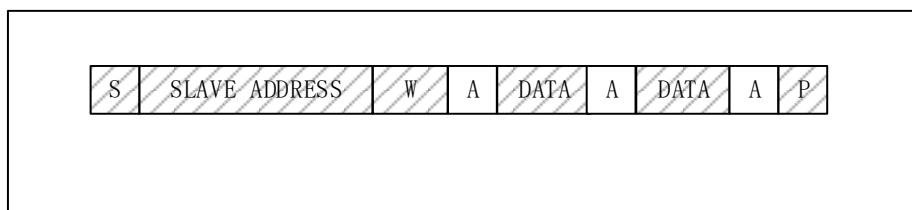
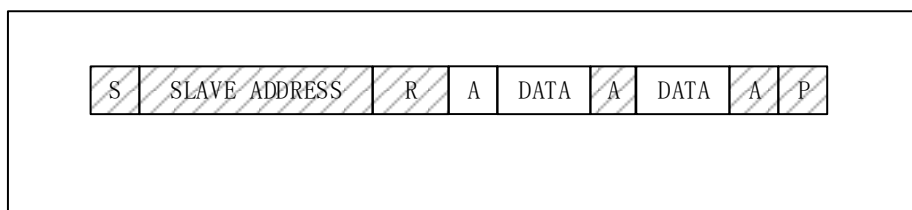


图 75 主机由从机读取数据



备注:

- (1) : 此数据由主机发送到从机
- (2) S: 起始信号
- (3) SLAVE ADDRESS: 从机地址
- (4) : 此数据由从机发送到主机
- (5) R/W : 发送方向选择位
- (6) 1 为读取
- (7) 0 为写入
- (8) P: 停止信号

起始信号产生后，所有从机都将等待主机发送的从机地址信号，I2C 总线中，每个设备的地址都是唯一的，当地址信号与设备地址匹配后，从机将被选中，没被选中的从机将忽略以后的数据信号。

主机方向为写数据时

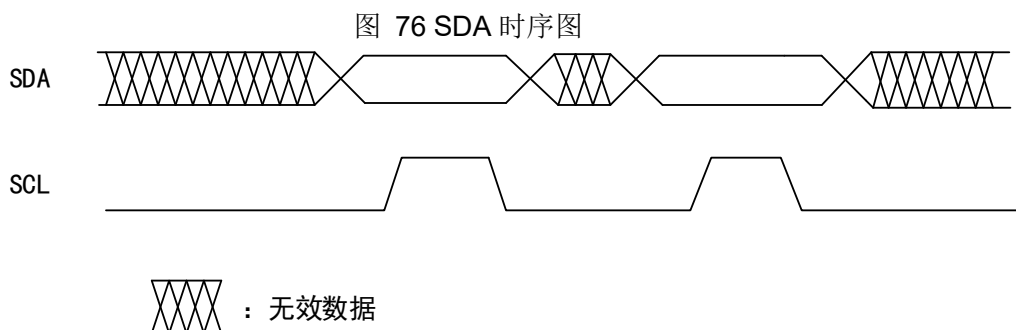
广播完地址后，接收到应答信号，主机向从机发发送数据，数据长度为一个字节，主机每次发完一个字节数据后，都需等待从机发送的应答信号，当发送的所有字节完成后，主机向从机发送一个停止信号（STOP），表示为发送完成。

主机方向为读数据时

广播完地址后，接收到应答信号，从机开始向主机发送数据，数据包的大小为 8 位，从机每发送完一个字节数据,都要等待主机的应答信号，当主机想停止接收数据时，需要向从机返回一个非应答信号，则从机自动停止数据发送。

20.5.3 数据有效性

数据发送过程中，时钟信号 SCL 高电平期间，SDA 线上数据必须稳定，只有当 SCL 在低电平期间 SDA 的电平状态才能发生改变，每个数据比特发送都需要一个时钟脉冲。



20.5.4 起始和停止信号

所有数据发送都必定有起始信号（START）和停止信号（STOP）。

图 77 START 信号定义为：SCL 为高电平时，SDA 由高电平向低电平转换

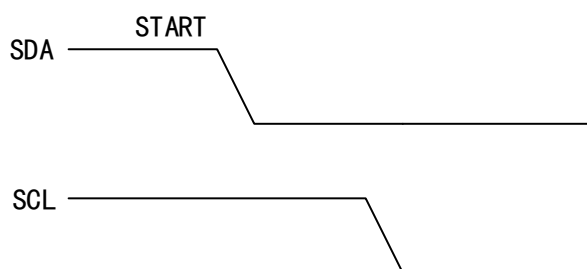
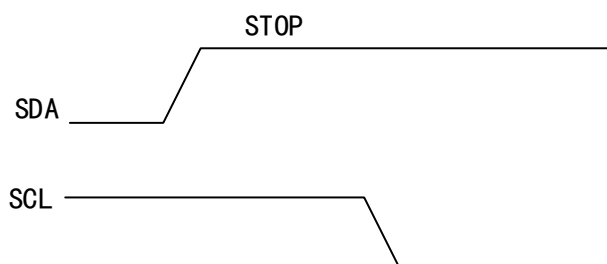


图 78 STOP 信号定义为：SCL 为高电平时，SDA 由低电平向高电平转换



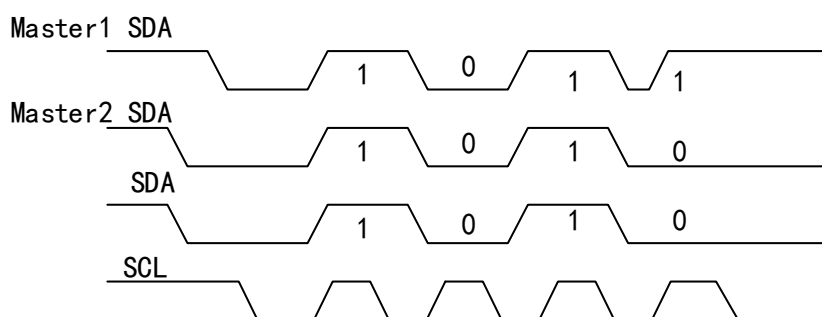
20.5.5 仲裁

仲裁是为了解决多主机情况下的总线控制冲突。仲裁过程在主机发生，与从机无关。

只有在总线空闲时，主机才可以启动发送。两个主机可能在 **START** 信号的最短保持时间内在总线上产生一个有效的 **START** 信号。这种情况需要仲裁决定哪个主机完成发送。

仲裁是按位来进行的，在每一位仲裁期间，当 **SCL** 为高，每个主机都会检查 **SDA** 电平是否和自己发送的相同，仲裁过程需要持续很多位。理论上，如果两个主机发送的内容完全相同，那他们能够成功发送而不发生仲裁失败。如果一个主机发送高电平，但是检测到 **SDA** 为低电平，则发生仲裁失败错误，关闭自身 **SDA** 输出，另一个主机完成自身发送。

图 79 SDA 时序图



注：Master1 仲裁失败

20.5.6 SMBus 特定功能

系统管理总线（System Management Bus，简称 SMBus），结构简单的单端双线制总线，可实现轻量级的通信需求。

SMBus 常见于计算机主板，主要用于电源发送 ON/OFF 指令。SMBus 为 I2C 的衍生总线。主要用于计算机主板上的低带宽设备通信，与电源相关芯片。

地址解析协议

SMBus 规范中包含一个地址解析协议，可实现动态地址分配。动态识别硬件和软件使得总线能够支持热拔插，总线设备被自动识别并分配唯一地址。

SMBus 警报

SMBus 报警是一个带中断线的可选信号，通过占用引脚实现扩展设备的控制能力。

20.5.7 错误标志位

表格 68 I2C 通信存在以下几种错误标志位

错误标志位	错误标志位说明
应答错误标志位 (AEFLG)	没有收到应答
总线错误标志位 (BERRFLG)	检测到一个外部的停止或起始条件
仲裁丢失标志位 (ALFLG)	接口检测到仲裁丢失
过载/欠载错误标志位 (OVRURFLG)	从模式下, 接收数据未读出, 下一个数据已经到达, 发生过载错误。发送数据时钟已经到达, 数据仍未写入 DATA 寄存器, 发生欠载错误。
超时或 Tlow 错误标志位 (TTEFLG)	SCL 拉低超过一定时间
PEC 比较错误标志位 (PECEFLG)	CRC 值不相等

20.5.8 报文错误检验 (PEC)

I2C 模块具有一个 PEC 模块, 通过 CRC-8 计算器来进行对 I2C 数据的报文检验, 计算器使用的 CRC-8 多项式为: $C(x) = X^8 + X^2 + X + 1$ 。

将 PECEN 位置 1, 使能 PEC 功能, PEC 模块会把 I2C 总线发送的所有数据都计算, 其中包括地址数据。

20.5.9 DMA 模式

根据 I2C 的软件流程, 当发送寄存器为空或者接收寄存器满时, MCU 需要写入或者读取字节, 此时我们通过 I2C 的 DMA 功能, 能够更快速的完成该操作。

DMA 发送

设置 I2C_CTRL2 寄存器中的 DMAEN 位使能 DMA 模式, 当发送寄存器为空时 (TXBEFLG 置 1), 数据将通过 DMA 从存储区直接载入到 DATA 寄存器。

DMA 接收

设置 I2C_CTRL2 寄存器中的 DMAEN 位使能 DMA 模式, 当接收寄存器满时 (RXBNEFLG 置 1), DMA 将 DATA 寄存器数据发送到设定的存储区。

20.5.10 可编程噪声滤波器

在 Fm 模式下, I2C 标准要求将 SDA 和 SCL 线上的尖峰抑制到 50ns 的长度。

模拟噪声滤波器通过 SDA 和 SCL I/O 来实现。模拟噪声滤波器在默认情况下是开启的, 可以通过设置 I2C_FILTER 寄存器中的 ANFEN 位禁用。

通过 I2C_FILTER 寄存器中的 DNFCFG 位使能数字噪声滤波器并配置数字噪声滤波器滤波能力。

20.5.11 I2C 中断

表格 69 I2C 中断请求

中断事件	事件标志位	中断控制位
发送起始位完成	STARTFLG	EVIEN
发送完成/地址匹配地址信号	ADDRFLG	
10 位地址头段发送完成	ADDR10FLG	
接收到停止信号	STOPFLG	
数据字节发送完成	BTCFLG	
接收缓冲器非空	RXBNEFLG	EVIEN 和 BUFEN
发送缓冲区空	TXBEFLG	
总线错误	BERRFLG	ERRIEN
仲裁丢失	ALFLG	
应答失败	AEFLG	
过载/欠载	OVRURFLG	
PEC 错误	PECEFLG	
超时或 Tlow 错误	TTEFLG	
SMBus 提醒	ALERTEN	

20.6 寄存器地址映射

表格 70 I2C 寄存器地址映射

寄存器名	描述	偏移地址
I2C_CTRL1	控制寄存器 1	0x00
I2C_CTRL2	控制寄存器 2	0x04
I2C_SADDR1	从机模式地址寄存器 1	0x08
I2C_SADDR2	从机模式地址寄存器 2	0x0C
I2C_DATA	数据寄存器	0x10
I2C_STS1	状态寄存器 1	0x14
I2C_STS2	状态寄存器 2	0x18
I2C_CLKCTRL	从机时钟控制寄存器	0x1C
I2C_RISEMAX	最大上升时间寄存器	0x20
I2C_FILTER	滤波器控制寄存器	0x24

20.7 寄存器功能描述

20.7.1 控制寄存器 1 (I2C_CTRL1)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	SWRST	R/W	软件配置 I2C 处于软件复位状态 (Software Configure I2C under Reset State) 0: 未复位 1: 复位, 在复位 I2C 前应确保 I2C 引脚被释放、总线是空闲状态。
14	保留		
13	ALERTEN	R/W	使能 SMBus 提醒 (SMBus Alert Enable) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清 0。 0: 释放 SMBAlert 引脚使其变高, 提醒发送 NACK 信号后即时发送响应地址头 1: 驱动 SMBAlert 引脚使其变低, 提醒发送 ACKEN 信号后即时发送响应地址头
12	PEC	R/W	使能发送 PEC (Packet Error Check Transfer Enable) 可软件置 1、清 0; 当发送 PEC 后, 或发送起始位、停止位, 或当 I2CEN=0 时, 由硬件清 0。 0: 禁止 1: 使能
11	ACKPOS	R/W	配置接收数据应答/PEC 位置 (Acknowledge /PEC Position Configure) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清除。 0: 接收当前字节时是否发送 NACK/ACK, PEC 是否处于移位寄存器中 1: 接收下一个字节时是否发送 NACK/ACK, PEC 是否处于移位寄存器的下一字节
10	ACKEN	R/W	发送应答使能 (Acknowledge Transfer Enable) 可软件置 1、清 0; 当 I2CEN=0 时, 由硬件清除。 0: 不发送 1: 发送
9	STOP	R/W	发送停止位 (Stop Bit Transfer) 可软件置 1、清 0; 当发送停止位时, 由硬件清 0; 当检测到超时错误时, 由硬件置 1。 0: 不发送 1: 发送
8	START	R/W	发送起始位 (Start Bit Transfer) 可软件置 1、清 0, 当发送起始位或 I2CEN=0 时, 由硬件清 0。 0: 不发送 1: 发送
7	CLKSTRETCHD	R/W	禁止从机模式时钟延长时间 (Slave Mode Clock Stretching Disable) 0: 使能

位/域	名称	R/W	描述
			1: 禁止 在从机模式下允许延长时钟低电平时间可避免发生过载和欠载错误。
6	SRBEN	R/W	使能从机响应广播 (Slave Responds Broadcast Enable) 0: 禁止 1: 使能 注意: 广播地址是 0x00
5	PECEN	R/W	使能 PEC (PEC Enable) 0: 禁止 1: 使能
4	ARPEN	R/W	使能 ARP (ARP Enable) 0: 禁止 1: 使能 如果 SMBTCFG=0, 使用 SMBus 设备的默认地址 如果 SMBTCFG=1, 使用 SMBus 的主地址
3	SMBTCFG	R/W	配置 SMBus 类型 (SMBus Type Configure) 0: SMBus 设备 1: SMBus 主机
2	保留		
1	SMBEN	R/W	使能 SMBus 模式 (SMBus Mode Enable) 0: I2C 模式 1: SMBus 模式
0	I2CEN	R/W	使能 I2C (I2C Enable) 0: 禁止 1: 使能

20.7.2 控制寄存器 2 (I2C_CTRL2)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:13	保留		
12	LTCFG	R/W	配置 DMA 最后一次发送 (DMA Last Transfer Configure) 配置下一次 DMA 的 EOT 是否为接收的最后一次发送, 只用于主机接收模式。 0: 不是 1: 是
11	DMAEN	R/W	使能 DMA 请求 (DMA Requests Enable) 0: 禁止 1: 当 TXBEFLG=1 或 RXBNEFLG=1 时, 使能 DMA 请求
10	BUFIEN	R/W	使能缓冲器中断 (Buffer Interrupt Enable) 0: 禁止 1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: TXBEFLG、RXBNEFLG
9	EVIEN	R/W	使能事件中断 (Event Interrupt Enable) 0: 禁止

位/域	名称	R/W	描述
			1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: STARTFLG、ADDRFLG、ADDR10FLG、STOPFLG、BTCFLG、TXBEFLG 置 1 且 BUFIEN 置 1、RXBNEFLG 置 1 且 BUFIEN 置 1。
8	ERRIEN	R/W	使能出错中断 (Error Interrupt Enable) 0: 禁止 1: 使能, 以下任何状态寄存器中的位置 1 时, 将产生该中断: SMBALTFLG、TTEFLG、PECEFLG、OVRURFLG、AEFLG、ALFLG、STS1_BERRFLG
7:0	CLKFCFG	R/W	配置 I2C 时钟频率 (I2C Clock Frequency Configure) 该时钟频率是指 I2C 模块的时钟, 即从 APB 总线输入的时钟。 0: 禁用 1: 禁用 2: 2MHz ... 50: 50MHz 128: 128MHz 大于 10000001: 禁用。 I2C 总线最小的时钟频率: 标准模式为 1MHz, 快速模式为 4MHz。

20.7.3 从机模式地址寄存器 1 (I2C_SADDR1)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	ADDRLLEN	R/W	配置从机地址长度 (Slave Address Length Configure) 0: 7 位地址模式 1: 10 位地址模式
14:10	保留		
9:8	ADDR[9:8]	R/W	设置从机地址 (Slave Address Setup) 地址模式为 7 位时, 该位无效; 地址模式为 10 位时, 该位是地址的第 9:8 位。
7:1	ADDR[7:1]	R/W	设置从机地址 (Slave Address Setup) 从机地址的第 7:1 位
0	ADDR[0]	R/W	设置从机地址 (Slave Address Setup) 地址模式为 7 位时, 该位无效; 地址模式为 10 位时, 该位是地址的第 0 位。

20.7.4 从机模式地址寄存器 2 (I2C_SADDR2)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7:1	ADDR2[7:1]	R/W	设置从机双地址模式地址 (Slave Dual Address Mode Address Setup) 在双地址模式下地址的 7:1 位

位/域	名称	R/W	描述
0	ADDRNUM	R/W	配置从机地址数量（Slave Address Number Configure） 从机 7 位地址模式下，可配置为识别单地址模式、双地址模式；单地址模式下只识别 ADDR1；双地址模式下识别 ADDR1 和 ADDR2 在 7 位地址模式下可识别单个或双地址寄存器，具体情况如下： 0：识别 1 个地址（ADDR1） 1：识别 2 个地址（ADDR1 和 ADDR2）

20.7.5 数据寄存器（I2C_DATA）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7:0	DATA	R/W	数据寄存器（Data Register） 在 I2C 发送模式下，将要发送的数据写到这个寄存器；在 I2C 接收模式下，从这个寄存器读取接收到的数据。

20.7.6 状态寄存器 1（I2C_STS1）

偏移地址：0x14

复位值：0x0000 0080

位/域	名称	R/W	描述
31:16			保留
15	SMBALTF LG	RC_W0	发生 SMBus 警报标志（SMBus Alert Occur Flag） 0：SMBus 主机模式，无警报； SMBus 从机模式，无警报，SMBAlert 引脚电平不变 1：SMBus 主机模式，在引脚上产生警报； SMBus 从机模式，收到警报，引起 SMBAlert 引脚电平变低，由硬件置 1；软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
14	TTEFLG	RC_W0	超时或 Tlow 错误标志（Timeout or Tlow Error Flag） 0：无超时错误 1：发生超时错误，从模式下，从机复位，总线被释放；主模式下，硬件发送停止位。 以下情况之一发生超时错误，由硬件置 1： （1）SCL 保持低电平大于 25ms； （2）主设备的 SCL 低电平扩展时间累计超过 10ms； （3）从设备的 SCL 低电平扩展时间累计超过 25ms。 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。
13			保留
12	PECEFLG	RC_W0	接收时出现 PEC 错误标志（PEC Error in Reception Flag） 0：无 PEC 错误：在 ACKEN=1 的情况下接收到 PEC 后接收器返回 ACKEN 1：有 PEC 错误：不管 ACKEN 是什么值，只要接收到 PEC 后接收器都会返回 NACK 软件写 0 可清除该位；I2CEN=0 时由硬件清 0。

位/域	名称	R/W	描述
11	OVRURFLG	RC_W0	发生过载或欠载标志 (Overrun/Underrun Flag) 0: 未发生 1: 发生 CLKSTRETCHD=1、且满足以下条件之一时由硬件置 1: (1) 从机接收模式下, DATA 寄存器中的数据未被读出时, 又收到新的数据 (该数据会丢失), 此时发生过载; (2) 从机发送模式中, DATA 寄存器没有写入数据, 依然要发送数据 (相同的数据会发送 2 次), 此时发生欠载。 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
10	AEFLG	RC_W0	应答错误标志 (Acknowledge Error Flag) 0: 未发生应答错误 1: 发生应答错误 由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
9	ALFLG	RC_W0	主模式下的仲裁丢失标志 (Master Mode Arbitration Lost Flag) 0: 未发生仲裁丢失 1: 发生仲裁丢失, I2C 接口自动切换回从模式 “主模式下的仲裁丢失”是指该主机失去对总线的控制; 该位由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
8	BERRFLG	RC_W0	总线错误标志 (Bus Error Flag) 0: 未发生总线错误 1: 发生总线错误 总线错误是指起始位、停止位异常; 检测到错误时由硬件置 1; 软件写 0 可清除该位; I2CEN=0 时由硬件清 0。
7	TXBEFLG	R	发送缓冲器为空标志 (Transmit Buffer Empty Flag) 0: 发送缓冲器不为空 1: 发送缓冲器为空 DATA 寄存器的内容为空时由硬件置 1; 软件写第 1 个数据到 DATA 寄存器时, 会立刻将数据搬移到移位寄存器中, 此时 DATA 寄存器的数据为空, 无法清除该位; 软件写数据到 DATA 寄存器可清除该位; 发送起始位、停止位, 或当 I2CEN=0 时由硬件清 0。
6	RXBNEFLG	R	接收缓冲器不为空标志 (Receive Buffer Not Empty Flag) 0: 接收缓冲器为空 1: 接收缓冲器不为空 当 DATA 寄存器有数据时, 由硬件置 1; 当 BTCFLG 置 1 时, 由于数据寄存器仍然为满, 读取 DATA 寄存器不能清除 RXBNEFLG 位; 软件读写 DATA 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。
5	保留		
4	STOPFLG	R	停止位检测标志 (Stop Bit Detection Flag) 0: 未检测到 1: 检测到 如果 ACKEN=1, 在一个应答之后, 当从机在总线上检测到停止位时, 由硬件置 1; 软件读取 STS1 寄存器后、对 CTRL1 寄存器进行写操作可清除该位; 当 I2CEN=0 时由硬件清 0。

位/域	名称	R/W	描述
3	ADDR10FLG	R	主机已发送 10 位地址的地址头标志 (10-Bit Address Header Transmit Flag) 0: 未发送 1: 已发送 该位由硬件置 1; 软件先读 STS1 寄存器、再写 DATA 寄存器可清除该位; I2CEN=0 时由硬件清 0。
2	BTCFLG	R	完成数据字节发送标志 (Byte Transfer Complete Flag) 0: 未完成 1: 已完成 在接收数据时, 如果未读取 DATA 寄存器中收到的数据, 此时又收到一个新的数据时, 由硬件置 1; 发送数据时, DATA 寄存器为空的情况下, 将要发送移位寄存器中的数据时, 由硬件置 1。 软件先读 STS1 寄存器、再对 DATA 寄存器执行读或写操作可清除该位; 在发送中发送一个起始位、停止位, 或当 I2CEN=0 时由硬件清 0。
1	ADDRFLG	R	地址发送完成/接收匹配标志 (Address Transfer Complete /Receive Match Flag) 从机模式是否接收到匹配地址: 0: 未接收到 1: 已接收 主机模式地址发送是否完成: 0: 未完成 1: 已完成 该位由硬件置 1; 软件先读 STS1 寄存器、再读 STS2 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。
0	STARTFLG	R	发送起始位完成标志 (Start Bit Sent Finished Flag) 0: 未发送 1: 已发送 发出起始位时, 由硬件置 1; 软件先读 STS1 寄存器、再写 DATA 寄存器可清除该位; 当 I2CEN=0 时由硬件清 0。

20.7.7 状态寄存器 2 (I2C_STS2)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:8	PECVALUE[7:0]	R	存储 PEC 值 (Save Packet Error Checking Value) 当 PECEN=1 时, 内部的 PEC 的值存放在 PECVALUE 里。
7	DUALADDRFLG	R	从模式接收到双地址匹配标志 (Slave Mode Received Dual Address Match Flag) 0: 接收到的地址与 ADDR1 寄存器的内容匹配 1: 接收到的地址与 ADDR2 寄存器的内容匹配 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0

位/域	名称	R/W	描述
6	SMMHADDR	R	SMBus 从模式收到主机头地址标志 (SMBus Received Master Header Flag in Slave Mode) 0: 未收到主机头地址 1: 当同时满足 SMBTCFG=1 和 ARPEN=1 时, 收到主机头地址由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
5	SMBDADDRFLG	R	SMBus 从模式接收到默认地址标志 (SMBus Received Default Address Flag in Slave Mode Device) 0: 未收到默认地址 1: 当 ARPEN=1 时, 收到默认地址由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
4	GENCALLFLG	R	从模式接收到广播地址 (0x00) 标志 (Slave Mode Received General Call Address Flag) 0: 未收到广播地址 1: 收到广播地址 由硬件置 1, 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) I2CEN=0
3	保留		
2	TRFLG	R	发送器模式/接收器模式标志 (Transmitter / Receiver Mode Flag) 0: 设备是接收器模式 (读) 1: 设备是发送器模式 (写) 依据 R/W 位决定位的数值; 满足以下条件之一由硬件清 0: (1) 产生停止位 (2) 产生重复的起始位 (3) 总线仲裁丢失 (4) I2CEN=0
1	BUSBSYFLG	R	总线忙碌标志 (Bus Busy Flag) 0: 总线空闲 (无通信) 1: 总线忙 (正在通信) SDA 或 SCL 为低电平时, 由硬件置 1; 产生停止位后, 硬件清 0。
0	MSFLG	R	主从模式标志 (Master Slave Mode Flag) 0: 从机模式 1: 主机模式 配置 I2C 为主模式时, 由硬件置 1; 以下条件之一硬件清 0: (1) 产生停止位 (2) 丢失总线仲裁

位/域	名称	R/W	描述
			(3) I2CEN=0

20.7.8 从机时钟控制寄存器 (I2C_CLKCTRL)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15	SPEEDCFG	R/W	配置主模式速度 (Master Mode Speed Configure) 0: 标准模式 1: 快速模式
14	FDUTYCFG	R/W	配置快速模式下的占空比 (Fast Mode Duty Cycle Configure) 此处定义占空比= t_{low}/t_{high} 0: SCLK 占空比 2 1: SCLK 占空比 16/9
13:12			保留
11:0	CLKS [11:0]	R/W	设置主模式下快速/标准模式的时钟 (Clock Setup in Fast/Standard Master Mode) 在 I2C 标准模式或 SMBus 模式中: $T_{high}=CLKS \times T_{PCLK1}$ $T_{low}=CLKS \times T_{PCLK1}$ I2C 快速模式中: 当 FDUTYCFG=0 时: $T_{high}=CLKS \times T_{PCLK1}$ $T_{low}=2 \times CLKS \times T_{PCLK1}$ 当 FDUTYCFG=1 时: $T_{high}=9 \times CLKS \times T_{PCLK1}$ $T_{low}=16 \times CLKS \times T_{PCLK1}$

20.7.9 最大上升时间寄存器 (I2C_RISETMAX)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7:0	RISETMAX	R/W	主模式下快速/标准模式的最大上升时间 (Master Mode Maximum Rise Time in Fast/Standard Mode) 时间单位是 T_{PCLK1} , RISETMAX 为 SCL 最大上升时间单位加 1。

20.7.10 滤波器控制寄存器 (I2C_FILTER)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:5			保留

位/域	名称	R/W	描述
4	ANFDIS	R/W	禁止模拟噪声滤波器（Analog Noise Filter Disable） 0：使能 1：禁止
3:0	DNFCFG	R/W	配置数字噪声滤波器滤波能力（Digital Noise Filter Filtering Capability Configure） 0000：禁用 0001：1 × T _{PCLK1} 1111：15 × T _{PCLK1} 注：这些位只能在 I2CEN=0 时配置。

21 串行外设接口（SPI）

21.1 术语全称、缩写描述

表格 71 术语全称、缩写描述

中文全称	英文全称	英文缩写
最高有效位	Most Significant Bit	MSB
最低有效位	Least Significant Bit	LSB
主机输出从机输入	Master Out Slave In	MOSI
主机输入从机输出	Master In Slave Out	MISO
串行时钟线	Serial Clock	SCK
串行数据	Serial Data	SD
主时钟	Master Clock	MCK
字选	Word Select	WS
脉冲编制调制	Pulse-code Modulation	PCM
发送	Transmit	TX
接收	Receive	RX
忙	Busy	BSY

21.2 简介

串行外设接口（SPI）提供了基于 SPI 协议的数据发送和数据接收功能，允许芯片与外部设备以半双工、全双工、同步和串行方式通信，可以工作于主机或者从机模式。

21.3 主要特征

- （1） 具有 3 线全双工同步传输接收的主从操作
- （2） 2 线可实现（第三根双向数据线可选带/不带）单工同步传输
- （3） 选择 8 位或者 16 位传输帧格式
- （4） 具有多主设备模式
- （5） 具有专用的发送和接收标志，可触发中断
- （6） 具有 SPI 总线忙状态标志
- （7） SPI 通信速率最高可达 50Mbit/s
- （8） 可配置时钟的极性和相位

- (9) 可配置数据顺序, 选择 MSB 或者 LSB 在前
- (10) 主模式故障、过载以及 CRC 错误标志可触发中断
- (11) 具有 DMA 传输和接收缓冲器
- (12) SPI TI 模式
- (13) 兼容 BiSS-C Slave 接口
- (14) 通过硬件 CRC 进行计算、发送和校验

21.4 SPI 功能描述

21.4.1 SPI 信号线描述

表格 72 SPI 信号线描述

引脚名称	描述
SCK	主设备: SPI 时钟输出 从设备: SPI 时钟输入
MISO	主设备: 输入引脚, 接收数据 从设备: 输出引脚, 发送数据 数据方向: 从设备到主设备
MOSI	主设备: 输出引脚, 发送数据 从设备: 输入引脚, 接收数据 数据方向: 主设备到从设备
NSS	软件 NSS 模式: NSS 引脚可以它用。 主设备硬件 NSS 模式: 为 NSS 输出, 单主模式。 NSS 关闭输出: 允许操作多主环境。 从设备硬件 NSS 模式: NSS 信号设置为低电平, 作为从机的片选信号。

21.4.2 时钟信号的相位和极性

时钟极性和时钟相位是 SPI_CTRL1 寄存器的 CPOL 和 CPHA 位。

时钟极性 CPOL 是指 SPI 处于空闲状态时, SCK 信号线的电平信号。

- CPOL=0 时, SCK 信号线在空闲状态为低电平
- CPOL=1 时, SCK 信号线在空闲状态为高电平

时钟相位 CPHA 是指数据的采样时刻:

- CPHA=0 时, MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“奇数边沿”被采样。
- CPHA=1 时, MOSI 或 MISO 数据线上的信号将会在 SCK 时钟线的“偶数边沿”被采样。

根据时钟相位 CPHA 和时钟极性 CPOL 的不同状态, 可以将 SPI 分成四种模式。

表格 73 SPI 的四种模式

SPI 模式	CPHA	CPOL	采样时刻	空闲时 SCK 时钟
0	0	0	奇数边沿	低电平
1	0	1	奇数边沿	高电平
2	1	0	偶数边沿	低电平
3	1	1	偶数边沿	高电平

21.4.3 数据帧格式

通过配置 SPI_CTRL1 寄存器中的 LSBSEL 位，设定是 MSB 在先还是 LSB 在先。

通过配置 SPI_CTRL1 寄存器的 DFLSEL 位，选择是 8/16 位数据帧格式进行发送/接收。

21.4.4 NSS 模式

软件 NSS 模式：通过配置 SPI_CTRL1 寄存器的 SSEN 位来选择启动或者禁止此模式，内部 NSS 信号电平由 SPI_CTRL1 寄存器的 ISSEL 位驱动。

硬件 NSS 模式：

- 启动 NSS 输出：SPI 处于主模式时，使能 SSOEN 位，NSS 引脚被拉至低电平，SPI 将自动进入从机模式。
- 关闭 NSS 输出：允许操作在多主环境。

21.4.5 SPI 模式

21.4.5.1 SPI 主模式

在主模式中，在 SCK 引脚产生串行时钟。

主模式配置：

- 配置 SPI_CTRL1 寄存器中的 MSMSEL=1。
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位。
- 通过配置 SPI_CTRL1 寄存器中的 DFLSEL 位选择 8/16 位数据帧格式。
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行。
- NSS 配置：
 - NSS 引脚工作在输入模式：硬件模式下，需要在整个数据帧传输期间把 NSS 引脚连接在高电平；软件模式下，需要设置 SPI_CTRL1 寄存器中的 SSEN 位和 ISSEL 位。
 - NSS 工作在输出模式中，需要配置 SPI_CTRL2 寄存器的 SSOEN 位。
- 配置 SPI_CTRL2 寄存器中的 FRFCFG 位选择 TI 模式协议进行串行通信。
- 配置 SPI_CTRL1 寄存器中 SPIEN 位，使能 SPI。

在主模式中：MOSI 引脚是数据输出，MISO 是数据输入。

TI 协议

在从模式下，SPI 接口支持 TI 协议。通过 SPI_CTRL2 寄存器的 FRFCFG 位控制。时钟极性和相位都遵循 TI 协议。NSS 管理也特定于 TI 协议，不用配置 SPI_CTRL1 和 SPI_CTRL2 寄存器。

21.4.5.2 SPI 从模式

在从模式中，SCK 引脚接收主设备传来的的串行时钟。

从模式配置

- 配置 SPI_CTRL1 寄存器中的 MSMSEL=0
- 通过配置 SPI_CTRL1 寄存器中的 CPOL 和 CPHA 位，选择极性和相位。
- 通过配置 SPI_CTRL1 寄存器中的 DFLSEL 位选择 8/16 位数据帧格式
- 通过配置 SPI_CTRL1 寄存器中 LSBSEL 选择是 LSB 先行还是 MSB 先行
- NSS 配置：
 - 硬件模式下：在完整的数据帧传输过程中 NSS 引脚必须为低电平
 - 软件模式下：设置 SPI_CTRL1 寄存器中的 SSEN 位并清除 ISSEL 位（TI 模式不需要此步骤）
- 配置 SPI_CTRL2 寄存器中的 FRFCFG 位选择 TI 模式协议进行串行通信
- 配置 SPI_CTRL1 寄存器中 SPIEN 位，使能 SPI

在从模式中：MOSI 引脚是数据输入，MISO 引脚是数据输出

TI 协议

在从模式下，SPI 接口支持 TI 协议。通过 SPI_CTRL2 寄存器的 FRFCFG 位控制。时钟极性和相位都遵循 TI 协议。NSS 管理也特定于 TI 协议，不用配置 SPI_CTRL1 和 SPI_CTRL2 寄存器。

处于从模式时，SPI 波特率预分频器可以使用任意波特率来控制 MISO 引脚状态切换到高阻态的时刻，所以可以非常灵活地确定此时刻。波特率一般为外部主时钟波特率。SPI_CTRL1 寄存器的 BRSEL[2:0]设置的波特率值和芯片内部电路同步决定 MISO 引脚状态变为高阻态的时间。

21.4.5.3 SPI 的半双工通信

一条时钟线加一条双向数据线

- 通过设置 SPI_CTRL1 寄存器的 BMEN 启动此模式
- 通过设置 SPI_CTRL1 寄存器的 BMOEN 位控制数据线是输入还是输出
- SCK 引脚作为时钟，主设备中使用 MOSI 引脚传输数据，从设备中使用 MISO 引脚传输数据

21.4.6 SPI 不同模式下数据发送和接收过程

表格 74 SPI 的运行模式

模式	配置	数据引脚
主设备的全双工模式	BMEN=0, RXOMEN=0	MOSI 发送; MISO 接收
主设备的单向接收模式	BMEN=0, RXOMEN=1	MOSI 不使用; MISO 接收
主设备的双向发送模式	BMEN=1, BMOEN=1	MOSI 发送; MISO 不使用
主设备的双向接收模式	BMEN=1, BMOEN=0	MOSI 不使用; MISO 接收
从设备的全双工模式	BMEN=0, RXOMEN=0	MOSI 接收, MISO 发送
从设备的单向接收模式	BMEN=0, RXOMEN=1	MOSI 接收, MISO 不使用
从设备的双向发送模式	BMEN=1, BMOEN=1	MOSI 不使用, MISO 发送
从设备的双向接收模式	BMEN=1, BMOEN=0	MOSI 接收, MISO 不使用

图 80 全双工模式连接

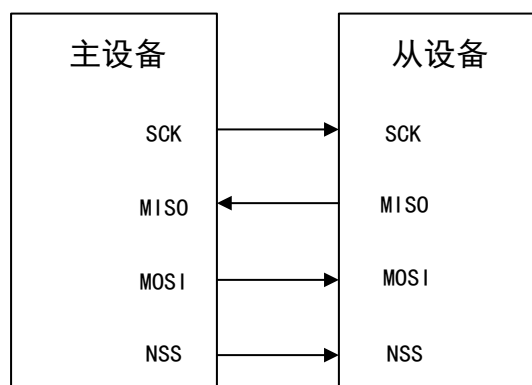


图 81 半双工模式连接（主机用来接收，从机用来发送）

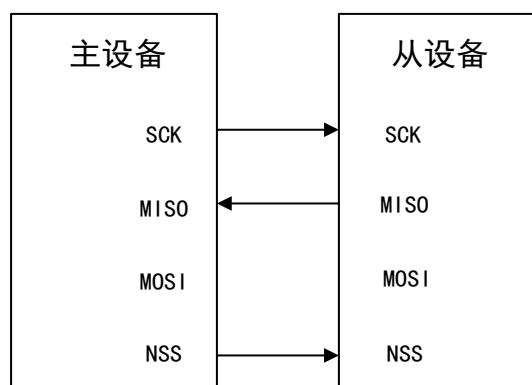


图 82 半双工模式连接（主机只发送，从机接收）

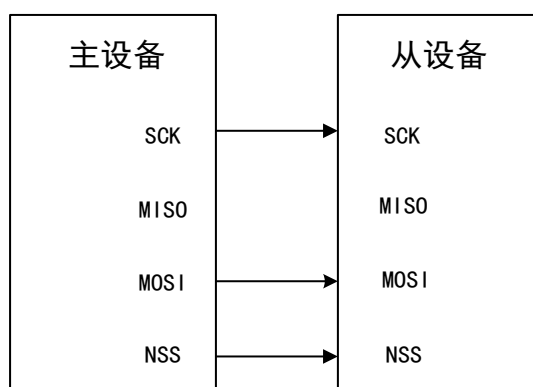
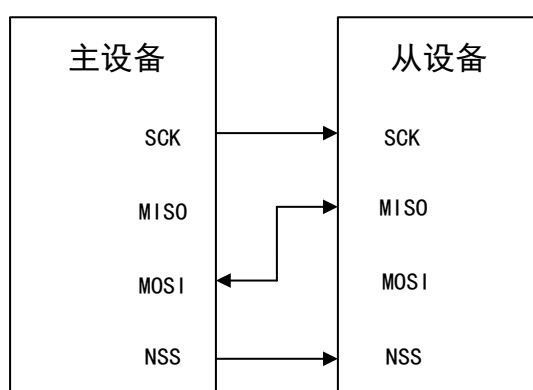


图 83 双向线连接



21.4.6.1 处理数据的发送与接收

数据发送

完成模式配置之后，SPI 模块使能保持在空闲状态。

主模式下：软件写入一个数据帧到发送缓冲器中，发送过程开始

从模式下：**SCK** 引脚上的 **SCK** 信号开始跳变，与此同时 **NSS** 引脚电平位低，发送过程开始（数据开始发送前，确保数据已提前写入发送缓冲区）。

SPI 发送一个数据帧时，会将数据帧从数据缓冲区加载到移位寄存器中，之后开始发送数据。数据帧发送一位后，SPI_STS 寄存器中 TXBEFLG 置 1，如果需要连续发送数据，软件需要等到 TXBEFLG=1 向 SPI_DATA 寄存器中写入数据。（TXBEFLG 标志是由硬件置 1，软件清零）。

数据接收

在数据接收过程中 BSYFLG 标志会一直置 1。

在采样时钟的最后一个边沿，接收到的数据从移位寄存器传送到接收缓冲区，设置 SPI_STS 寄存器中的 RXBNEFLG 标志，软件通过读取数据寄存器

（SPI_DATA）中的数据获取接收缓冲区中的内容，如果设置了 SPI_CTRL2 寄存器的 RXBNEIEN 位，此时会产生中断，在读取数据之后会自动清除 BSYFLG

标志。

21.4.6.2 主/从设备下的全双工发送和接收模式

主设备下的全双工模式

- 写数据到 SPI_DATA 寄存器（发送缓冲器）后，开始数据传输。
- SPI 发送第一位数据时，数据从发送缓冲器传送到移位寄存器中，按照顺序被串行的传送到 MOSI 引脚中。
- MISO 引脚上接收的数据，按照顺序被串行的传送到 SPI_DATA 寄存器（接收缓冲器）中。

发送和接收是同时进行的。

从设备下的全双工模式

- 从设备接收到时钟信号，MOSI 引脚出现第一个数据位时，开始数据传输，之后的数据位会被依次传送到移位寄存器中。
- SPI 发送第一位数据时，数据从发送缓冲器传送到移位寄存器中，按照顺序被串行的传送到 MISO 引脚中。
- 软件必须保证在 SPI 主设备开始传输数据之前确保已写入要发送的数据。

发送和接收是同步进行的。

主/从设备下的全双工发送和接收过程

- （1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。
- （2） 将第一个要发送的数据写入 SPI_DATA 寄存器中，会清除 TXBEFLG 标志。
- （3） 等待 TXBEFLG 标志位置 1（硬件控制），写入需要发送的第二个数据位。
- （4） 等待 RXBNEFLG 标志位置 1（硬件控制）读出 SPI_DATA 寄存器中的第一个接收的数据，与此同时清除 RXBNEFLG 标志（软件清零）。重复操作，同时发送和接收数据。
- （5） 等待 RXBNEFLG=1，接收最后一个数据。
- （6） 等待 TXBEFLG=1，在 BSYFLG=0 之后关闭 SPI 模块。

21.4.6.3 主/从设备下的双向发送模式

主设备下的双向发送

- 数据写入到 SPI_DATA 寄存器后，开始传输
- 发送缓冲器中的数据并行的传送到移位寄存器中，之后按顺序串行传送到 MOSI 引脚上。

从设备下的双向发送

- 从设备接收到时钟信号，MISO 引脚出现第一个数据位时，开始数据传输。
- 与此同时，发送缓冲器需要发送的数据并行的传送到移位寄存器中，随后被串行发送到 MISO 引脚上，（数据开始发送前，确保数据已提前写入发送缓冲区）。

主/从设备下的双向发送过程

- （1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。
- （2） 将第一个要发送的数据写入 SPI_DATA 寄存器中，会清除 TXBEFLG 标志。
- （3） 等待 TXBEFLG=1，写入第二个数据，重复操作，发送后面的数据
- （4） 写入最后一个数据后，等待 TXBEFLG=1、BSYFLG=0，发送完成

21.4.6.4 主/从设备下的单向/双向接收模式

- （1） 使能 SPI 模块：配置 SPI_CTRL1 寄存器的 SPIEN=1。
- （2） 主设备中：立即产生 SCK 时钟，SPI 关闭之前，不断接收数据。
- （3） 从设备中：SPI 主设备拉低 NSS 且产生时钟时，接收数据。
- （4） 等到 RXBNEFLG 标志置 1，通过 SPI_DATA 读取数据，重复操作接收数据。

21.4.7 CRC 功能

SPI 模块含有两个 CRC 计算单元分别用来数据接收和数据发送。

CRC 计算单元是在 SPI_CRCPOLY 寄存器来定义多项式。

通过配置 SPI_CTRL1 寄存器中的 CRCEN 位使能 CRC 计算；同时复位 CRC 寄存器（SPI_RXCRC 和 SPI_TXCRC）。

为了得到传输计算的 CRC 值，当最后一个数据写入发送缓冲器后，需要设置 SPI_CTRL1 的 CRCNXT 位；指示硬件在发送最后一个数据之后，发送 CRC 数值，CRCNXT 位被清除；与此同时比较 CRC 和 SPI_RXCRC 的值，如果出现了不匹配的情况，需要设置 SPI_STS 寄存器的 CRCEFLG 位，在设置了 SPI_CTRL2 寄存器的 ERRIEN 位时，会发生中断。

注意：

- （1） 当 SPI 处于从设备下并且使用了 CRC 功能，在 NSS 引脚时高电平时 CRC 计算仍会继续。例如：当主设备与多个从设备交替通信时，就会出现上述情况，则需要避免 CRC 的错误操作。
- （2） 一个从设备从未选中（NSS 为高电平）到选中（NSS 为低电平 0）过程中，需要清除主从两端的 CRC 数值，来保持主从设备端下次 CRC 计算结果的同步。
- （3） 当 SPI 处于从设备模式时，要在时钟稳定之后再使能 CRC 计算。

- (4) 当 SPI 时钟频率过高时，CPU 的操作会影响 SPI 的带宽，建议采用 DMA 模式避免 SPI 速度的降低。
- (5) 当 SPI 时钟频率过高时，在 CRC 传输期间内，减少 CPU 的使用频率，在发送 CRC 过程中禁止函数调用来避免接收最后的数据和 CRC 时出错。
- (6) 在从模式下使用了 NSS 硬件模式，NSS 引脚应该在数据传输和 CRC 传输期间保持为低。

清除 CRC 数值顺序

- (1) 关闭 SPI (SPIEN=0)
- (2) 将 CRCEN 位清零
- (3) 将 CRCEN 位置 1
- (4) 使能 SPI (SPIEN=1)

21.4.8 DMA 功能

SPI 中的请求/应答 DMA 机制，方便了高速率的数据传输，提高了系统效率，能够及时向 SPI 发送缓冲器传送数据，同时接收缓冲器也能及时读取数据防止溢出。

SPI 只发送数据时，只需要使能 DMA 的发送通道；SPI 只接收数据时，只需要使能 DMA 的接收通道。

通过配置 SPI_CTRL2 寄存器的 TXDEN 和 RXDEN 位，使能 SPI 模式的 DMA 功能。

- 发送时：TXBEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器写数据到 SPI_DATA 寄存器中，此时 TXBEFLG 标志位被清除。
- 接收时：RXBNEFLG 标志位置 1 时发出 DMA 请求，DMA 控制器从 SPI_DATA 寄存器中读取数据，此时 RXBNEFLG 标志位被清除。

通过监视 BSYFLG 标志位确认在发送模式下 DMA 传送所有需要发送的数据后 SPI 通信是否结束，可以避免破坏最后一个数据的传输。

带 CRC 的 DMA 功能

结束通信时，如果 SPI 同时使能 CRC 运算和 DMA 功能，CRC 字节的发送和接收会自动完成。

在数据和 CRC 传输结束时，如果 SPI_STS 寄存器中的 CRCEFLG 标志位置 1，说明传输期间发生了错误。

21.4.9 关闭 SPI

数据传输结束后，通过关闭 SPI 模块结束通讯。在一些配置中，如果在数据还没有传输完成下关闭了 SPI，可能会造成数据传输错误。不同的运行模式需要不同的方法关闭 SPI

主模式/全双工从模式

- (1) 等待 RXBNEFLG 标志位置 1，接收最后一个数据
- (2) 等待 TXBEFLG 标志位置 1
- (3) 等待 BSYFLG 标志位清零
- (4) 关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）

主模式/从模式单向只发送/双向发送模式

在最后的的数据写入 SPI_DATA 寄存器后：

- (1) 等待 TXBEFLG 标志位置 1
- (2) 等待 BSYFLG 标志位清零
- (3) 关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）

主模式/从模式单向只接收/双向接收模式

- (1) 等待第 n-1 个 RXBNEFLG 标志位置 1
- (2) 在关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0）之前等待一个 SPI 时钟周期
- (3) 在进入停机模式之前等待最后一个 RXBNEFLG 标志位置 1

从模式只接收/双向接收模式

在任意时刻都可以关闭 SPI（设置 SPI_CTRL1 寄存器的 SPIEN=0），会在传输结束后关闭。如果要进入停机模式，需要等到 BSYFLG 标志位清零。

21.4.10 SPI 中断

21.4.10.1 状态标志位

发送缓冲器空闲标志 TXBEFLG

TXBEFLG=1 说明发送缓冲器位空，可以写入下一个待发送的数据，当数据写入 SPI_DATA 寄存器时，清除 TXBEFLG 标志位。

接收缓冲器非空闲标志 RXBNEFLG

RXBNEFLG=1 说明接收缓冲器中含有有效数据，可以通过 SPI_DATA 寄存器来读取数据，清除 RXBNEFLG 标志。

忙标志 BSYFLG

BSYFLG 标志由硬件设置和清除，可以表明 SPI 通信层的状态，BSYFLG=1 时，表明 SPI 正在通信，但是在主设备下的双线接收模式，在接收数据期间

BSYFLG=0。

使用 BSYFLG 标志可以检测传输是否结束，避免破坏最后一次传输数据。

BSYFLG 标志位可以用于在多主模式下避免写入数据的冲突。

当出现传输结束（主模式的连续通信除外）、SPI 关闭以及主模式失效的情况，BSYFLG 标志将会清零。

通讯不连续时，在数据项和数据项之间，BSYFLG=0。

通讯连续时：

- 主模式中：传输的整个过程，BSYFLG=1
- 从模式中：每个数据的传输之间，BSYFLG 在一个 SCK 时钟周期保持为低

注意：最好使用 TXBEFLG 和 RXBNEFLG 标志来处理每一个数据项的发送和接收。

21.4.10.2 错误标志位

主模式错误 MEFLG

MEFLG 是一个错误标志位。主模式错误发生在：在硬件 NSS 模式中，主设备的 NSS 引脚被拉低；在软件 NSS 模式中，ISSEL 位被清零时；MEFLG 位被自动置位。

主模式失效的影响：MEFLG 置 1，在设置了 ERRIEN 的情况下，产生 SPI 中断；SPIEN 被清零，（输出停止，关闭 SPI 接口）；MSMSEL 被清零，设备强制进入从模式。

清除 MEFLG 标志位的操作：MEFLG 位置 1 时，需要对 SPI_STS 寄存器进行读或者写操作，然后写入 SPI_CTRL1 寄存器。

MEFLG 标志位为 1 时，不允许设置 SPIEN 和 MSMSEL 位。

溢出错误 OVRFLG

溢出错误：当主设备发送了数据之后，RXBNEFLG 标志位还为 1，说明此时发生为溢出错误。此时 SPI_STS 寄存器中 OVRFLG 位置 1，如果还设置了 ERRIEN 位，将会产生中断。

发生溢出错误后，接受缓冲器的数据不是主设备发送的数据，此时读取 SPI_DATA 寄存器的值是之前没有读取的数据，而在之后的发送的数据不会被读取。

根据顺序读出 SPI_DATA 寄存器和 SPI_STS 寄存器可以清除 OVRFLG 标志。

CRC 错误标志 CRCEFLG

通过设置 SPI_CTRL1 寄存器的 CRCEN 位，启动 CRC 计算，CRC 错误标志，可以核对接收的数据是否有效。

当 SPI_TXCRC 寄存器发送的值与 SPI_RXCRC 寄存器中的数值不匹配时，产生 CRC 错误，此时 SPI_STS 寄存器中的 CRCEFLG 标志位置 1。

对 SPI_STS 寄存器的 CRCEFLG 位写 0，清除 CRCEFLG。

TI 帧格式错误标志 FREFLG

如果 SPI 在从模式下支持 TI 协议，则在通信期间出现 NSS 脉冲时将检测到 TI 帧格式错误。此错误出现时，SPI_STS[FREFLG]=1，且不会关闭 SPI，但会忽略 NSS 脉冲，并且 SPI 会等待下一个 NSS 脉冲到达再开始新的传输。由于错误检测可能导致丢失两个数据字节，因此数据可能会损坏。

读取 SPI_STS 寄存器时 FREFLG 标志清零。如果 ERRIEN=1，则检测到帧格式错误时将产生一个中断。此时无法保证数据的连续性，应关闭 SPI，并在重新使能从 SPI 后，由主机重启通信。

表格 75 SPI 中断请求

中断标志	中断事件	使能控制位	清除方式
TXBEFLG	发送缓冲器空标志	TXBEIEN	写 SPI_DATA 寄存器
RXBNEFLG	接收缓冲器非空标志	RXBNEIEN	读 SPI_DATA 寄存器
MEFLG	主模式失效事件	ERRIEN	读/写 SPI_STS 寄存器，然后写 SPI_CTRL1 寄存器
OVRFLG	溢出错误		读 SPI_DATA 寄存器，然后读 SPI_STS 寄存器
CRCEFLG	CRC 错误标志		写 0 到 CRCEFLG 位
FREFLG	TI 帧格式错误		读 SPI_STS 寄存器

21.5 BISS-C 功能描述

21.5.1 BISS-C 数据传输

在 BISS-C 模式下在第二个上升沿开始传输 spi_dr 中数据，当在 spi_dr 为空且 stop_en 配置为 1 时，传完当前帧的数据后的上升沿锁存 CDM，slo 输出拉低，同时开始 timeout 计时，timeout 计时结束拉高 slo。

SSI 模式下，在第一个上升沿开始传输 spi_dr 中数据，当在 spi_dr 为空且 stop_en 配置为 1 时，传完当前帧的数据后 slo 输出拉低，同时开始 timeout 计时，timeout 计时结束拉高 slo。

21.6 寄存器地址映射

表格 76 SPI 寄存器地址映射

寄存器名	描述	偏移地址
SPI_CTRL1	SPI 控制寄存器 1	0x00

寄存器名	描述	偏移地址
SPI_CTRL2	SPI 控制寄存器 2	0x04
SPI_STS	SPI 状态寄存器	0x08
SPI_DATA	SPI 数据寄存器	0x0C
SPI_CRCPOLY	SPI CRC 多项式寄存器	0x10
SPI_RXCRC	SPI 接收 CRC 寄存器	0x14
SPI_TXCRC	SPI 发送 CRC 寄存器	0x18
SPI_BCR	BISS-C 控制寄存器	0x1C
SPI_BCFG	BISS-C 配置寄存器	0x20
SPI_CDMDATA	CDM 数据寄存器	0x24

21.7 寄存器功能描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

21.7.1 SPI 控制寄存器 1（SPI_CTRL1）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15	BMEN	R/W	使能双向模式（Bidirectional Mode Enable） 0：双线单向模式 1：单线双向模式 单线双向传输：数据主机的 MOSI 引脚和从机的 MISO 引脚之间传输
14	BMOEN	R/W	使能双向模式的输出（Bidirectional Mode Output Enable） 0：禁止，即仅接收模式 1：使能，即仅发送模式 在 BMEN=1 即单线双向模式下，该位决定传输线的传输方向。
13	CRCEN	R/W	使能 CRC 校验（CRC Calculate Enable） 0：禁止 1：使能 注：CRC 校验功能仅应用于全双工模式；只有在 SPIEN=0 时，才能改变该位。
12	CRCNXT	R/W	使能下一个传输数据是 CRC（CRC Transfer Next Enable） 0：下一个传输数据来自发送缓冲区 1：下一个传输数据来自 CRC 寄存器 注：在 SPI_DATA 寄存器写入最后一个数据后，马上设置 CRCNXT 位。
11	DFLSEL	R/W	选择数据帧长度（Data Frame Length Format Select） 0：8 位数据帧格式 1：16 位数据帧格式 注：只有在 SPIEN=0 时，才能写入该位，改变数据帧长度。

位/域	名称	R/W	描述
10	RXOMEN	R/W	使能仅接收模式 (Receive Only Mode Enable) 0: 同时发送和接收 1: 仅接收模式 RXOMEN 位和 BMEN 位一起决定了双线双向模式下的传输方向, 在多个从设备的配置中, 为了避免数据传输冲突的发生, 需要在未被访问的从设备上使 RXOMEN 位置 1。
9	SSEN	R/W	使能软件从设备 (Software Slave Device Enable) 0: 禁止软件 NSS 模式, 内部 NSS 电平由外部 NSS 引脚决定 1: 启用软件 NSS 模式, 内部 NSS 电平由 SPI_CTRL1 的 ISSEL 位决定
8	ISSEL	R/W	选择内部从设备 (Internal Slave Device Select) 当 CTRL1_SSEN=1 时 (软件 NSS 模式), 可配置该位选择内部 NSS 电平 0: 内部 NSS 为低电平 1: 内部 NSS 为高电平
7	LSBSEL	R/W	选择 LSB 首位传输 (LSB First Transfer Select) 0: 先发送最高有效位 (MSB) 1: 先发送最低有效位 (LSB)
6	SPIEN	R/W	使能 SPI 设备 (SPI Device Enable) 0: 禁用 1: 使能 注: 当关闭 SPI 设备时, 请按照关闭 SPI 的过程操作。
5:3	BRSEL	R/W	选择波特率分频系数 (Baud Rate Divider Factor Select) 000: DIV=2 001: DIV=4 010: DIV=8 011: DIV=16 100: DIV=32 101: DIV=64 110: DIV=128 111: DIV=256 波特率=F_{PCLK}/DIV 注: 通信进行时, 不能修改该位
2	MSMCFG	R/W	配置主/从模式 (Master/Slave Mode Configure) 0: 配置为从模式 1: 配置为主模式 注: 通信进行时, 不能修改该位
1	CPOL	R/W	配置时钟极性 (Clock Polarity Configure) 当 SPI 处于空闲状态时, SCK 保持的电平状态。 0: 低电平 1: 高电平 注: 通信进行时, 不能修改该位

位/域	名称	R/W	描述
0	CPHA	R/W	配置时钟相位（Clock Phase Configure） 该位表明在几个时钟边沿开始采样 0：在第 1 个时钟边沿 1：在第 2 个时钟边沿 注：通信进行时，不能修改该位。

21.7.2 SPI 控制寄存器 2（SPI_CTRL2）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	TXBEIEN	R/W	使能发送缓冲区空中断（Transmit Buffer Empty Interrupt Enable） 0：禁止 1：使能 当 TXBEFLG 标志位置 1 时产生中断请求
6	RXBNEIEN	R/W	使能接收缓冲区非空中断（Receive Buffer Not Empty Interrupt Enable） 0：禁止 1：允许 当 RXBNEFLG 标志位置 1 时产生中断请求
5	ERRIEN	R/W	使能错误中断（Error Interrupt Enable） 0：禁止 1：使能 产生错误时，ERRIEN 位控制是否产生中断。
4	FRFCFG	R/W	配置帧格式（Frame Format Configure） 0：SPI 摩托罗拉模式 1：SPI TI 模式
3	保留		
2	SSOEN	R/W	使能 SS 输出（SS Output Enable） SS 输出在主模式下 0：禁止 SS 输出，可以工作在多主机模式。 1：开启 SS 输出，不能工作在多主机模式。
1	TXDEN	R/W	使能发送缓冲区 DMA（Transmit Buffer DMA Enable） 当该位被设置时，TXBEFLG 标志一旦被置位就发出 DMA 请求。 0：禁止 1：启动
0	RXDEN	R/W	使能接收缓冲区 DMA（Receive Buffer DMA Enable） 当 RXDEN=1 时，RXBNEFLG 标志一旦被置位就发出 DMA 请求。 0：禁止 1：启动

21.7.3 SPI 状态寄存器（SPI_STS）

偏移地址：0x08

复位值：0x0000 0002

位/域	名称	R/W	描述
31:11	保留		
10	BSBUSY	R	BISS-C/SSI 模式下 Busy
9	CDM_NE	R	CDM 非空状态
8	FREFLAG	R	帧格式错误标志 (Frame Format Error Flag) 0: 未发生 1: 发生 注: 在 TI 从模式下工作时, 使用此标志。该位由硬件置 1, 读取 SPI_STS 寄存器时清 0。
7	BSYFLAG	R	SPI 忙标志 (SPI Busy Flag) 0: SPI 空闲 1: SPI 正在通信 由硬件置位或者清除。
6	OVRFLAG	R	发生上溢标志 (Overrun Occur Flag) 0: 未发生 1: 发生 由硬件置位, 依次读取 SPI_DATA 寄存器和 SPI_STS 寄存器可以清除此位。。
5	MEFLAG	R	发生模式错误标志 (Mode Error Occur Flag) 0: 未发生 1: 发生 由硬件置位, 软件要清除此位, 需要先对此寄存器读或写操作, 再以 SPI_CTRL1 进行写操作
4	CRCEFLAG	RC_W0	发生 CRC 错误标志 (CRC Error Occur Flag) 该位表示接收的 CRC 值和 RXCRC 寄存器的值是否匹配 0: 匹配 1: 不匹配 该位由硬件置位, 软件对该位写 0 清除。
3:2	保留		
1	TXBEFLAG	R	发送缓冲器为空标志 (Transmit Buffer Empty Flag) 0: 非空 1: 空
0	RXBNEFLAG	R	接收缓冲非空标志 (Receive Buffer Not Empty Flag) 0: 空 1: 非空

21.7.4 SPI 数据寄存器 (SPI_DATA)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		

位/域	名称	R/W	描述
15:0	DATA	R/W	发送接收数据寄存器 (Transmit Receive Data register) 写该寄存器时, 会将数据写入发送缓冲区; 读该寄存器时, 是读取接收缓冲区的数据。 缓冲区的大小和数据帧的长度保持一致, 即对于 8 位数据, 发送、接收数据时只会用到 DATA[7:0], DATA[15:8]是无效; 对于 16 位数据, 发送、接收时会用到 DATA[15:0]。 当在 BISS-C/SSI 模式下, 发送数据只使用到 DATA[7:0]。

21.7.5 SPI CRC 多项式寄存器 (SPI_CRCPOLY)

偏移地址: 0x10

复位值: 0x0000 0007

位/域	名称	R/W	描述
31:16	保留		
15:0	CRCPOLY	R/W	设置 CRC 多项式数值 (CRC Polynomial Value Setup) 该寄存器是包含了 CRC 计算的 CRC 多项式, 可修改, 复位值是 0x0007。

21.7.6 SPI 接收 CRC 寄存器 (SPI_RXCRC)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	RXCRC	R	接收数据的 CRC 数值 (Receive Data CRC Value) 硬件计算接收数据的 CRC 数据存储在寄存器; 位数和数据帧的长度一致, 即如果接收数据是 8 位的, CRC 计算按 CRC8 方式; 如果接收数据是 16 位的, CRC 计算按 CRC16 计算。 当 CRCEN 置位时, 硬件清除该寄存器。 注意: 当 BSYFLG 位置 1 时, 读取 RXCRC 寄存器数值有可能错误。

21.7.7 SPI 发送 CRC 寄存器 (SPI_TXCRC)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	TXCRC	R	发送数据的 CRC 数值 (Transmit Data CRC Value) 硬件计算发送数据的 CRC 数据存储在寄存器; 位数和数据帧的长度一致, 即如果发送数据是 8 位的, CRC 计算按 CRC8 方式; 如果发送数据是 16 位的, CRC 计算按 CRC16 计算。 当 CRCEN 置位时, 硬件清除该寄存器。 注意: 当 BSYFLG 位置 1 时, 读取 RXCRC 寄存器数值有可能错误。

21.7.8 BISS-C 控制寄存器 (SPI_BCR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:5	保留		
4	CDM_DMAEN	R/W	BISS 模式下接受到 CDM 时的 DMA 请求使能 (DMA Request Enable When CDM Received in BISS Mode) 0: 禁用 1: 使能
3	CDM_IE	R/W	BISS 模式下接受到 CDM 时的中断使能 (Interrupt Enable When CDM Received in BISS Mode) 0: 禁用 1: 使能
2	STOP_EN	R/W	Stop_EN 使能 (Stop_EN Enable) 0: 禁用 1: 使能
1	SSI_EN	R/W	SSI 模式使能 (SSI Mode Enable) 0: 禁用 1: 使能
0	BISS_EN	R/W	BISS-C 模式使能 (BISS-C Mode Enable) 0: 禁用 1: 使能

21.7.9 BISS-C 配置寄存器 (SPI_BCFG)

偏移地址: 0x20

复位值: 0x0000 2850

位/域	名称	R/W	描述
31:14	保留		
13:8	FREQ_NUM[5:0]	R/W	Timeout 的时间 (Timeout Period) 超过该时间会产生 timeout 基准时间为 us 超时的时间按实际情况配置, 例如超时 40us 就配置为 6'h28
7:0	FREQ_NUM[7:0]	R/W	当前的 SPI 模块的系统时钟 (Current SPI Module System Clock) 用于产生 timeout 的基准时钟。 时钟按实际情况配置。例如, 时钟是 80MHz 就配置为 8'h50

21.7.10 CDM 数据寄存器 (SPI_CDMDATA)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:1	保留		
0	DATA	R	BISS-C 模式下接收到的 CDM 数据 (CDM Data Received in BISS-C Mode)

22 16 位模数转换器（16-bit ADC）

22.1 术语全称、缩写描述

表格 77 ADC 术语全称、缩写描述

中文全称	英文全称	英文缩写
模拟看门狗	Analog watchdog	AWD
转换	Conversion	C
注入	Injected	INJ
规则	Regular	REG
开始	Start	S
扫描	Scan	SCAN
单个	Single	SINGLE
自动	Automatic	A
组	Group	G
间断	Discontinuous	DISC
计数	Count	CNT
双数	Dual	DUAL
连续	Continuous	C
校准	Calibration	CAL
复位	Reset	RST
对齐	Alignment	ALIGN
外部	External	EXT
事件	Event	E
触发	Trigger	TRG
温度	Temperature	T
传感器	Sensor	S
时间	Time	TIM
采样	Sample	SMP
偏移	Offset	OF
高	High	H
低	Low	L
阈值	Threshold	T
序列	Sequence	SEQ

中文全称	英文全称	英文缩写
长度	Length	LEN
-		
规则通道	Regular Channels	REG
注入通道	Injected Channel	INJ
注入组	Injected Group	INJG
自动	Automatic	A
转换	Conversion	C
模拟看门狗	Analog Watchdog	AWD
间断模式	Discontinuous Mode	DISC
扫描模式	Scan Mode	SCAN
-		
连续转换	Continuous Conversion	CONTC
单次转换	Single Conversion	SINGLEC
外部	External	EXT
外部触发	External Trigger	EXTTRG
采样时间	Sample Time	SMPTIM
序列	Sequence	SEQ
数目	Number	NUM

22.2 简介

系列产品有 2 个 16 位精度的逐次逼近（SAR）型 ADC，每个 ADC 最多有 6 个外部通道，各通道 A/D 转换模式有单次、连续、扫描或间断，双 ADC 同步模式下的转换结果可以存储在主 ADC（ADC1）的 32 位数据寄存器中。

22.3 主要特征

- （1） 16 位分辨率，ENOB13.5bit
- （2） 内置高精度参考源：1.65V±2mV（25℃）
- （3） 16bit 分辨率下最大采样率达到 1Msps
- （4） 支持单端和差分模式输入，采样通道数（差分/单端）：最多 6 对差分/12 个单端
- （5） 支持规则序列、注入序列、单次、连续采样模式
- （6） 两个 ADC 支持主从模式，配置主从时候保持采样同步

- (7) 支持最高 16 倍过采样
- (8) 触发方式：可通过软件、硬件触发双 ADC 同步采样。支持多个内部或外部触发输入，每个 ADC 模块有触发方式选择：
 - 片上定时器信号触发
 - 外部引脚信号触发
 - 软件触发
- (9) 支持外部参考电压引脚，允许输入电压范围独立于供电电源
- (10) 高度通用的配置
 - 单次或连续/不连续序列的扫描模式，每个 ADC 可以转换多个通道或扫描一个通道序列
 - ADC 转换结果可以存储在 16/32 位结果寄存器或通过 DMA 直接传输到 RAM 中
 - 数据预处理：每通道偏移补偿
 - 通道可编程采样时间，灵活的采样时间控制
 - 模拟看门狗，用于自动电压监测、生成中断和所选计时器的触发器

22.4 功能描述

22.4.1 内部框图

下图为 ADC 模块的内部框图，它展示了各个功能模块的相互连接。

图 84 ADC16 位模块的内部框图

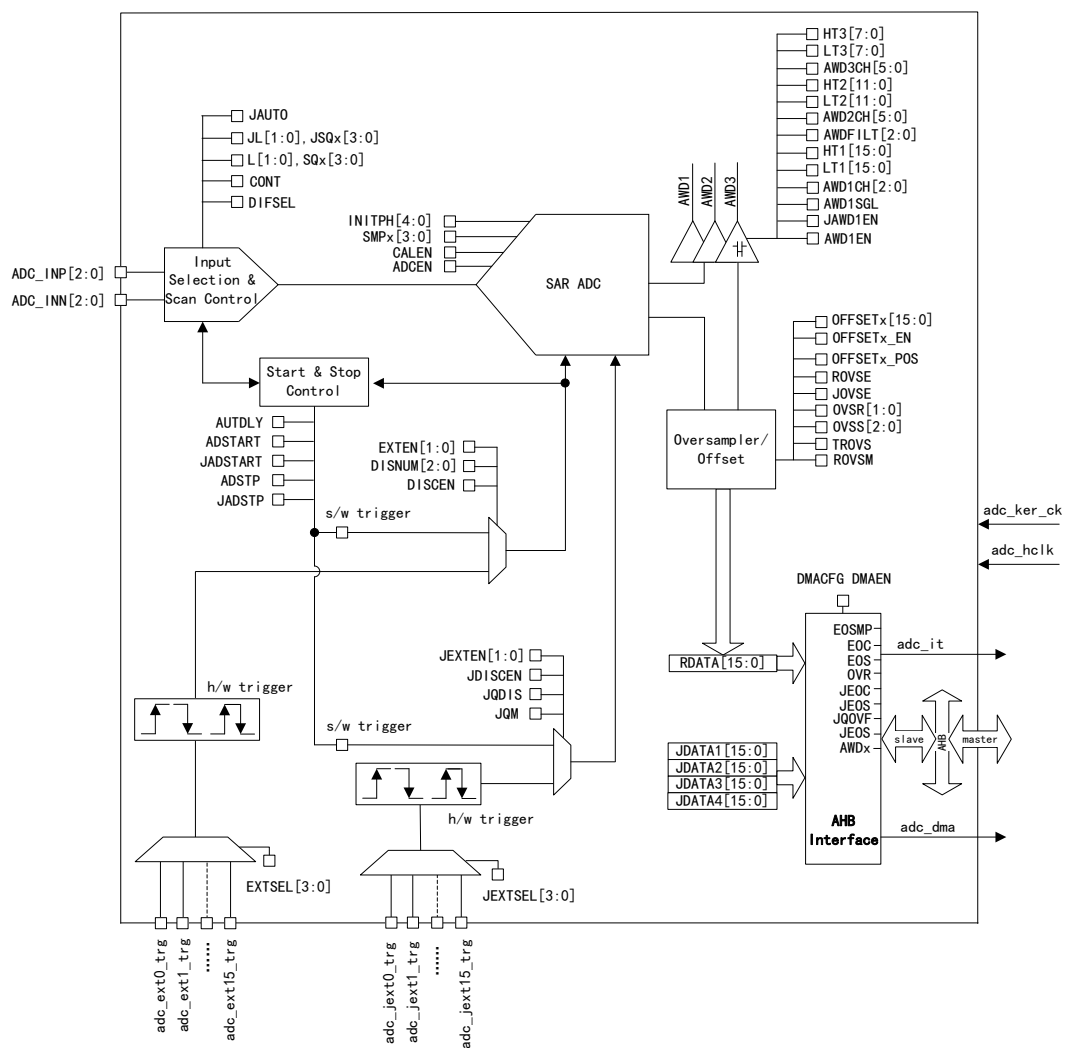
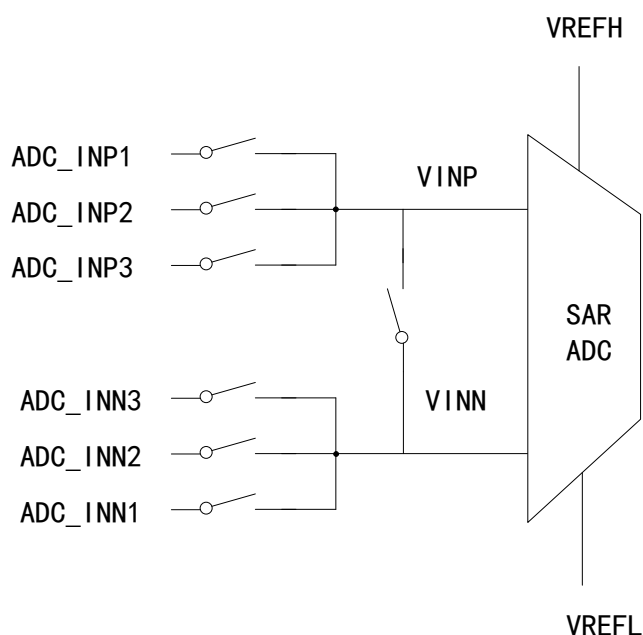


图 85 ADC 连接功能



22.4.2 信号和引脚

表格 78 ADC 内部输入/输出信号

内部信号名称	信号类型	说明
EXT[15:0]	输入	共有多达 16 个外部触发输入用于常规转换 (可连接至片上定时器)
JEXT[15:0]	输入	共有多达 16 个外部触发输入用于注入转换 (可连接至片上定时器)
adc_ker_ck	输入	ADC 内核时钟
adc_hclk	输入	ADC 外设时钟
adc_it	输出	ADC 中断
adc_dma	输出	ADC DMA 请求
VREFINT	输入	内部参考电压的输出电压

表格 79 ADC 输入/输出引脚

引脚名称	信号类型	说明
VREF+	正模拟参考电压输入	ADC 高/正参考电压, $1.625V \leq VREF+ \leq VDDA$
VDDA	模拟电源输入	模拟电源等于 VDDA: $1.62V \leq VDDA \leq 3.6V$
VREF-	负模拟参考电压输入	ADC 的低/负参考电压
VSSA	模拟电源地输入	模拟电源接地引脚
VINP[2:0]	正输入模拟通道	连接到外部通道: ADC_INPi 或内部通道
VINN[2:0]	负输入模拟通道	连接到 VREF-或外部通道: ADC1_INNi
ADC1_INN[3:1]	外部模拟输入信号	最多 3 个模拟输入通道
ADC1_INP[3:1]	外部模拟输入信号	最多 3 个模拟输入通道

22.4.3 总线和时钟

ADC 利用 AHB 从机端口实现控制/状态寄存器访问和数据访问。AHB 接口支持字（32 位）访问。

AHB 从机接口不支持分离/重试请求，且不会生成 AHB 错误。双时钟域架构意味着 ADC 时钟独立于 AHB 总线时钟。

通过 AHB 总线进行 32 位寄存器读写访问；ADC 采样、转换过程和数据处理采用独立的 ADC 时钟（基于系统时钟可配置 6、12、24 分频）。

22.4.4 单端通道和差分输入通道

可通过写入 ADCx_CFGR2 寄存器中的 DIFSEL 位将通道配置为单端输入或差分输入。

在单端输入模式下，转换电压为当前输入通道电压外部 VIN-0 之差；如果 VREFH = 内部参考电压（1.65V），转换范围是 0~2*内部参考电压，即 0~3.3V；如果 VREFH=外部参考电压，则转换范围是 0~外部参考电压。

在差分输入模式下，转换电压为外部 VINP-VINN 之差。如果 VREFH = 内部参考电压（1.65V），转换范围是-2*内部参考电压~ +2*内部参考电压，即-3.3V ~ +3.3V；如果 VREFH=外部参考电压，则转换范围是-外部参考电压~ +外部参考电压。

在差分模式下，如果 VREFH = 内部参考电压（1.65V），则输入信号共模电压为 1.65V；如果 VREF+ = VDDA，则输入信号共模为 VDDA/2。

在单端模式下输出 16 位无符号转换结果，差分模式下输出 16 位有符号转换结果。

22.4.5 ADC 开关控制

设置 ADCx_CR 寄存器的 ADEN 位为 1 可使能 ADC。

随后可通过设置 ADCx_CR 寄存器的 ADSTART 为 1 开始进行常规转换，如果触发器已使能，也可在发生外部触发事件时开始进行常规转换。

可通过设置 ADCx_CR 寄存器的 JADSTART 为 1 开始进行注入转换，如果注入触发器已使能，也可在发生外部注入触发事件时开始进行注入转换。

通过软件禁止 ADC 的流程：

- （1） 检查以确认 ADCx_CR 寄存器的 ADSTART 位和 JADSTART 位均为 0，以确保当前未执行任何转换。如有需要，可设置 ADSTP 位为 1，并设置 JADSTP 位为 1，随后等待至 ADSTP 位和 JADSTP 位均被硬件清 0，以停止任何正在进行的常规转换和注入转换。
- （2） 如果应用要求，可将 ADCx_CR 寄存器的 ADEN 位清 0，从而禁止 ADC。

22.4.6 写入 ADC 控制位时的限制

仅当 ADC 已禁止（ADCx_CR 寄存器的 ADEN 位必须等于 0）时，软件才可通过设置 RCM_SCCR 寄存器的 ADCADIV 位和 RCM_AHBCG 寄存器的 ADCxEN 位的方式配置和使能 ADC 时钟（请参见 SYSCTRL 章节的 CMU 部分）。

只有在 ADC 已使能，才允许软件向 ADCx_CR 寄存器的控制位 ADSTART、JADSTART、ADSTP 和 JADSTP 控制位执行写操作。

对于 ADCx_CFGR、ADCx_CFGR2、ADCx_SMPRx、ADCx_SQRy、ADCx_JDRy、ADCx_OFFSETy、ADCx_TRy、ADCx_AWD2CR、ADCx_AWD3CR 和 ADCx_IER 寄存器的所有其他控制位：

对于与常规转换配置相关的控制位，仅当 ADC 已使能（ADCx_CR 寄存器的 ADEN=1）且未进行常规转换（ADSTART 必须等于 0）时，才允许软件对这些位执行写操作。

对于与注入转换配置相关的控制位，仅当 ADC 已使能（ADCx_CR 寄存器的 ADEN=1）且未进行注入转换（JADSTART 必须等于 0）时，才允许软件对这些位执行写操作。

如果 ADC 已使能（ADCx_CR 寄存器的 ADEN=1），软件可随时对 ADCx_JSQR 寄存器执行写操作。

22.4.7 通道选择（SQRx、JSQRx）

每个 ADC 复用通道多达 6 条，可以将转换分为两组：常规转换和注入转换。每个组包含一个转换序列，该序列可按任意顺序在任意通道上完成。

一个常规转换组最多由 12 个转换构成。必须在 ADCx_SQRy 寄存器中选择转换序列的常规通道及其顺序。常规转换组中的转换总数必须写入 ADCx_SQR1 寄存器中的 RL[3:0]位。

一个注入转换组最多由 4 个转换构成。必须在 ADCx_JSQR 寄存器中选择转换序列的注入通道及其顺序。注入转换组中的转换总数必须写入 ADCx_JSQR 寄存器中的 JL[1:0]位。

不允许在可能进行常规转换时对 ADCx_SQRy 寄存器进行修改。因此，必须先设置 ADCx_CR 寄存器的 ADSTP 位=1 停止 ADC 常规转换；进行注入转换时，可实时修改 ADCx_JSQR 寄存器。

22.4.8 可独立设置各通道采样时间（SMPR1）

开始转换之前，ADC 必须在待测量电压源与 ADC 内置采样电容之间建立直接连接。该采样时间必须足以使输入电压源为嵌入式电容充电至输入电压水平。

对各通道进行采样时可以使用不同的采样时间，采样时间可通过 ADCx_SMPR1 寄存器中的 SMP[3:0]位编程，可选采样时间值 1~16 个 ADC 时钟周期。

总转换时间的计算公式如下：

$T_{CONV} = \text{采样时间} + 21 \text{ 个 ADC 时钟周期}$

ADC 通过将 ADCx_ISR 寄存器的 EOSMP 位硬件置 1 来指示采样阶段结束（仅限常规转换）。

22.4.9 单次转换模式（CONT=0）

在单次转换模式下，ADC 会将通道的所有转换执行一次。当设置 ADCx_CFGR 寄存器的 CONT 位为 0 时，可通过以下方式启动此模式：

- 将 ADCx_CR 寄存器中的 ADSTART 位设置为 1（适用于常规通道）
- 将 ADCx_CR 寄存器中的 JADSTART 位设置为 1（适用于注入通道）
- 外部硬件触发事件（适用于常规通道或注入通道）

在常规序列中，每次转换完成后：

- 转换数据存储在 ADCx_DR 寄存器中
- ADCx_ISR 寄存器的 EOC（常规转换结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 EOCIE 位设置为 1 时，转换完成将产生中断

在注入序列中，每次转换完成后：

- 转换数据存储在四个 ADCx_JDRy 寄存器的其中一个寄存器中
- ADCx_ISR 寄存器的 JEOP（注入转换结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 JEOPIE 位设置为 1 时，转换完成将产生中断

常规序列完成后：

- ADCx_ISR 寄存器的 EOS（常规序列结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 EOSIE 位设置为 1 时，转换完成将产生中断

注入序列完成后：

- ADCx_ISR 寄存器的 JEOS（注入序列结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 JEOSIE 位设置为 1 时，转换完成将产生中断

随后，ADC 会停止工作，直至发生新的外部常规或注入触发，或者 ADCx_CR 寄存器的 ADSTART 或 JADSTART 位再次置 1。

注意：要转换单个通道，可将序列长度编程为 1。

22.4.10 连续转换模式（CONT=1）

该模式仅适用于常规通道。

在连续转换模式下，如果发生软件或硬件常规触发事件，ADC 会将通道的所有常规转换执行一次，随后会自动重启并持续执行序列的每个转换。ADCx_CFGR 寄存器的 CONT 位为 1 时，可通过外部触发或将 ADCx_CR 寄存器中的 ADSTART 位置 1 来启动此模式。

在常规序列中，每次转换完成后：

- 转换数据存储在 ADCx_DR 寄存器中

- ADCx_ISR 寄存器的 EOC（转换结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 EOCIE 位设置为 1 时，转换完成将产生中断

转换序列完成后：

- ADCx_ISR 寄存器的 EOS（序列结束）标志被硬件置 1
- 当 ADCx_IER 寄存器的 EOSIE 位设置为 1 时，转换完成将产生中断
随后，会立即重启新序列，ADC 会继续重复执行转换序列。

注意：要转换单个通道，可将序列长度编程为 1。

不能同时使能不连续模式和连续模式，即：禁止同时将 ADCx_CFGR 寄存器的 DISCEN 位和 CONT 位置 1。

注入通道不能连续转换，唯一例外的是，在连续转换模式下（配置 ADCx_CFGR 寄存器的 JAUTO 位为 1）注入通道可以配置为在常规通道后的自动转换。

22.4.11 开始转换（ADSTART、JADSTART）

软件通过将 ADCx_CR 寄存器的 ADSTART 置 1 的方式开始进行 ADC 常规转换。

ADSTART 置 1 后，会开始进行转换：

- 立即开始转换：ADCx_CFGR 寄存器的 EXTEN[1:0]位为 00 时（软件触发）
- 在所选常规硬件触发的下一有效边沿开始转换：ADCx_CFGR 寄存器的 EXTEN 位不为 0 时软件通过将 ADCx_CR 寄存器的 JADSTART 置 1 的方式开始进行 ADC 注入转换。

JADSTART 置 1 后，会开始进行转换：

- 立即开始转换：ADCx_CFGR 寄存器的 JEXTEN 位为 0 时（软件触发）
- 在所选注入硬件触发的下一有效边沿开始转换：ADCx_CFGR 寄存器的 JEXTEN[1:0]位不为 00 时

注意：在自动注入模式下（设置 ADCx_CFGR 寄存器的 JAUTO 位为 1），使用 ADSTART 位开始常规转换，然后再进行自动注入转换（ADCx_CR 寄存器的 JADSTART 必须保持清零）。

ADCx_CR 寄存器的 ADSTART 位和 JADSTART 位还提供当前是否正在进行 ADC 操作的信息。可以在 ADSTART=0 且 JADSTART=0（指示 ADC 处于空闲状态）时重新配置 ADC。

ADSTART 通过硬件清零：

在使用软件常规触发的单次模式下（设置 ADCx_CFGR 寄存器的 CONT 位为 0，EXTEN 位为 0）

- 如果设置 ADCx_CFGR 寄存器的 DISCEN 位为 1，只要常规转换序列结束（EOS 置 1）或子组处理结束就清零在所有情况下（设置 ADCx_CFGR 寄存器的 CONT 位为非 0 值、EXTEN[1:0]位为非 00 值）
- 执行由软件设置的 ADCx_CR 寄存器的 ADSTP 位为 1 之后清零

注意：在连续模式下（设置 ADCx_CFGR 寄存器的 CONT 位为 1），由于序列会自动重新启动，因此，当 ADCx_ISR 寄存器的 EOS 位被硬件置 1 时，ADCx_CR 寄存器的 ADSTART 位不会通过硬件清零。

如果在单次模式下选择了硬件触发（设置 ADCx_CFGR 寄存器的 CONT 位为 0，EXTEN 位不为 0），当 ADCx_ISR 寄存器的 EOS 位被硬件置 1 时，ADCx_CR 寄存器的 ADSTART 位不会通过硬件清零，借此软件无需再次为下一个硬件触发事件复位 ADSTART。这样可确保不会错过任何后续的硬件触发。

JADSTART 通过硬件清零：

在使用软件注入触发的单次模式下（设置 ADCx_CFGR 寄存器的 JEXTEN[1:0] 位为 00）

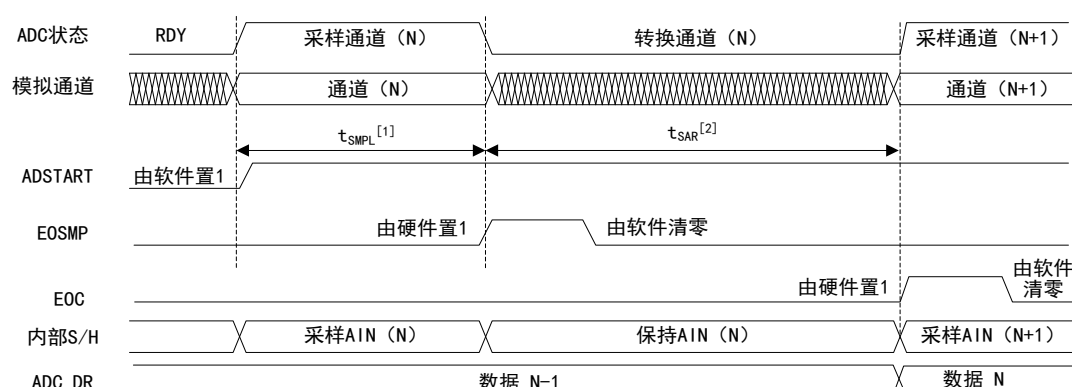
- 如果设置 ADCx_CFGR 寄存器的 JDISCEN 位为 1，只要注入转换序列结束（JEOS 置 1）或子组处理结束就清零在所有情况下（设置 ADCx_CFGR 寄存器的 JEXTEN[1:0] 位不为 00）
- 执行由软件设置的 ADCx_CR 寄存器的 JADSTP 位为 1 之后清零

注意：选择软件触发时，如果 ADCx_ISR 寄存器的 EOC 标志仍为高电平，则不应将 ADSTART 位置 1。

22.4.12 ADC 时序

从转换开始到转换结束所经过的时间是配置的采样时间与逐次逼近时间的总和。

图 86 模数转换时间



注意：

- (1) t_{SMP} 取决于 SMPx[3:0]。
- (2) t_{SAR} 为转换时间：21 个 ADC_CLK 周期。

22.4.13 停止正在进行的转换（ADSTP、JADSTP）

软件决定是否停止转换，要停止正在进行的常规转换，应设置 ADCx_CR 寄存器的 ADSTP 位为 1；要停止正在进行的注入转换，应设置 JADSTP 位为 1。

停止转换将复位正在进行的 ADC 操作。随后可重新配置 ADC（例如：更改通道选择或触发），为新操作做好准备。

注意：可以在常规转换仍在执行时停止注入转换，反之亦然。这样便可在常规转换仍在进行时重新配置注入转换序列和触发（反之亦然）。

如果 **ADCx_CR** 寄存器的 **ADSTP** 位由软件设置为 1，则会中止任何正在进行的常规转换，并会丢弃部分转换结果（**ADCx_DR** 寄存器不会更新为当前转换结果）。

如果 **ADCx_CR** 寄存器的 **JADSTP** 位由软件设置为 1，则会中止任何正在进行的注入转换，并会丢弃部分转换结果（**ADCx_JDRy** 寄存器不会更新为当前转换结果）。扫描序列也会中止并会复位（这意味着重启 **ADC** 将重新开始新的序列）。

该程序执行完毕后，**ADCx_CR** 寄存器的 **ADSTP/ADSTART** 位（常规转换时）或 **JADSTP/JADSTART** 位（注入转换时）会由硬件清零，软件必须轮询 **ADSTART**（或 **JADSTART**）直至其复位，然后才能判定 **ADC** 已完全停止运行。

注意：在自动注入模式下（设置 **ADCx_CFGR** 寄存器的 **JAUTO** 位为 1），设置 **ADCx_CR** 寄存器的 **ADSTP** 位为 1 会中止常规转换和注入转换（不得使用 **JADSTP**）。

图 87 停止正在进行的常规转换

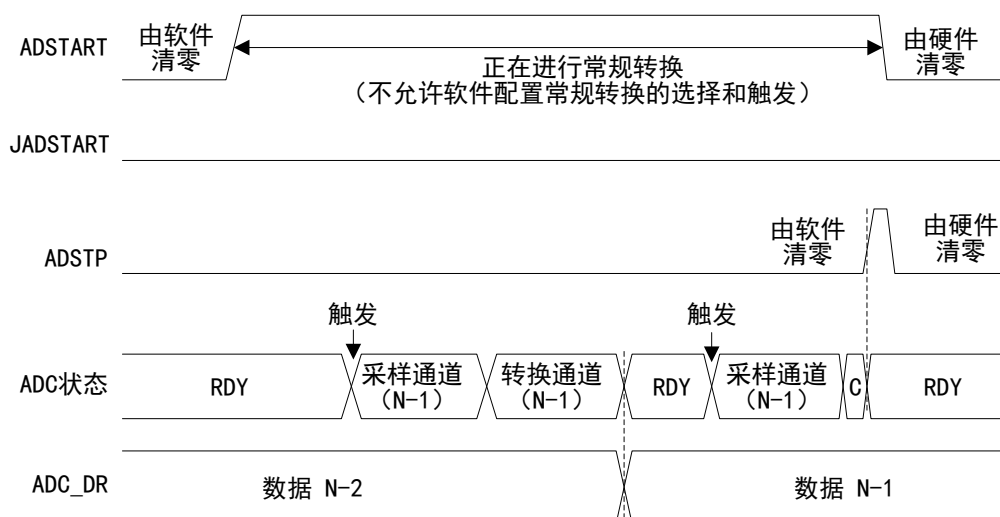
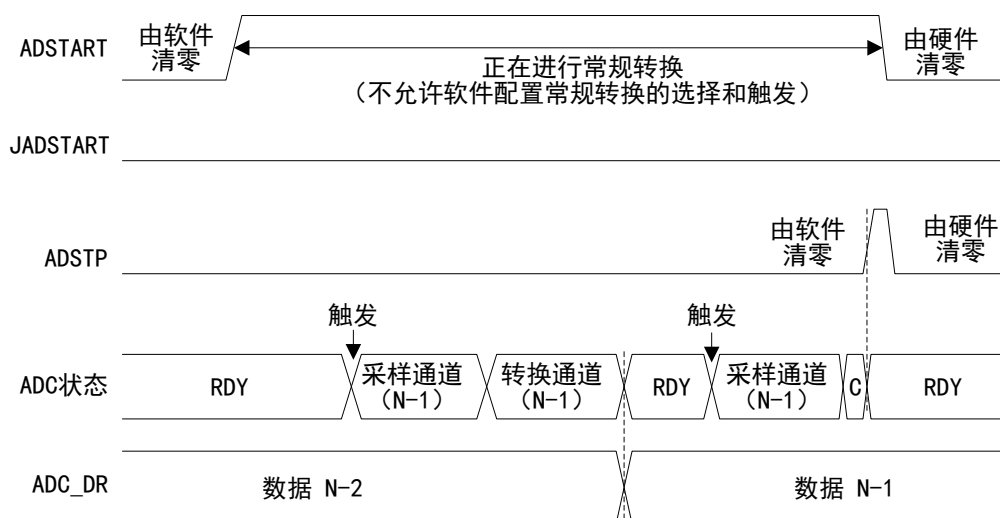


图 88 停止正在进行的常规转换和注入转换



22.4.14 外部触发转换和触发极性（EXTSEL、EXTEN、JEXTSEL、JEXTEN）

可通过软件或外部事件（例如定时器捕获、输入引脚）触发转换或转换序列。如果 ADCx_CFGR 寄存器的 EXTEN[1:0]控制位（对于常规转换）或 ADCx_JSQR 寄存器的 JEXTEN[1:0]位（对于注入转换）均不为“00”，则外部事件能够以所选极性触发转换。

注入队列使能时（ADCx_CFGR 寄存器的 JQDIS 位设置为 1），不能实现注入软件触发。

软件将 ADCx_CR 寄存器的 ADSTART 位设置为 1 后，常规触发选择有效；软件将 ADCx_CR 寄存器的 JADSTART 位设置为 1 后，注入触发选择有效。

在转换进行时发生的硬件触发会被忽略。

- 如果 ADSTART 位设置为 0，则会忽略发生的任何常规硬件触发。
- 如果 JADSTART 位设置为 0，则会忽略发生的任何注入硬件触发。

下表提供了 ADCx_CFGR 寄存器的 EXTEN[1:0]和 ADCx_JSQR 寄存器的 JEXTEN[1:0]值与触发极性之间的对应关系。

表格 80 常规外部触发配置触发极性

EXTEN[1:0]	源
00	禁止硬件触发检测，使能软件触发检测
01	在上升沿执行硬件触发检测
10	在下降沿执行硬件触发检测
11	在上升沿和下降沿均执行硬件触发检测

注意：不能实时更改常规触发的极性。

表格 81 注入外部触发配置触发极性

JEXTEN[1:0]	源
00	如果 JQDIS=1（队列禁止）：禁止硬件触发检测，使能软件触发检测 如果 JQDIS=0（队列使能）：同时禁止硬件和软件触发检测
01	在上升沿执行硬件触发检测
10	在下降沿执行硬件触发检测
11	在上升沿和下降沿均执行硬件触发检测

注意：如果队列已使能（ADCx_CFGR 寄存器的 JQDIS 位设置为 0），可预计并实时更改注入触发的极性。

ADCx_CFGR 寄存器的 EXTSEL[3:0]和 ADCx_JSQR 寄存器的 JEXTSEL[3:0]控制位用于从 16 个可能事件中选择可触发常规组转换和注入组转换的事件。可通过注入触发中断常规组转换。

注意：不能实时更改常规触发选择。可以预计并实时更改注入触发选择。

下表列出了用于常规转换和注入转换的 ADC 的所有可能存在的外部触发。

表格 82 常规通道的外部触发

源	类型	EXTSEL[3:0]
TMR1_CC1	来自片上定时器的内部信号	0000
TMR1_CC2	来自片上定时器的内部信号	0001
TMR1_CC3	来自片上定时器的内部信号	0010
TMR2_CC2	来自片上定时器的内部信号	0011
TMR3_TRGO	来自片上定时器的内部信号	0100
TMR4_CC4	来自片上定时器的内部信号	0101
EINT line 11	外部引脚	0110
TMR1_TRGO	来自片上定时器的内部信号	0111
TMR2_TRGO	来自片上定时器的内部信号	1000
TMR4_TRGO	来自片上定时器的内部信号	1001
TMR3_CC4	来自片上定时器的内部信号	1010

表格 83 注入通道的外部触发

源	类型	JEXTSEL[3:0]
TMR1_TRGO	来自片上定时器的内部信号	0000
TMR1_CC4	来自片上定时器的内部信号	0001
TMR2_TRGO	来自片上定时器的内部信号	0010
TMR2_CC1	来自片上定时器的内部信号	0011
TMR3_CC4	来自片上定时器的内部信号	0100
TMR4_TRGO	来自片上定时器的内部信号	0101
EINT line 15	外部引脚	0110
TMR3_CC3	来自片上定时器的内部信号	0111
TMR3_TRGO	来自片上定时器的内部信号	1000
TMR3_CC1	来自片上定时器的内部信号	1001

22.4.15 注入通道管理

触发注入模式

要使用触发注入，必须将 ADCx_CFGR 寄存器中的 JAUTO 位设置为 0。

- 通过外部触发或将 ADCx_CR 寄存器中的 ADSTART 位设置为 1 来启动常规通道组转换。
- 如果在常规通道组转换期间出现外部注入触发或者 ADCx_CR 寄存器中的 JADSTART 位设置为 1，则当前的转换会复位，并会启动注入通道序列切换（所有注入通道都会转换一次）。
- 然后，常规通道组的常规转换会从上上次中断的常规转换处恢复。
- 如果在注入转换期间出现常规事件，注入转换不会中断，但在注入序列结束时执行常规序列。

注意：使用触发注入时，必须确保触发事件之间的间隔长于注入序列。

自动注入模式

如果将 ADCx_CFGR 寄存器中的 JAUTO 位设置为 1，则注入组中的通道会在常

规组通道之后自动转换。这可用于转换最多由 16 个转换构成的序列，这些转换在 ADCx_SQRy 和 ADCx_JSQR 寄存器中编程。

在该模式下，必须将 ADCx_CR 寄存器中的 ADSTART 位设置为 1 以开始常规转换，然后再进行注入转换（JADSTART 必须保持为 0）。将 ADSTP 位设置为 1 会中止常规转换和注入转换（不得使用 JADSTP 位）。在此模式下，必须禁止注入通道上的外部触发。

如果 ADCx_CFGR 寄存器中的 CONT 位和 JAUTO 位均已设置为 1，则常规通道及随后的注入通道会被连续转换。

注意：不能同时使用自动注入和不连续采样模式。

如果在注入组自动转换模式下使用 DMA 导出常规定序器的数据，需要将其设定为循环模式（将 DMA_SCFG 寄存器中的 CIRC MEN 位设置为 1）。如果 CIRC MEN 位设置为 0（禁用循环模式），注入组自动转换序列将在出现 DMA 传输完成事件时停止。

22.4.16 不连续模式（DISCEN、DISCNUM、JDISCEN）

常规组模式

可将 ADCx_CFGR 寄存器中的 DISCEN 位设置为 1 来使能此模式。

该模式用于转换含有 n ($n \leq 6$) 个转换的短序列（子组），该短序列是在 ADCx_SQRy 寄存器中选择的转换序列的一部分。可通过写入 ADCx_CFGR 寄存器中的 DISCNUM[2:0] 位来指定 n 的值。

出现外部触发时，将启动在 ADCx_SQRy 寄存器中选择的接下来 n 个转换，直到序列中的所有转换均完成为止。通过 ADCx_SQR1 寄存器中的 RL[3:0] 位定义总序列长度。

示例：

DISCEN=1, $n=3$, 要转换的通道=1、2、3、6、7、8、9、10、11

- 第一次触发：转换的通道为 1、2、3（每次转换时都生成 EOC 事件）。
- 第二次触发：转换的通道为 6、7、8（每次转换时都生成 EOC 事件）。
- 第三次触发：转换的通道为 9、10、11（每次转换时都生成 EOC 事件），并会在通道 11 转换完成后生成 EOS 事件。
- 第四次触发：转换的通道为 1、2、3（每次转换时都生成 EOC 事件）。
- ...

DISCEN=0, 要转换的通道=1、2、3、6、7、8、9、10、11

- 第一次触发：转换整个序列：通道 1、然后是通道 2、3、6、7、8、9、10 和 11。每次转换都会生成 EOC 事件，最后一次转换还会生成 EOS 事件。

- 所有后续触发事件都将重启整个序列。

注意：在不连续模式下转换常规组时，不会出现翻转（序列最后一个子组的转换次数少于 n 次）。

转换完所有子组后，下一个触发信号将启动第一个子组的转换。在上述示例中，第四次触发重新转换了第一个子组中的通道 1、2 和 3。

不能同时使能不连续模式和连续模式。如果同时使能两种模式（即 $DISCEN=1$ 、 $CONT=1$ ），ADC 会认定连续模式已禁止并继续执行相关操作。

注入组模式

可将 $ADCx\_CFGR$ 寄存器中的 $JDISCEN$ 位设置为 1 来使能此模式。在出现外部注入触发事件之后，该模式会逐通道转换在 $ADCx\_JSQR$ 寄存器中选择的序列，相当于不连续模式下常规通道“ n ”固定为 1 的情况。

出现外部触发时，将启动在 $ADCx\_JSQR$ 寄存器中选择的下一个通道转换，直到序列中的所有转换均完成为止。通过 $ADCx\_JSQR$ 寄存器中的 $JL[1:0]$ 位定义总序列长度。

示例：

$JDISCEN=1$ ，要转换的通道=1、2、3

- 第一次触发：转换通道 1（生成 $JEOC$ 事件）
- 第二次触发：转换通道 2（生成 $JEOC$ 事件）
- 第三次触发：转换通道 3 并生成 $JEOC$ 事件和 $JEOS$ 事件
- ...

注意：转换完所有注入通道后，下一个触发信号将启动第一个注入通道的转换。在上述示例中，第 4 次触发重新转换了第 1 个注入通道 1。

不能同时使用自动注入模式和不连续模式：当 $ADCx\_CFGR$ 寄存器中的 $JAUTO$ 设置为 1 时， $DISCEN$ 和 $JDISCEN$ 位必须通过软件保持清零状态。

注入转换的上下文队列

实现上下文队列可为下一个注入转换序列准备多达 2 个上下文。必须将 $ADCx\_CFGR$ 寄存器的 $JQDIS$ 位设置为 0 才能使能此功能。上下文队列使能时，只能进行硬件触发转换。

该上下文包括：

- 注入触发的配置（ $ADCx\_JSQR$ 寄存器中的 $JEXTEN[1:0]$ 位和 $JEXTSEL$ 位）
- 注入序列的定义（ $ADCx\_JSQR$ 寄存器中的 $JSQx[4:0]$ 位和 $JL[1:0]$ 位）

上下文的所有参数都会在 $ADCx\_JSQR$ 这一寄存器中定义，该寄存器会实现一个双缓冲区队列，可缓冲多达 2 组参数：

- $ADCx\_JSQR$ 寄存器可随时写入，正在进行注入转换时也不例外。

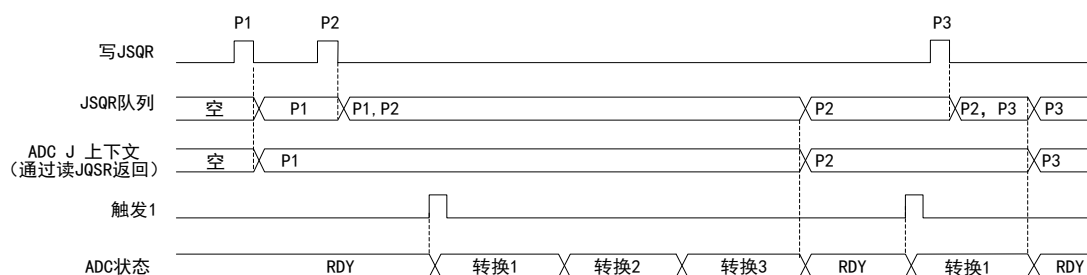
- 每个写入到 **ADCx_JSQR** 寄存器中的数据均会存储在上下文队列中。
- 队列开始时为空，对 **ADCx_JSQR** 寄存器进行的第一次写访问时会立即更改上下文，随即 **ADC** 会准备好接收注入触发。
- 注入序列完成后，队列会被占用，上下文会根据队列中存储的后续 **JSQR** 参数进行更改。这一新的上下文会用于下一个注入转换序列。
- 如果在队列已满的情况下向 **ADCx_JSQR** 寄存器执行写操作，会发生队列溢出。这种溢出情况会通过 **ADCx_ISR** 寄存器的 **JQOVF** 标志位被硬件设置为 1 来指示。发生溢出时，会忽略造成溢出的 **ADCx_JSQR** 寄存器写访问，并且上下文队列保持不变。如果 **ADCx_IER** 寄存器的 **JQOVFIE** 位置 1，可产生中断。
- 队列变空时可能执行两种操作，具体取决于寄存器 **ADCx_CFGR** 的控制位 **JQM** 的值。
 - 如果寄存器 **ADCx_CFGR** 的 **JQM=0**，队列刚好在使能 **ADC** 后为空，但在随后的运行操作期间绝不会变空：队列始终保留上一个有效的上下文，并会根据上一个有效的上下文处理后续的有效注入序列启动。
 - 如果寄存器 **ADCx_CFGR** 的 **JQM=1**，队列会在注入序列结束后或队列被清空时变空。这种情况下，队列中不存在任何上下文，硬件触发也会被禁止。因此会忽略后续的所有硬件注入触发，直至软件重新向 **JSQR** 寄存器写入新的注入上下文。
- 读取 **ADCx_JSQR** 寄存器会返回当前有效的 **JSQR** 上下文。如果 **JSQR** 上下文为空，**JSQR** 的读出值为 0x0000。
- 如果通过将 **ADCx_CR** 寄存器的 **JADSTP** 位设置为 1 的方式停止注入转换，队列会被清空。
 - 如果寄存器 **ADCx_CFGR** 的 **JQM=0**，队列会保留上一个有效的上下文。
 - 如果寄存器 **ADCx_CFGR** 的 **JQM=1**，队列会变空，并会忽略触发。

注意：如果配置为不连续模式（**ADCx_CFGR** 寄存器中的位 **JDISCEN=1**），只有注入序列的最后一次触发会更改上下文并占用队列。第一次触发仅会占用队列，但其他触发仍为有效触发，如下文中的不连续模式示例所示（两个上下文的长度均为 3）：

- 第一次触发，不连续。序列 1：上下文 1 已占用，已执行第一次转换。
- 第二次触发，不连续。序列 1：第二次转换。
- 第三次触发，不连续。序列 1：第三次转换。
- 第四次触发，不连续。序列 2：上下文 2 已占用，已执行第一次转换。
- 第五次触发，不连续。序列 2：第二次转换。
- 第六次触发，不连续。序列 2：第三次转换。

更改触发或序列上下文时的操作

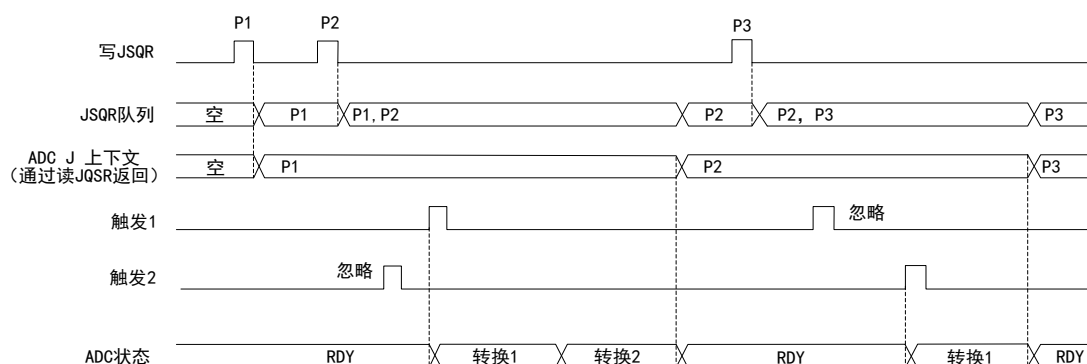
图 89 JSQR 上下文队列示例（队列更改）



参数:

- P1: 3 个转换组成的序列, 硬件触发 1
- P2: 1 个转换组成的序列, 硬件触发 1
- P3: 4 个转换组成的序列, 硬件触发 1

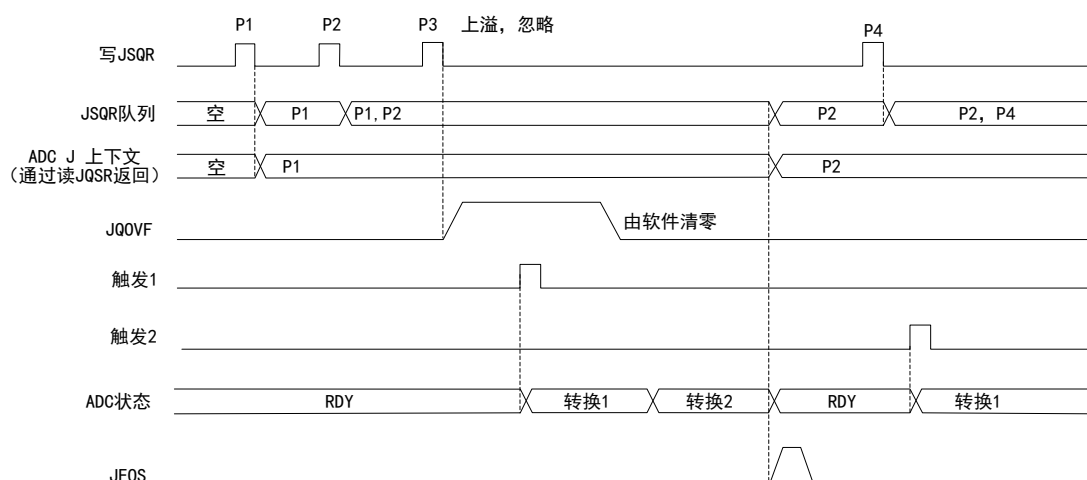
图 90 JSQR 上下文队列示例（触发更改）



参数:

- P1: 2 个转换组成的序列, 硬件触发 1
- P2: 1 个转换组成的序列, 硬件触发 2
- P3: 4 个转换组成的序列, 硬件触发 1

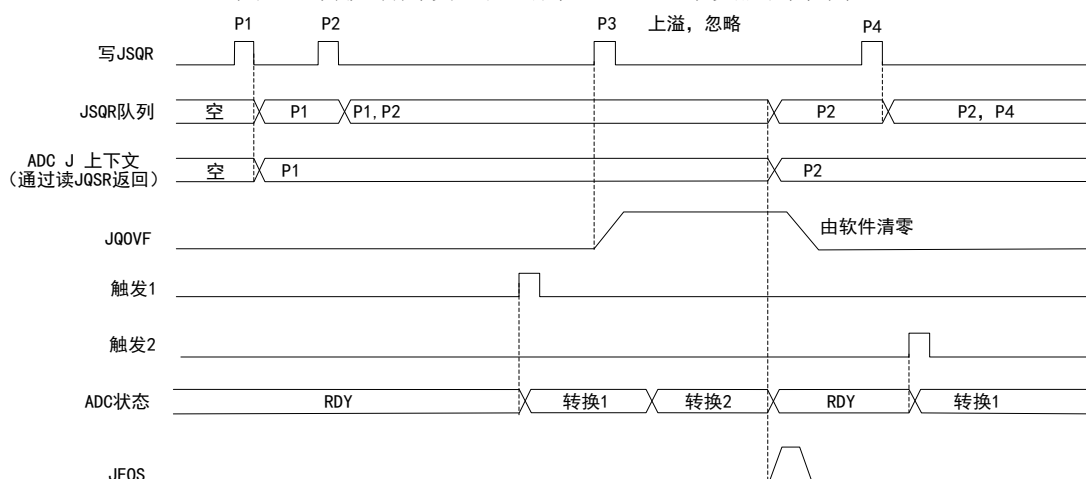
图 91 转换前发生溢出的 JSQR 上下文队列示例



参数:

- P1: 2 个转换组成的序列，硬件触发 1
- P2: 1 个转换组成的序列，硬件触发 2
- P3: 3 个转换组成的序列，硬件触发 1
- P4: 4 个转换组成的序列，硬件触发 1

图 92 转换期间发生溢出的 JSQR 上下文队列示例



参数:

- P1: 2 个转换组成的序列，硬件触发 1
- P2: 1 个转换组成的序列，硬件触发 2
- P3: 3 个转换组成的序列，硬件触发 1
- P4: 4 个转换组成的序列，硬件触发 1

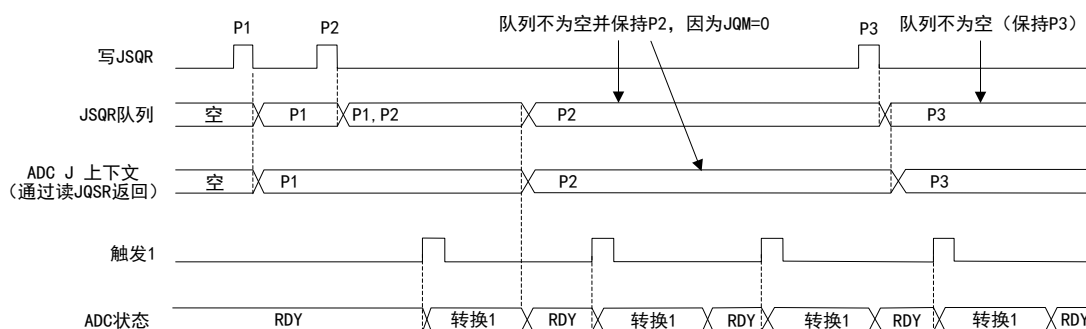
建议按照下述方法管理队列溢出:

将每个 P 上下文写入 `ADCx_JSQR` 寄存器后，通过 `ADCx_ISR` 寄存器的 `JQOVF` 位指示写操作是否已被忽略（可生成中断）。

为避免队列溢出，仅在上一个上下文 P2 的 `ADCx_ISR` 寄存器的 `JEOS` 标志位硬件设置为 1 后写入第三个上下文（P3）。这样可确保上一个上下文已被占用且队列未滿。

上下文队列：队列变空时的操作

图 93 队列为空时的 JSQR 上下文队列示例（寄存器 `ADCx_CFGR` 的 `JQM=0` 的情况）

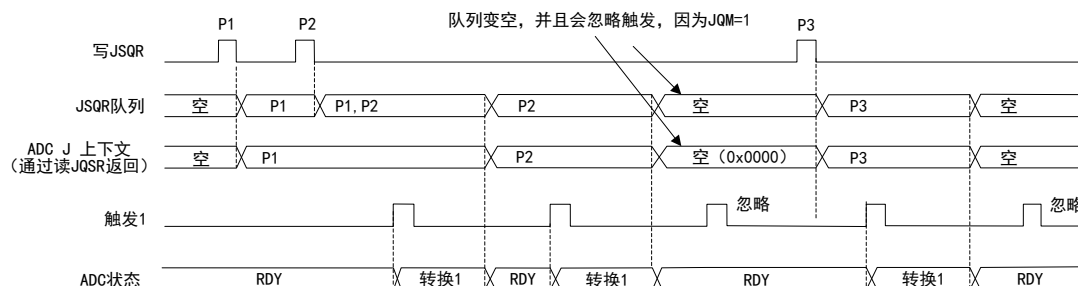


参数:

- P1: 1 个转换组成的序列，硬件触发 1
- P2: 1 个转换组成的序列，硬件触发 1
- P3: 1 个转换组成的序列，硬件触发 1

注意：写入 P3 时，上下文会立即改变。但由于内部重新同步的原因，会存在一定的延迟，如果刚好在写入 P3 之后或之前发生触发，可能会发生启动的转换被视为上下文 P2 的情况。为了避免出现这种情况，用户必须确保写入立即应用的新上下文时没有发生 ADC 触发。

图 94 队列为空时的 JSQR 上下文队列示例（寄存器 ADCx_CFGR 的 JQM=1 的情况）



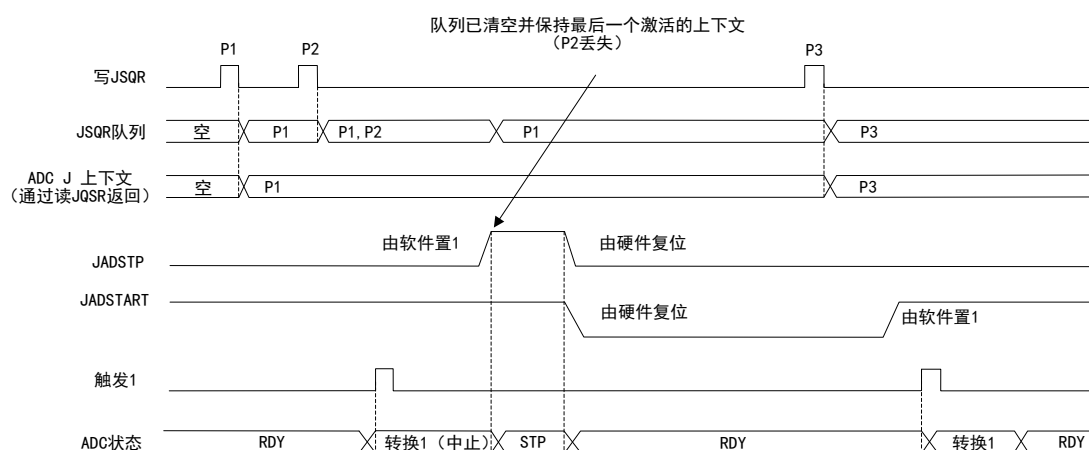
参数：

- P1: 1 个转换组成的序列，硬件触发 1
- P2: 1 个转换组成的序列，硬件触发 1
- P3: 1 个转换组成的序列，硬件触发 1

清空上下文队列

下图显示的是各种情况下清空队列时上下文队列的操作。

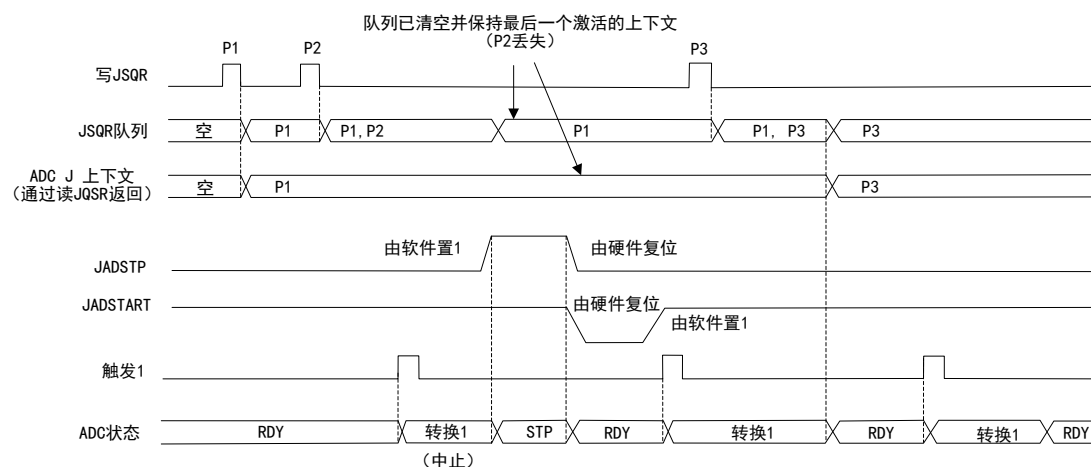
图 95 通过将 ADCx_CR 寄存器的 JADSTP 位设置为 1 的方式清空 JSQR 上下文队列（寄存器 ADCx_CFGR 的 JQM=0）



参数：

- P1: 1 个转换组成的序列，硬件触发 1
- P2: 1 个转换组成的序列，硬件触发 1
- P3: 1 个转换组成的序列，硬件触发 1

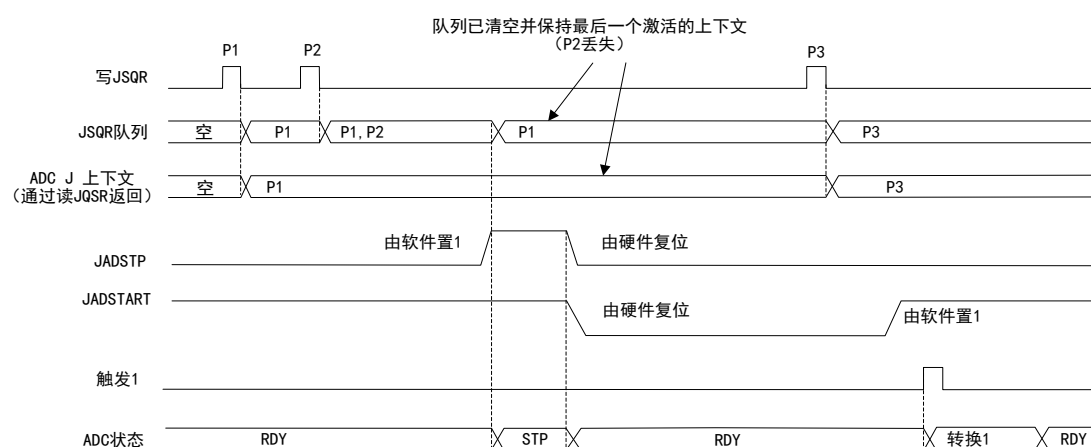
图 96 通过将 ADCx_CR 寄存器的 JADSTP 位设置为 1 的方式清空 JSQR 上下文队列（寄存器 ADCx_CFGR 的 JQM=0）



参数:

- P1: 1 个转换组成的序列, 硬件触发 1
- P2: 1 个转换组成的序列, 硬件触发 1
- P3: 1 个转换组成的序列, 硬件触发 1

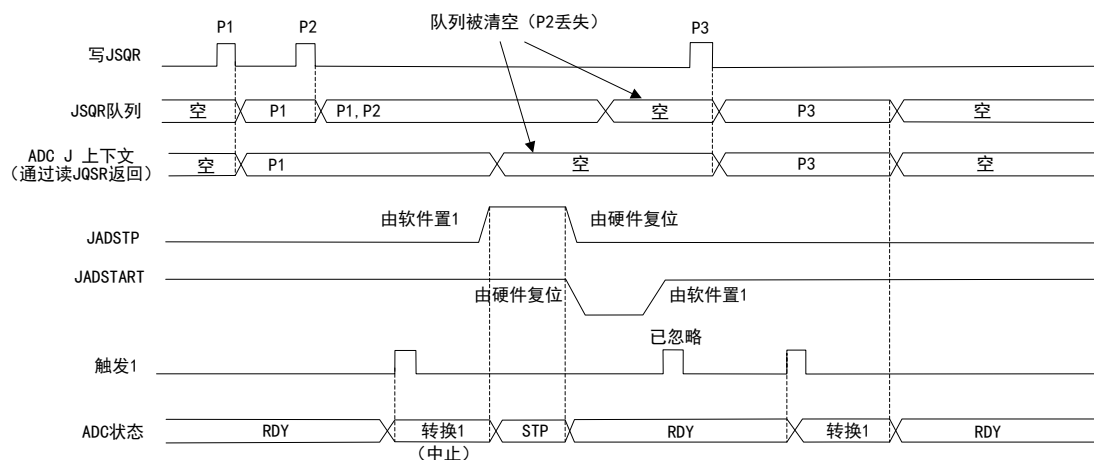
图 97 通过将 ADCx_CR 寄存器的 JADSTP 位设置为 1 的方式清空 JSQR 上下文队列（寄存器 ADCx_CFGR 的 JQM=0）



参数:

- P1: 1 个转换组成的序列, 硬件触发 1
- P2: 1 个转换组成的序列, 硬件触发 1
- P3: 1 个转换组成的序列, 硬件触发 1

图 98 通过将 ADCx_CR 寄存器的 JADSTP 位设置为 1 的方式清空 JSQR 上下文队列（寄存器 ADCx_CFGR 的 JQM=1）



参数:

- P1: 1 个转换组成的序列, 硬件触发 1
- P2: 1 个转换组成的序列, 硬件触发 1
- P3: 1 个转换组成的序列, 硬件触发 1

上下文队列: 在队列为空时启动 ADC

要在队列为空时启动 ADC 操作, 必须按照以下程序进行操作, 以免在 ADC 初始化时无法获悉第一个上下文。此程序仅在寄存器 ADCx_CFGR 的 JQM 位为 0 的情况下适用:

- (1) 写入空 JSQR, 且应保证 ADCx_JSQR 寄存器的 JEXTEN[1:0]位不等于 0 (否则会触发软件转换)
- (2) 将 ADCx_CR 寄存器的 JADSTART 位设置为 1
- (3) 将 ADCx_CR 寄存器的 JADSTP 位设置为 1
- (4) 等待, 直至 ADCx_CR 寄存器的 JADSTART 位复位
- (5) 将 ADCx_CR 寄存器的 JADSTART 位设置为 1

可通过将 ADCx_CFGR 寄存器中的 JQDIS 位置 1 的方式禁用队列。

22.4.17 转换结束、采样阶段结束 (EOC、JEOC、EOSMP)

每次出现常规转换结束 (EOC) 事件和注入转换结束 (JEOC) 事件时, ADC 都会通知应用。

新的常规转换数据出现在 ADCx_DR 寄存器中后, ADC 会立即将 ADCx_ISR 寄存器的 EOC 标志位硬件设置为 1。如果 ADCx_IER 寄存器的 EOCIE 位设置为 1, 可产生中断。EOC 标志可通过由软件向其写入 1 或读取 ADCx_DR 寄存器的方式来清零。

新的注入转换数据出现在 ADCx_JDRy 寄存器中后，ADC 会立即将 ADCx_ISR 寄存器的 JEOC 标志位硬件设置为 1。如果 ADCx_IER 寄存器的 JEOCIE 位设置为 1，可产生中断。JEOC 标志可通过由软件向其写入 1 或读取相应 ADCx_JDRy 寄存器的方式来清零。

ADC 还通过将 ADCx_ISR 寄存器的状态位 EOSMP 位硬件设置为 1 来指示采样阶段结束（仅限常规转换）。EOSMP 标志可通过由软件向其写入 1 的方式来清零。如果 ADCx_IER 寄存器的 EOSMPIE 位置 1，可产生中断。

22.4.18 转换序列结束（EOS、JEOS）

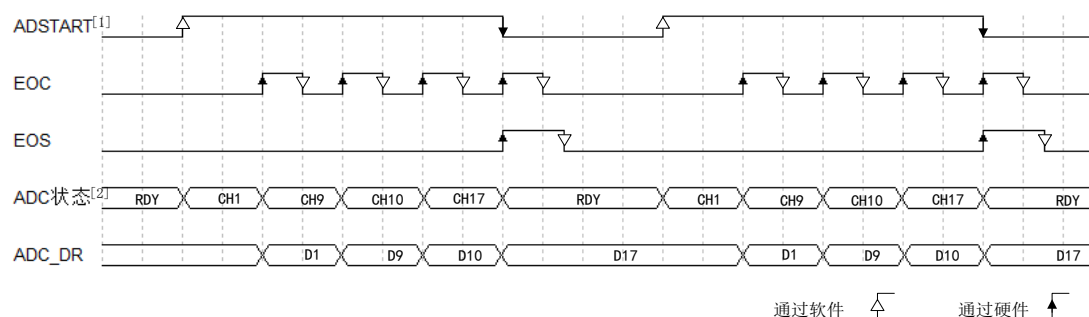
每次出现常规序列结束（EOS）事件和注入序列结束（JEOS）事件时，ADC 都会通知应用。

常规转换序列的最后一个数据出现在 ADCx_DR 寄存器中时，ADC 会立即将 ADCx_ISR 寄存器的 EOS 标志位硬件设置为 1。如果 ADCx_IER 寄存器的 EOSIE 位设置为 1，可产生中断。EOS 标志可通过由软件向其写入 1 的方式来清零。

注入转换序列的最后一个数据完成时，ADC 会立即将 ADCx_ISR 寄存器的 JEOS 标志位硬件设置为 1。如果 ADCx_IER 寄存器的 JEOSIE 位设置为 1，可产生中断。JEOS 标志可通过由软件向其写入 1 的方式来清零。

22.4.19 时序图示例（单次模式/连续模式，硬件/软件触发）

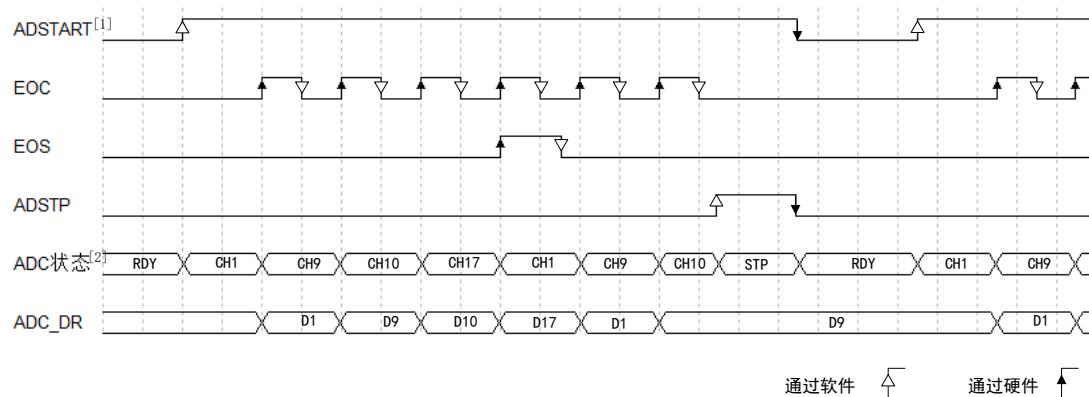
图 99 单次序列转换，软件触发



注意：

- (1) ADCx_CFGR 寄存器的 EXTEN[1:0]=00，CONT=0
- (2) 所选通道=1、9、10、17；AUTDLY=0

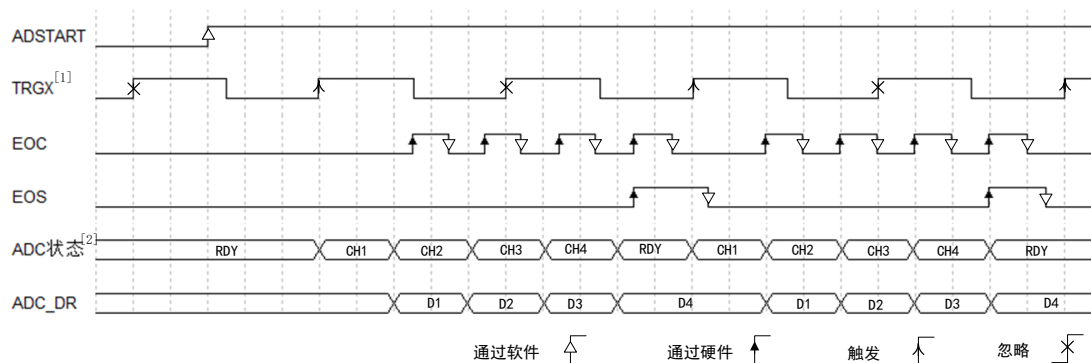
图 100 连续序列转换，软件触发



注意:

- (1) ADCx_CFGR 寄存器的 EXTEN[1:0]=00, CONT=0
- (2) 所选通道=1、9、10、17; ADCx_CFGR 寄存器的 AUTDLY=0

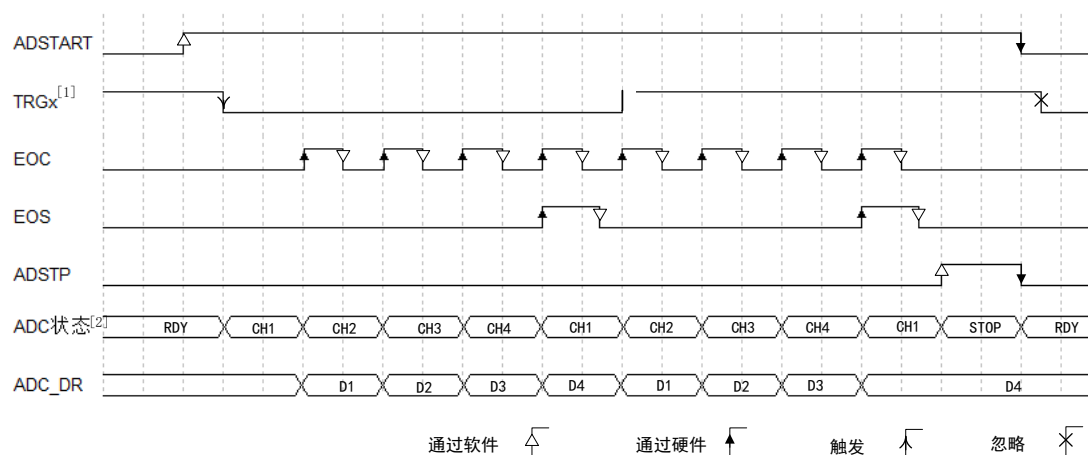
图 101 单次序列转换，硬件触发



注意:

- (1) 选择 TRGx (过频) 作为触发源, ADCx_CFGR 寄存器的 EXTEN[1:0]=01, CONT=0。
- (2) 所选通道=1、2、3、4; ADCx_CFGR 寄存器的 AUTDLY=0。

图 102 连续序列转换，硬件触发



注意:

- (1) 选择 TRGx (过频) 作为触发源, ADCx_CFGR 寄存器的 EXTEN[1:0]=01, CONT=1。
- (2) 所选通道=1、2、3、4; ADCx_CFGR 寄存器的 AUTDLY=0。

22.4.20 数据管理

DMA 传输数据大小只支持字 (32 位)。

数据寄存器、数据偏移 (ADCx_DR、OFFSETy)

每次常规转换通道结束时 (发生 EOC 事件时), 转换后数据的结果都会存储在宽度为 16 位的 ADCx_DR 数据寄存器中。

每次注入转换通道结束时 (发生 JEOP 事件时), 转换后数据的结果都会存储在宽度为 16 位的相应 ADCx_JDRy 数据寄存器中。

可以通过将 ADCx_OFFSETy 寄存器中的 OFFSETy_EN 位设置为 1, 对通道应用偏移 y (y=0~5)。应用偏移的通道会编程到 ADCx_OFFSETy 寄存器的 OFFSETy[15:0]位中。这种情况下, 转换后的值会减去写入到 OFFSETy[15:0]位中的用户自定义偏移。

- ADC 单端模式需输出 16 位无符号转换结果, 差分模式需输出 16 位有符号转换结果。
- 同步模式下, 两个 ADC 的 16 位结果放入同一个 32 位寄存器内, 即主 ADC (ADC1) 的 ADC1_DR 数据寄存器内。

根据 ADC 单端模式输出 16 位无符号转换结果, 差分模式输出 16 位有符号转换结果, 对 16 位 ADC 部分功能做如下设计:

偏移值寄存器设置为 16 位, 无符号位。

单端模式的转换结果在偏移校正后也无需增加符号位, 校正后发生上/下溢则在 0xFFFF/0x0000 处饱和即可; 差分模式下上下溢在 0x7FFF 和 0x8000 处饱和。

ADC 溢出 (OVR、OVRMOD)

如果常规转换后的数据未在新转换数据可用之前 (由 CPU 或 DMA) 读取, 会由溢出标志 (ADCx_ISR 寄存器的 OVR 位) 指示缓冲区溢出事件。

如果新转换完成时 ADCx_ISR 寄存器的 EOC 标志位仍为 1, 则 OVR 标志位会被硬件置 1。如果 ADCx_IER 寄存器的 OVRIE 位被设置为 1, 可产生中断。

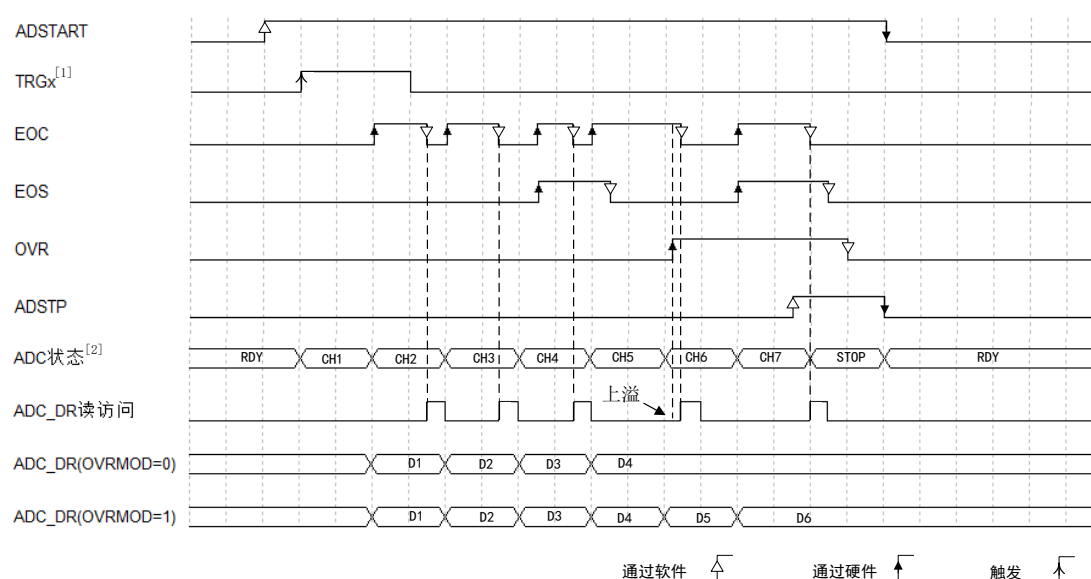
如果发生溢出情况, ADC 仍会保持工作状态并可继续进行转换, 除非通过软件将 ADCx_CR 寄存器的 ADSTP 位置 1, 从而停止并复位序列。

ADCx_ISR 寄存器的 OVR 标志位可通过由软件向其写入 1 的方式来清零。

可对控制位 ADCx_CFGR 寄存器的 OVRMOD 位进行编程为 0 或 1, 从而配置发生溢出事件时是要保留数据或要覆盖数据:

- **OVRMOD=0:** 溢出事件会保留数据寄存器的数据, 防止其被覆盖: 会保留原数据, 并会丢弃新的转换结果。如果 OVR 位保持为 1, 可继续进行转换, 但还是会丢弃结果数据。
- **OVRMOD=1:** 数据寄存器会由上一次转换结果覆盖, 之前未读取的数据会丢失。如果 OVR 位保持为 1, 可继续正常进行转换, 并且 ADCx_DR 寄存器将始终包含最新的转换数据

图 103 溢出示例 (OVR)



注意: 由于四条注入通道均有专用的数据寄存器, 因此不会对注入通道进行溢出检测。

在不使用 DMA 的情况下管理转换序列

如果转换过程足够慢, 则可使用软件来处理转换序列。在这种情况下, 软件必须使用 ADCx_ISR 寄存器的 EOC 标志位及其相关中断来处理各个数据。每当转换结束时, EOC 位都会硬件设置为 1, 并且可以读取 ADCx_DR 寄存器。此时 ADCx_CFGR 寄存器的 OVRMOD 位应配置为 0, 以便将溢出事件作为错误进行

管理。

在不使用 DMA 且不发生溢出的情况下管理转换

ADC 在转换一个或多个通道时不是每次都读取数据的情况下，这可能会很有用（例如，存在模拟看门狗时）。在这种情况下，ADCx_CFGR 寄存器的 OVRMOD 位必须配置为 1，ADCx_ISR 寄存器的 OVR 标志位应被软件忽略。溢出事件不会阻止 ADC 继续进行转换，ADCx_DR 寄存器始终包含最新的转换结果。

使用 DMA 管理转换

由于转换得出的通道值会存储到唯一的数据寄存器中，因此，对于多个通道的转换，使用 DMA 非常有帮助。这样可以避免丢失已存储在 ADCx_DR 寄存器中的数据。

若 DMA 模式已使能（ADCx_CFGR 寄存器中的 DMAEN 位设置为 1），则会在每个通道转换后生成 DMA 请求。这样便可将转换的数据从 ADCx_DR 寄存器传输到用软件选择的目标位置。

尽管如此，如果因 DMA 无法及时处理 DMA 传输请求而发生溢出（OVR=1），ADC 会停止生成 DMA 请求，新转换对应的数据不会通过 DMA 进行传输。即：DMA 传输请求会禁止，直至软件将 OVR 位清零。这意味着可将传输到 RAM 的所有数据都视为有效数据。

根据 ADCx_CFGR 寄存器的 OVRMOD 位的配置，可保留或覆盖数据（请参见 ADC 溢出章节）。根据应用用途的不同，推荐使用两种不同的 DMA 模式，并使用 ADCx_CFGR 寄存器的 DMACFG 位配置相应的模式：

如果通过编程将 DMA 设置为传输固定数目的数据，应选择 DMA 单次模式（DMACFG=0）。

如果在循环模式下对 DMA 进行编程，应选择 DMA 循环模式（DMACFG=1）。

DMA 单次模式（DMACFG=0）

在该模式下，每次出现新的转换数据时，ADC 都会生成 DMA 传输请求，DMA 到达最后一个 DMA 传输操作时（DMA 发生 TXCIFLG 中断，请参见 DMA 一段），即使转换已再次开始，ADC 也会停止生成 DMA 请求。

DMA 传输完成后（在 DMA 控制器中配置的所有传输操作均已完成）：

- ADC 数据寄存器的内容冻结
- 任何正在进行的转换都会中止，其部分结果会被丢弃
- 不会将任何新的 DMA 请求发送到 DMA 控制器。如果仍存在已开始的转换，这样可避免生成溢出错误。
- 扫描序列会停止并复位
- DMA 停止

DMA 循环模式 (DMACFG=1)

在该模式下，每次数据寄存器中出现新的转换数据时，ADC 都会生成 DMA 传输请求，即使 DMA 已到达最后一次 DMA 传输操作也不例外。这样可将处于循环模式的 DMA 配置为处理连续的模拟输入数据流。

22.4.21 动态低功耗特性

自动延迟转换模式 (AUTDLY)

ADC 会执行由 ADCx_CFGR 寄存器的 AUTDLY 配置位控制的自动延迟转换模式。自动延迟转换可用于简化软件，并可优化采用低频时钟的应用（此类应用可能存在 ADC 溢出的风险）的性能。

AUTDLY=1 时，仅当同一组内所有之前的数据已处理完毕时，才能开始新的转换：

- 对于常规转换：ADCx_DR 寄存器已读取或者 ADCx_ISR 寄存器的 EOC 位已清零时
- 对于注入转换：ADCx_ISR 寄存器的 JEOS 位已清零时

通过这种方式，可自动调整 ADC 的速度，使其适应系统读取数据的速度。

延时插入到每次常规转换后（无论 ADCx_CFGR 寄存器的 DISCEN 位设置为 0 还是 1）和每个注入转换序列后（无论 ADCx_CFGR 寄存器的 JDISCEN 位设置为 0 还是 1）。

注意：

- (1) 不会在注入转换序列之间插入延时，但会在最后一个序列之后插入延时。转换过程中，此延时期间发生的硬件触发事件（针对同一组转换）会被忽略。
- (2) 如果延时期间发生软件触发，则不会被忽略，仍可在该延时时间内通过将 ADCx_CR 寄存器的 ADSTART 或 JADSTART 位设置为 1 的方式重新启动转换：启动新转换之前，会由软件读取数据。

不会在不同组的转换之间插入延时（常规转换后即进行注入转换，反之亦然）：

- 如果在常规转换的自动延时期间发生注入触发，注入转换会立即开始。
- 注入序列完成后，ADC 会等待上一常规转换的延时（如果未结束），然后才会启动新的常规转换。

自动注入模式（ADCx_CFGR 寄存器的 JAUTO 位设置为 1）下的操作略有不同，仅当上一注入转换序列的自动延时已结束（ADCx_ISR 寄存器的 JEOS 位已被硬件清零时），才能开始进行新的常规转换。这是为了确保软件可在启动新序列之前读取给定序列的所有数据。

要在连续自动注入和自动延时组合模式下停止转换（ADCx_CFGR 寄存器的 JAUTO 位设置为 1、CONT 位设置为 1 且 AUTDLY 位设置为 1），请按照以下程序进行操作：

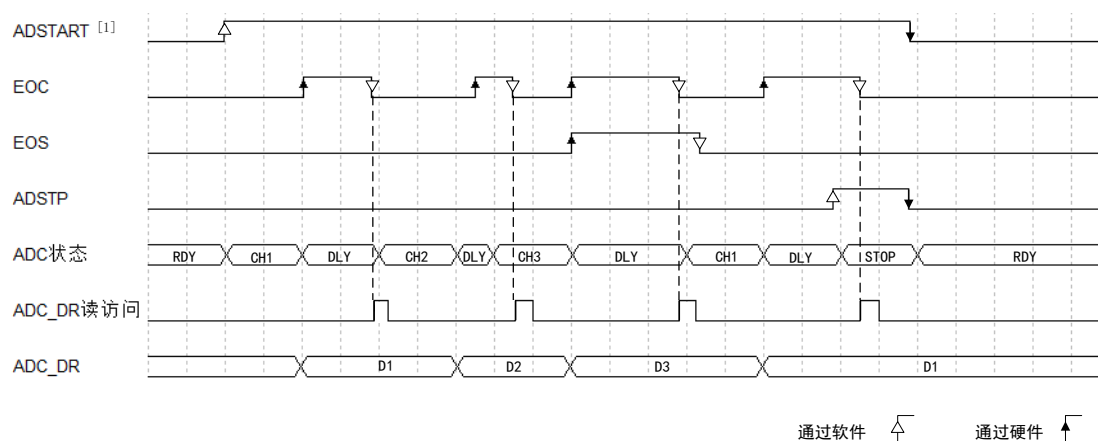
- (1) 等待，直至 ADCx_ISR 寄存器的 JEOS 位被硬件设置为 1（不会重新启动任何转换）
- (2) 将 JEOS 位写 1 清零
- (3) 将 ADCx_CR 寄存器的 ADSTP 位设置为 1
- (4) 读取常规数据

否则，如果 ADCx_ISR 寄存器的 JEOS 位在 ADCx_CR 寄存器的 ADSTP 位已设置为 1 后清零，可能重新启动新的常规序列。

在 AUTDLY 模式下，如果在正在进行的常规序列期间或序列的最后一次常规转换之后的延时期间发生硬件常规触发事件，则会忽略该触发事件。但是，如果触发事件发生在该延时之后，即使发生在随后的注入序列的延时期间，也会将该触发事件视为待处理事件。随后，会在注入序列的延时结束时开始转换。

在 AUTDLY 模式下，如果在正在进行的注入序列期间或序列的最后一次注入转换之后的延时期间发生硬件注入触发事件，则会忽略该触发事件。

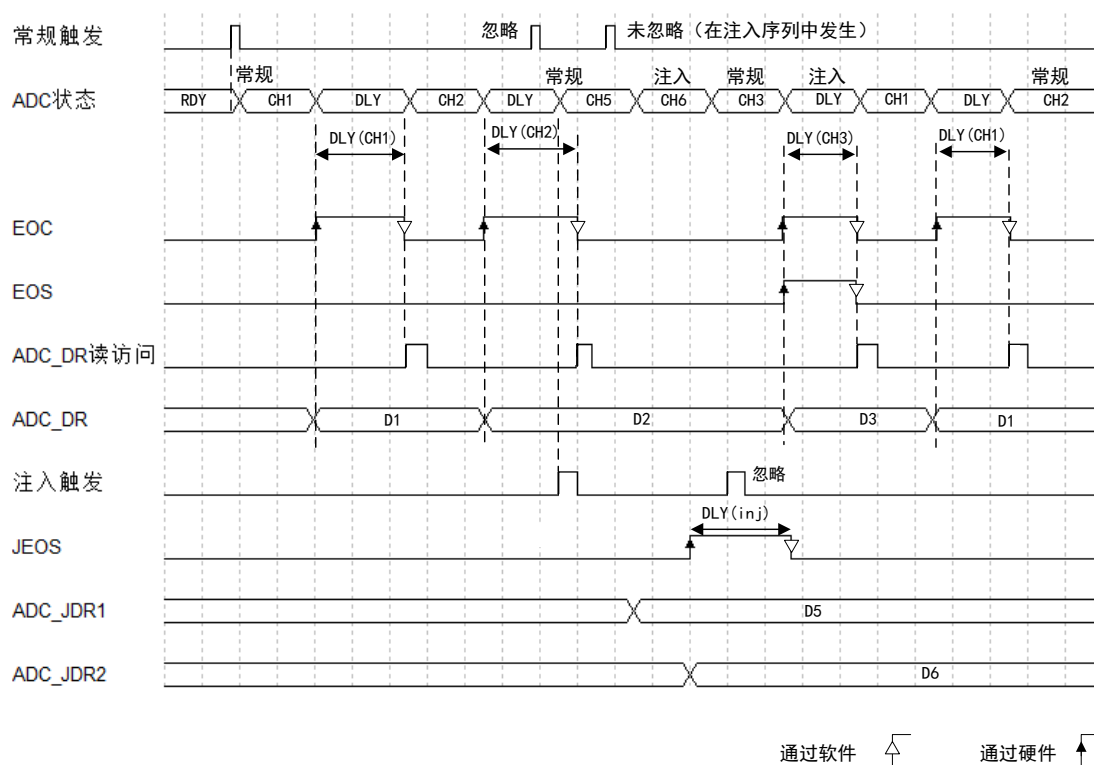
图 104 AUTODLY=1，连续模式下的常规转换，软件触发



注意：

- (1) ADCx_CFGR 寄存器的 AUTDLY 位设置为 1。
- (2) 常规配置：ADCx_CFGR 寄存器的 EXTEN[1:0]位设置为 00（软件触发），CONT 位设置为 1，通道配置了 CH1、CH2、CH3。
- (3) 注入配置禁止。

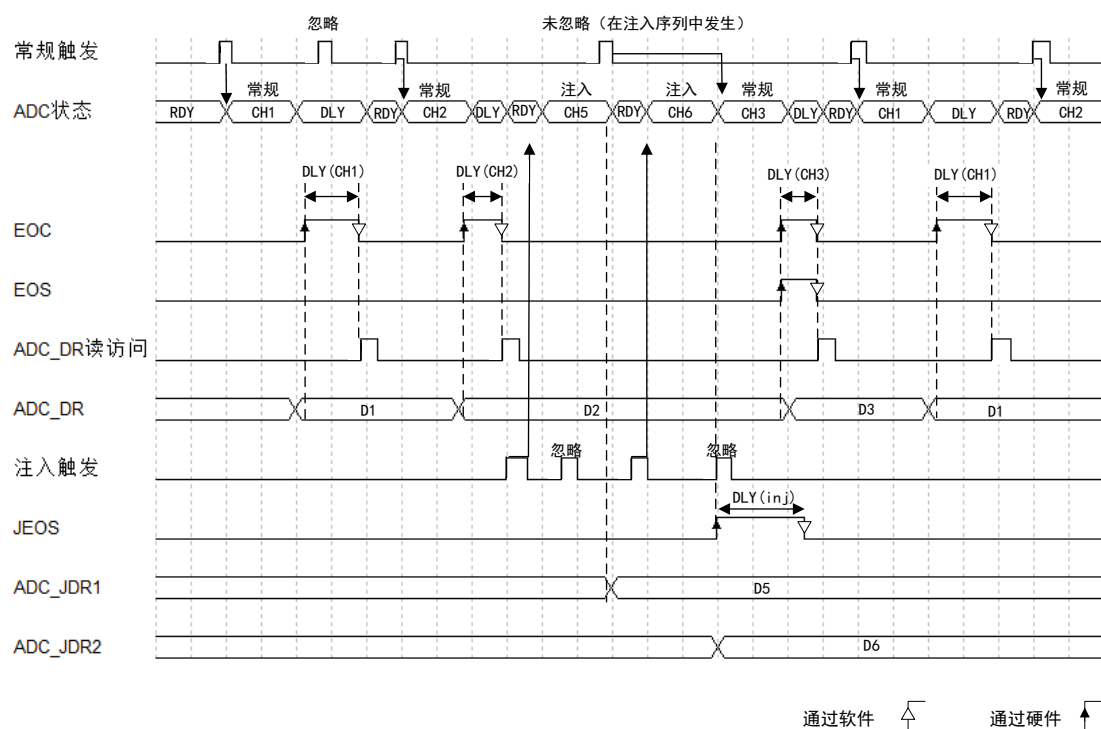
图 105 AUTODLY=1，被注入转换中断的常规硬件转换（DISCEN=0；JDISCEN=0）



注意：

- (1) ADCx_CFGR 寄存器的 AUTDLY 位设置为 1
- (2) 常规配置：ADCx_CFGR 寄存器的 EXTEN[1:0]位设置为 01（硬件触发），CONT 位设置为 0，DISCEN 位设置为 0，通道配置了 CH1、CH2、CH3。
- (3) 注入配置：ADCx_JSQR 寄存器的 JEXTEN[1:0]位设置为 01（硬件触发），ADCx_CFGR 寄存器的 JDISCEN 位设置为 0，通道配置了 CH5、CH6。

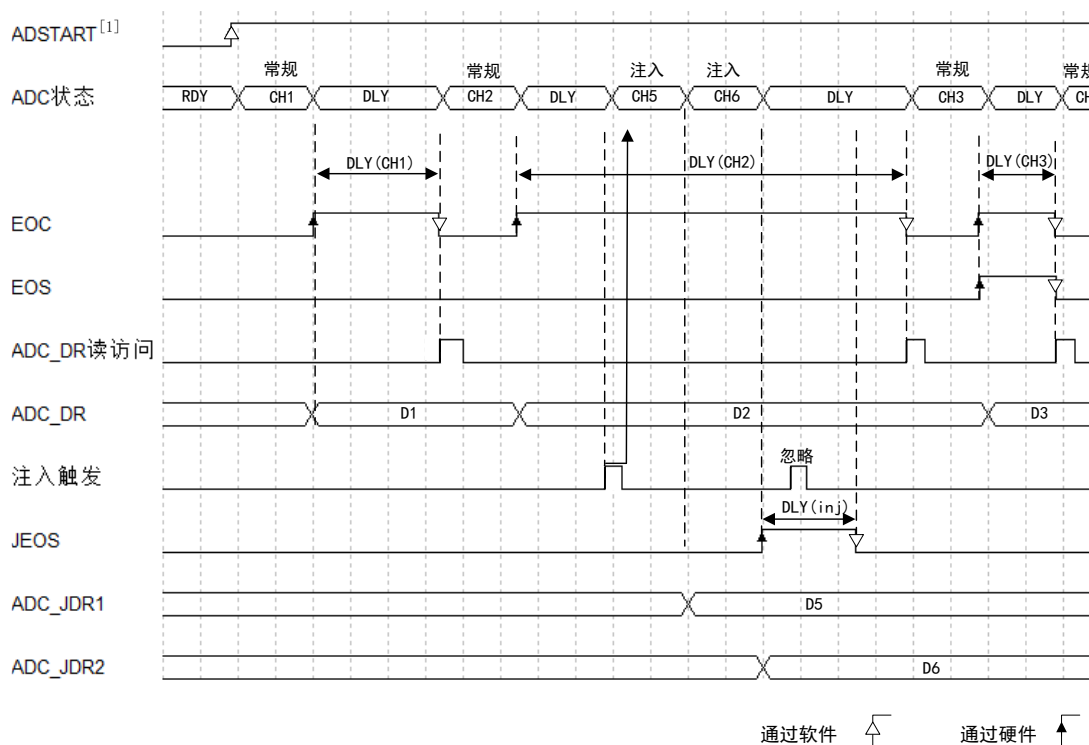
图 106 AUTODLY=1，被注入转换中断的常规硬件转换（DISCEN=1，JDISCEN=1）



注意：

- (1) ADCx_CFGR 寄存器的 AUTDLY 位设置为 1。
- (2) 常规配置：ADCx_CFGR 寄存器的 EXTEN[1:0]位设置为 01（硬件触发），CONT 位设置为 0，DISCEN 位设置为 1，DISCNUM 位设置为 1、通道配置了 CH1、CH2、CH3。
- (3) 注入配置：ADCx_JSQR 寄存器的 JEXTEN[1:0]位设置为 01（硬件触发），ADCx_CFGR 寄存器的 JDISCEN 位设置为 1，通道配置了 CH5、CH6。

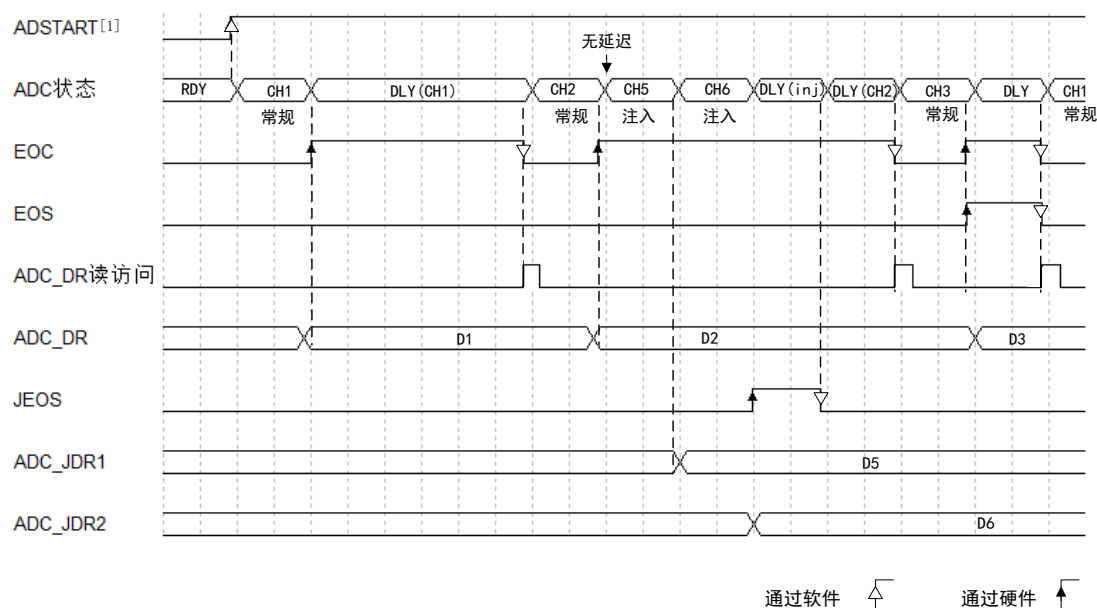
图 107 AUTODLY=1，被注入转换中断的常规连续转换



注意:

- (1) ADCx_CFGR 寄存器的 AUTDLY 位设置为 1。
- (2) 常规配置: ADCx_CFGR 寄存器的 EXTEN[1:0]位设置为 00 (软件触发), CONT 位设置为 1, DISCEN 位设置为 0, 通道配置了 CH1、CH2、CH3。
- (3) 注入配置: ADCx_JSQR 寄存器的 JEXTEN[1:0]位设置为 01 (硬件触发), ADCx_CFGR 寄存器的 JDISCEN 位设置为 0, 通道配置了 CH5、CH6。

图 108 AUTODLY=1，自动注入模式 (JAUTO=1)



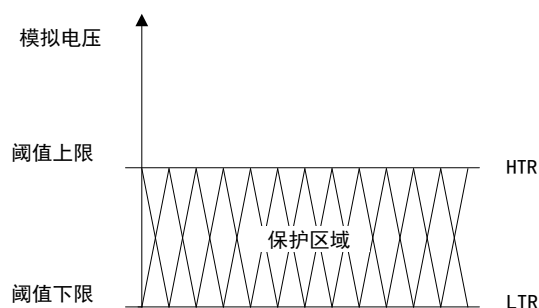
注意:

- (1) ADCx_CFGR 寄存器的 AUTDLY 位设置为 1。
- (2) 常规配置: ADCx_CFGR 寄存器的 EXTEN[1:0]位设置为 00 (软件触发), CONT 位设置为 1, DISCEN 位设置为 0, 通道配置了 CH1、CH2。
- (3) 注入配置: ADCx_CFGR 寄存器的 JAUTO 位设置为 1, 通道配置了 CH5、CH6。

22.4.22 模拟窗口看门狗 (AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx)

三个 AWD 模拟看门狗会监测一些通道是否保持在配置的电压范围 (窗口) 内。

图 109 模拟看门狗的保护区域



AWDx 标志和中断

可通过将 ADCx_IER 寄存器中的 AWDyIE (y=1、2、3) 位设置为 1 的方式分别为 3 个模拟看门狗使能中断。ADCx_ISR 寄存器中的 AWDy (y=1、2、3) 标志可通过由软件向其写入 1 的方式来清零。

模拟看门狗 1 说明

将 ADCx_CFGR 寄存器中的 AWD1EN 位置 1, 可使能 AWD 模拟看门狗 1。该看门狗监测一条已选通道或所有已使能通道是否仍在配置的电压范围 (窗口) 内。

下表介绍了应如何配置 ADCx_CFGR 寄存器才能在一条或多个通道上使能模拟看门狗。

表格 84 模拟看门狗通道选择

模拟看门狗保护的通道	AWD1SGL 位	AWD1EN 位	JAWD1EN 位
无	x	0	0
所有注入通道	0	0	1
所有常规通道	0	1	0
所有常规通道和注入通道	0	1	1
单个注入通道	1	0	1
单个常规通道	1	1	0
单个常规通道或注入通道	1	1	1

通过 ADCx_CFGR 寄存器中的 AWD1CH[4:0]位选择。此外，还必须将通道编程为在合适的常规序列或注入序列中进行转换。

如果 ADC 转换的模拟电压低于阈值下限或高于阈值上限，则 ADCx_ISR 寄存器中的 AWD1 模拟看门狗状态位会置 1。这些阈值编程到模拟看门狗 1 的 ADCx_TR1 寄存器的 HT1[15:0]和 LT1[15:0]位。

模拟看门狗 2 和 3 说明

第二个和第三个模拟看门狗更加灵活，可通过编程 ADC_AWD2CR 寄存器中的 AWDCHy[5:0] (y=2、3) 中的相应位来保护多条已选通道。AWDCHy[5:0] (y=2、3) 的任何位置 1 时，会使能相应通道的模拟看门狗。

其中模拟看门狗 2 可设置的值为 12 位，只与转换结果的高 12 位进行比较。模拟看门狗 3 的可设置值为 8 位，只与转换结果的高 8 位进行比较。

22.4.23 过采样器

过采样设计支持 2/4/8/16 倍的过采样率，ADC 过采样的公式如下：

$$Result = \frac{1}{M} \times \sum_{n=0}^{n=N-1} Conversion(t_n)$$

其中，过采样率 N 是使用 ADC_CFGR2 寄存器中的 OVFS[2:0]位定义的，其范围从 2x 到 16x。分割系数 M 使用 ADC_CFGR2 寄存器中的 OVSS[3:0]位定义，从 No-shift 到 4-bitshift。

求和单元可以产生最多 20 位的结果 (16x16 位结果)，首先向右移位。然后将其截断为 16 个最低有效位，使用移位留下的最低有效位四舍五入到最接近的值，最后将其传输到 ADC_DR 数据寄存器。

下表给出了各种 N 和 M 组合的数据格式。

表格 85 过采样组合

过采样率	最大转换数据	No-shift	1-bit shift	2-bit shift	3-bit shift	4-bit shift
		OVSS=0000	OVSS=0001	OVSS=0010	OVSS=0011	OVSS=0100
2x	0x1FFFE	0x1FFFE	0xFFFF	0x7FFF	0x3FFF	0x1FFF
4x	0x3FFFC	0x3FFFC	0x1FFFE	0xFFFF	0x7FFF	0x3FFF
8x	0x7FFF8	0x7FFF8	0x3FFFC	0x1FFFE	0xFFFF	0x7FFF
16x	0xFFFF0	0xFFFF0	0x7FFF8	0x3FFFC	0x1FFFE	0xFFFF

在过采样模式下，转换时间没有变化，即：在整个过采样序列中保持相同的采样时间。每 N 次转换提供一个新数据，其等价延迟为 $N \times T_{CONV} = N \times (t_{SMPL} + t_{SAR})$ 。

ADC 的标志位设置如下：

- 在每个采样阶段后设置采样阶段结束（ADCx_ISR 寄存器中的 EOSMP）位为 1
- 当过采样结果可用时，每 N 次转换设置一次转换结束（ADCx_ISR 寄存器中的 EOC）位为 1
- 在过采样数据序列完成后（即在 Nx 序列长度转换之后）设置序列结束（ADCx_ISR 寄存器中的 EOS）位为 1

22.4.23.1 过采样时支持的 ADC 工作模式（单个 ADC）

ADC 工作过采样模式下，仍支持下述工作模式：

- 单次或连续模式转换
- 通过软件或触发器启动 ADC 转换
- 转换期间 ADC 停止 stop（或中止 abort）
- 通过 CPU 或具有溢出检测的 DMA 读取数据
- 低功耗模式，即延时转换模式（AUTDLY）

注意：校准模式在处理过采样数据时不可用。

过采样模式不支持偏移校正，即 ADCx_OFFSETy 寄存器中 OFFSETy_EN 位被忽略。

ADC 的过采样模式通过以下 ADCx_CFGR2 寄存器中的 4 个寄存器位配置：

- 规则过采样 ROVSE
- 注入过采样 JOVSE
- 过采样器模式（连续模式或恢复模式）ROVSM
- 带触发的规则模式 TROVS

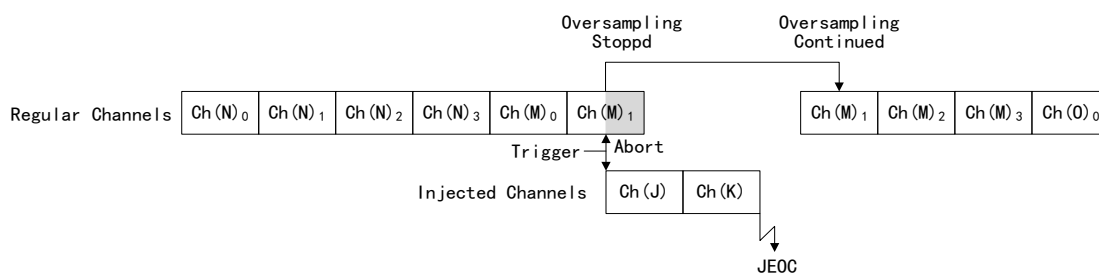
表格列出了不同配置下 ADC 过采样的工作模式。其中 X 代表可忽略。

表格 86 不同配置下 ADC 过采样的工作模式

ROVSE	JOVSE	ROVSM	TROVS	Comment
1	0	0	0	仅规则通道+连续模式过采样
1	0	0	1	不支持
1	0	1	0	仅规则通道+恢复模式过采样
1	0	1	1	带触发的仅规则通道+恢复模式过采样
1	1	0	X	不支持
1	1	1	0	注入和规则通道+恢复模式过采样
1	1	1	1	不支持
0	1	X	X	仅注入通道过采样

规则通道+连续模式过采样

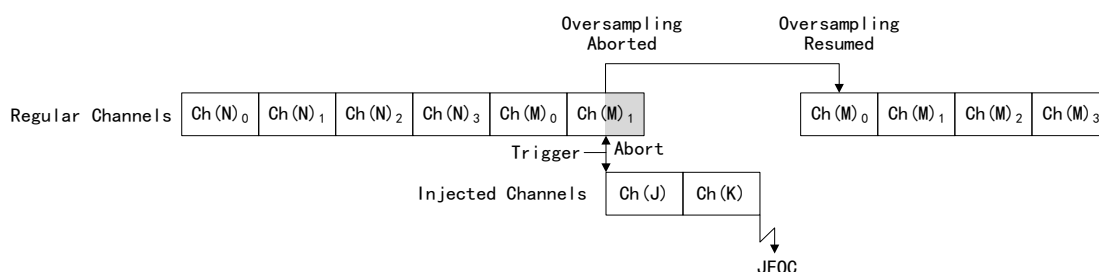
图 110 规则通道+连续模式过采样



当规则通道的过采样被注入通道中断后，恢复采样会从最后一个有效数据开始继续采样，保证了过采样数据的完整性。

仅规则通道+恢复模式过采样

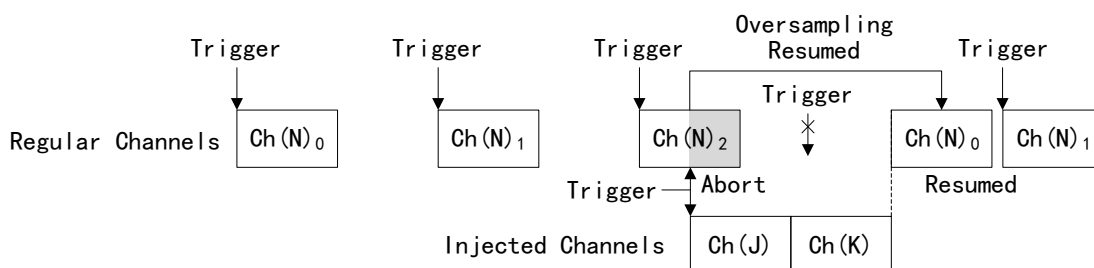
图 111 仅规则通道+恢复模式过采样



当规则通道的过采样被注入通道中断后，恢复采样会从被中断的这组数据开始从头重新采样，可以保证所有用于过采样的数据在一个时隙内进行 **back-to-back** 的转换。

带触发的仅规则通道+恢复模式过采样

图 112 带触发的仅规则通道+恢复模式过采样

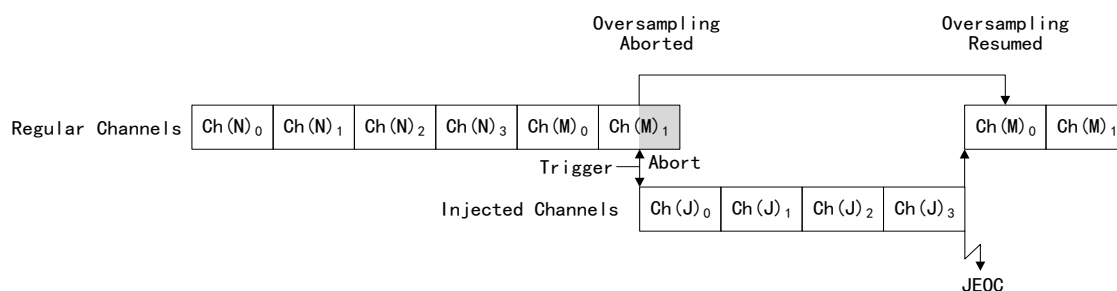


规则通道在特定的不连续模式响应触发器启动转换，能够具有由用户定义的独立于转换时间本身的过采样频率。过采样器强制为恢复模式，被注入通道采样中断后，恢复采样会从被中断的这组数据开始从头重新采样。

注入和规则通道+恢复模式过采样

此模式下，注入通道也开启过采样，规则通道强制为恢复模式过采样。

图 113 注入和规则通道+恢复模式过采样



仅注入通道过采样

此模式下，规则通道正常采样，仅注入通道过采样。

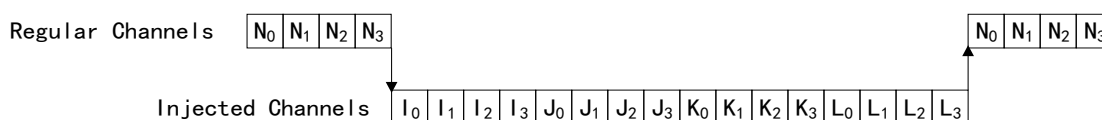
自动注入过采样

在（注入和规则通道同时过采样）下，可以通过设置 **ADCx_CFGR** 寄存器中的 **JAUTO** 位为 1，对自动注入序列进行过采样，并将所有转换结果存储在寄存器中以节省 **DMA** 资源。

此外，也可以通过设置 **ADCx_CFGR2** 寄存器中的 **TROVS** 位为 1 以启用触发模式的自动注入模式过采样。

注意：ADCx_CFGR2 寄存器中的 **ROVSE** 和 **JOVSE** 位必须为 1，不支持其他组合。

图 114 自动注入过采样



双 ADC 模式的过采样

双 **ADC** 配置时，也可以启用注入同步模式和常规同步模式的过采样。但两个 **ADC** 必须使用完全相同的设置（包括过采样）。

当两个 **ADC** 均启用常规或注入过采样（**ADCx_CFGR2** 寄存器中的 **ROVSE** = 1 或 **JOVSE** = 1）时，其他双 **ADC** 模式（交替模式、交替触发模式以及将各模式组合使用的模式）将不再支持。

22.4.24 双 ADC 模式

双 **ADC** 模式可用于具有两个 **ADC** 的设备。

在双 **ADC** 模式下，转换的开始由 **ADC** 主机触发，可以选择由 **ADC** 从机交替或同时触发，具体取决于 **ADCx_CR** 寄存器中 **DUALMOD[3:0]** 位选择的模式。

实现了四种可能的模式：

- 注入同步模式
- 常规同步模式

- 交替模式
- 交替触发模式

还可以用以下方式结合使用这些模式：

- 组合的注入同步模式+常规同步模式
- 组合的常规同步模式+交替触发模式
- 组合的注入同步模式+交替模式

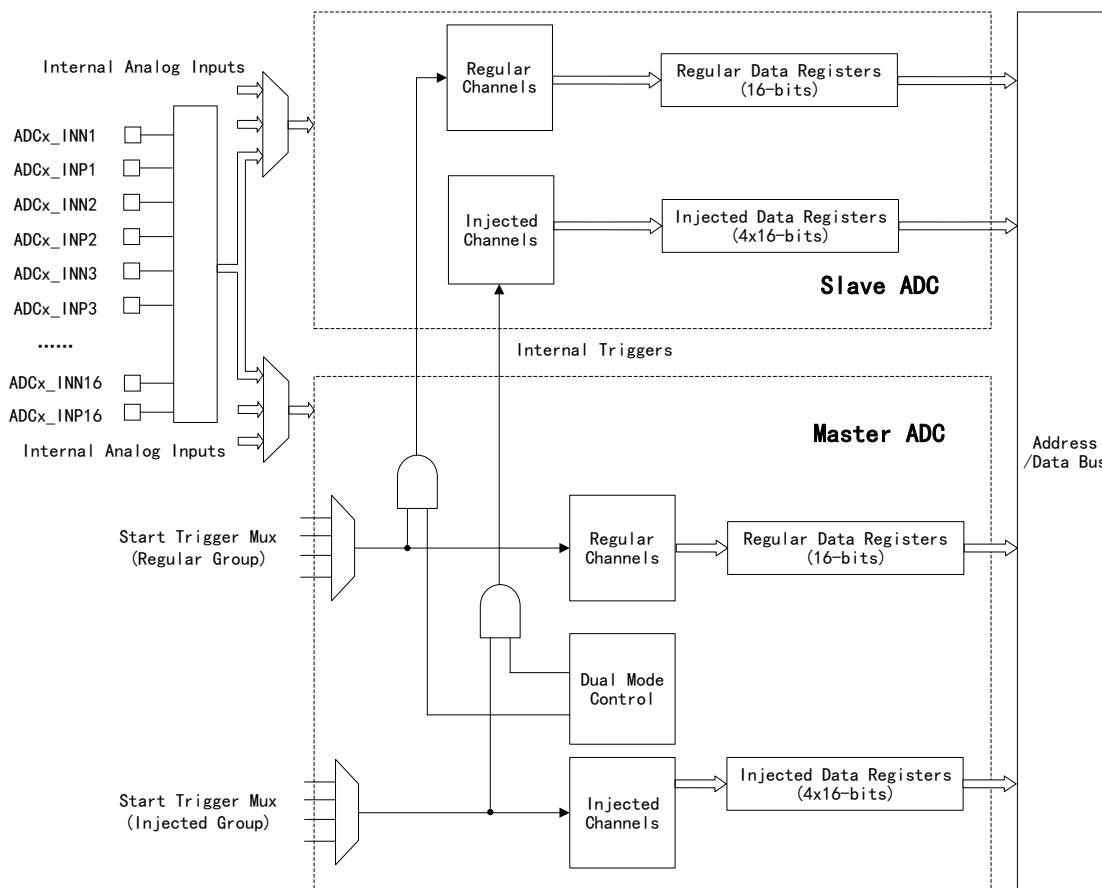
在双 ADC 模式下（当 ADCx_CR 寄存器中的 DUALMOD[3:0]位不等于零时），ADCx_CFGR 寄存器的 CONT、AUTDLY、DISCEN、DISCNUM[2:0]、JDISCEN、JQM、JAUTO 位在主 ADC 和从 ADC 之间共享：从 ADC 中的位始终等于主 ADC 对应的位。

要以双模式启动转换，用户必须仅对主 ADC 的 ADCx_CFGR 寄存器的 EXTEN[1:0]、EXTSEL[3:0]、ADCx_JSQR 寄存器的 JEXTSEL[3:0]、JEXTEN[1:0]位进行编程，以配置软件或硬件触发和常规或注入触发（从机 ADC 的 EXTEN[1:0]和 JEXTEN[1:0]位无需配置）。

在常规同步或交替模式下：一旦用户设置了主 ADC 的 ADCx_CR 寄存器中的 ADSTART 位或 ADSTP 位，从 ADC 的相应位也会自动设置。但是，从 ADC 的 ADSTART 位或 ADSTP 位不需要与主 ADC 位同时清除。

在注入同步或交替触发模式下：一旦用户设置了主 ADC 的 ADCx_CR 寄存器中的 JADSTART 位或 JADSTP 位，从 ADC 的相应位也会自动设置。但是，从 ADC 的 JADSTART 位或 JADSTP 位不必与主 ADC 位同时清除。在双 ADC 模式下，通过读取主 ADC 数据寄存器（ADC1_DR），可以并行读取主 ADC 和从 ADC 转换后的数据。状态位无法并行读取。

图 115 双 ADC 框图



注入同步模式

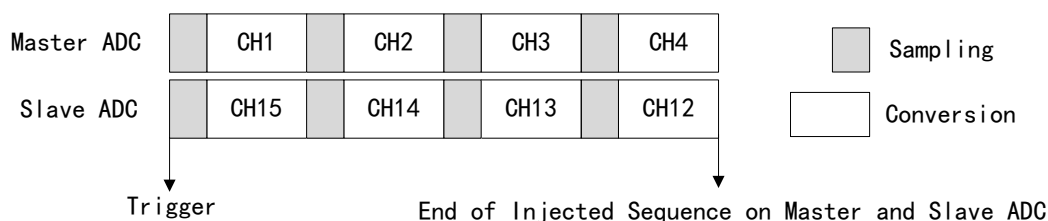
该模式由设置主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0] 位为 0101 该模式转换注入的通道组。外部触发源来自主 ADC 的注入组多路复用器（由 ADC1_JSQR 寄存器中的 JEXTSEL 位选择）。

在同步模式下，必须转换具有相同长度的序列，或者确保触发器之间的间隔大于两个序列的长度。否则，具有最短序列的 ADC 可能重新启动，而具有最长序列的 ADC 正在完成先前的转换。

可以在一个或所有 ADC 上执行常规转换。在这种情况下，它们彼此独立，并在注入事件发生时中断。它们在注入转换组结束时恢复。

- 在主 ADC 上的转换事件注入序列（JEOS）结束时，转换的数据被存储到主 ADC1_JDRy 寄存器中，并生成 JEOS 中断（如果使能）
- 在从 ADC 上的转换事件注入序列（JEOS）结束时，转换的数据被存储到从 ADC2_JDRy 寄存器中，并生成 JEOS 中断（如果使能）
- 如果主注入序列的持续时间等于从注入序列的持续时间，则软件可能只启用两个 JEOS 中断中的一个并读取转换后的数据（从主 ADC1_JDRy 和从 ADC2_JDRy 寄存器）

图 116 注入同步模式



如果 $ADCx\_CFGR$ 寄存器的 $JDISCEN = 1$ ，则注入序列的每次同时转换都发生注入的触发事件。该模式可与 $AUTDLY$ 模式结合使用：

- 一旦同时注入的转换序列结束，只有当主 ADC 和从 ADC 的 $ADCx\_ISR$ 寄存器的 $JEOS$ 位都被清除（延迟阶段）时，才接受新注入的触发事件。在正在进行的注入序列和相关延迟阶段中发生的任何新注入触发事件都将被忽略。
- 一旦主 ADC 的常规转换序列结束，只有在读取主数据寄存器（ $ADC1\_DR$ ）时，才接受主 ADC 的一个新的常规触发事件。在正在进行的规则序列期间，主 ADC 发生的任何新的规则触发事件和相关的延迟阶段都被忽略。在从 ADC 上发生的规则序列也有相同的行为。

独立注入的常规同步模式

该模式通过设置主 ADC 的 $ADC1\_CR$ 寄存器中的 $DUALMOD[3:0]$ 位为 0110 来选择。该模式在一组常规通道上执行。外部触发源来自主 ADC 的常规组多路复用器（由 $ADC1\_CFGR$ 寄存器中的 $EXTSEL$ 位选择）。一个同步触发器提供给从 ADC。在这种模式下，支持独立的注入转换。注入请求（无论是在主机上还是从机上）中止当前的同步转换，一旦注入转换完成，这些转换将重新启动。

在常规同步模式下，必须转换相同长度的序列，或者确保触发器之间的间隔大于两个序列的较长转换时间。否则，具有最短序列的 ADC 可能重新启动，而具有最长序列的 ADC 正在完成先前的转换。

当软件可以读取数据时，中断会通知它：

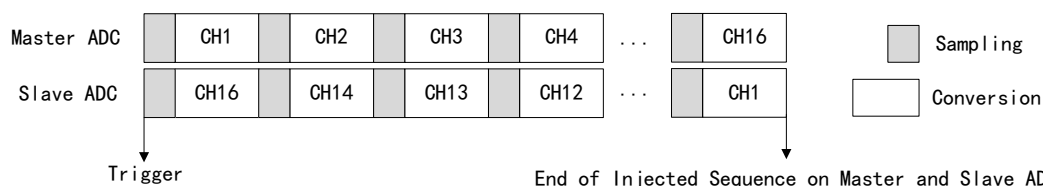
- 在主 ADC 上的每个转换事件（EOC）结束时，生成一个主 EOC 中断（如果使能了 $ADC1\_IER$ 寄存器中的 $EOCIE$ 位），软件可以读取主 ADC 的 $ADC1\_DR$ 。
- 在从 ADC 上的每个转换事件（EOC）结束时，生成一个从 EOC 中断（如果使能了 $ADC2\_IER$ 寄存器中的 $EOCIE$ 位），软件可以读取从 ADC 的 $ADC2\_DR$ 。
- 如果主常规序列的持续时间等于从常规序列的持续时间，软件可能只启用主 EOC 中断，并从主 ADC 的数据寄存器（ $ADC1\_DR$ ）读取两个转换后的数据。

也可以使用 DMA 读取常规数据。有两种方法：

- 使用两个 DMA 通道（一个用于主 ADC，一个用于从 ADC）。

- 配置 DMA 主 ADC 通道从主 ADC 读取 ADC1_DR，DMA 请求将在主 ADC 的每个 EOC 事件中生成。
- 配置 DMA 从 ADC 通道从从 ADC 读取 ADC2_DR，DMA 请求将在从 ADC 的每个 EOC 事件中生成。

图 117 规则同步模式



如果 `ADCx_CFGR` 寄存器的 `DISCEN` 位配置为 1，则常规序列的每“n”次同时转换都需要发生一个常规触发事件（“n”由 `ADCx_CFGR` 寄存器的 `DISCNUM[2:0]` 位定义）。

该模式可与 **AUTDLY** 模式结合使用：

- 一旦序列的同步转换结束，只有当主 ADC 的常规数据寄存器被读取（延迟阶段）时，序列中的下一个转换才开始。
- 一旦同步的常规转换序列结束，只有在主 ADC 的常规数据寄存器被读取时才接受新的常规触发事件（延迟阶段）。在正在进行的常规序列和相关延迟阶段期间发生的任何新的常规触发事件都将被忽略。

可以使用 **DMA** 以常规的同步模式结合 **AUTDLY** 模式处理数据。

当常规同步模式与 **AUTDLY** 模式结合使用时，必须确保：

- 主序列中的转换数量等于从序列中的转换数量。
- 对于序列的每次同步转换，从 ADC 转换的长度低于主 ADC 转换的长度。请注意，序列的长度取决于要转换的通道数量、采样时间和每个通道的分辨率。

常规同步模式和 **AUTDLY** 模式的这种组合仅限于对常规通道进行编程的用例：禁止在这种组合模式中对注入通道进行编程。

独立注入的交替模式

该模式通过设置主 ADC 的 `ADC1_CR` 寄存器中的 `DUALMOD[3:0]` 位为 0111 来选择。

此模式只能在常规组（通常是一个通道）上启动。外部触发源来自主 ADC 的常规通道多路复用器。

外部触发发生后：

- 主 ADC 立即启动
- 在主 ADC 的采样阶段完成后，从 ADC 在延迟几个 ADC 时钟周期后启动。

最小延迟为 1 个 `ADCCLK`，这个延迟在主转换的采样阶段结束后开始计数半个周

期。这样，如果互补 ADC 仍在对其输入进行采样（在给定时间只有一个 ADC 可以对输入信号进行采样），则 ADC 无法开始转换。

如果在主、从 ADC 上都设置了 ADCx_CFGR 寄存器的 CONT 位为 1，则两个 ADC 所选的常规通道都连续转换。当软件可以在从 ADC 上的每个转换事件（EOC）结束时读取数据时，中断会通知软件。此时主/从 ADC 的 EOC 中断产生（如果启用了 ADCx_IER 寄存器的 EOCIE），软件可以从主/从 ADC 的 ADCx_DR 中读取数据。

注意：可以只启用从机的 EOC 中断并读取主机的数据寄存器（ADC1_DR）。但是在这种情况下，用户必须确保转换的持续时间是兼容的，以确保在序列中，在重新启动新的主转换之前，主转换始终后跟从转换。

图 118 独立注入的交替模式（连续）

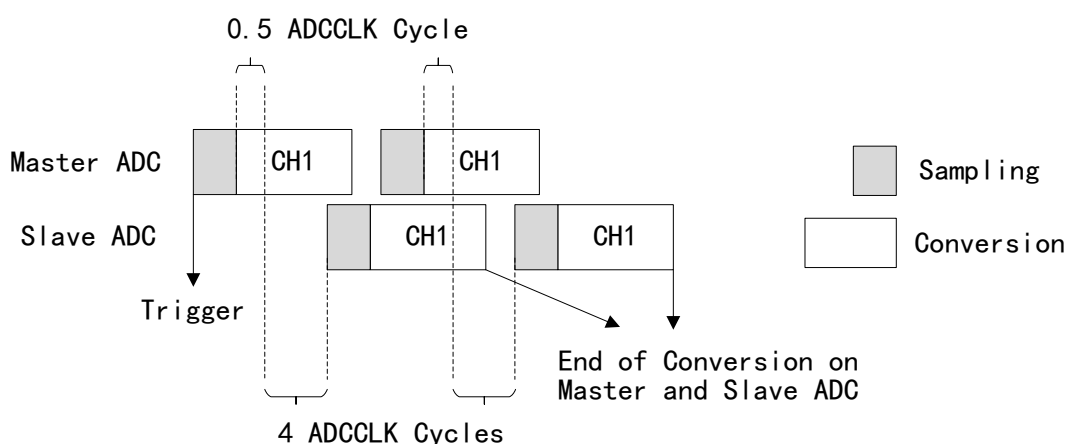
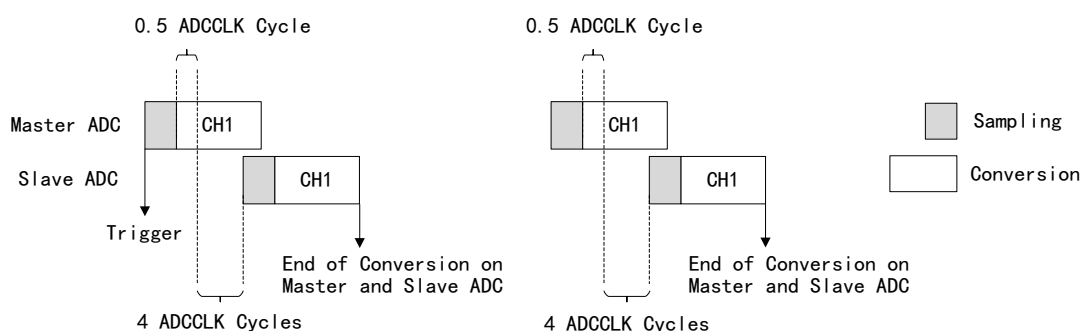


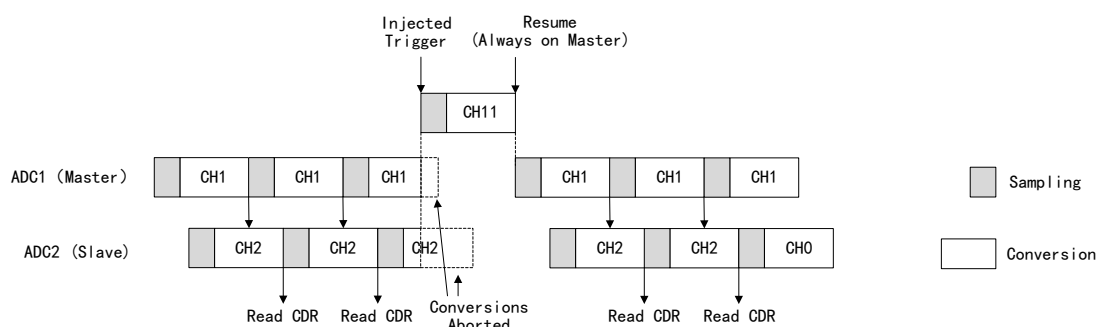
图 119 独立注入的交替模式（非连续）



如果 ADCx_CFGR 寄存器的 DISCEN = 1，则规则序列的每个“n”个同时转换（“n”由 ADCx_CFGR 寄存器的 DISCNUM[2:0]定义）需要发生一个规则触发事件。

在此模式下，支持注入转换。当注入完成时（无论是在主 ADC 上还是从 ADC 上），主 ADC 和从 ADC 的常规转换都将被终止，序列将从主 ADC 重新启动。

图 120 交替转换过程发生注入示意图



交替触发模式

该模式通过设置主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0] 位为 1001 来选择。该模式只能在注入组上启动。外部触发源来自主 ADC 的注入组多路复用器。

此模式仅在选择硬件触发器时可用：ADCx_JSQR 寄存器的 JEXTEN[1:0] 不能为 00。

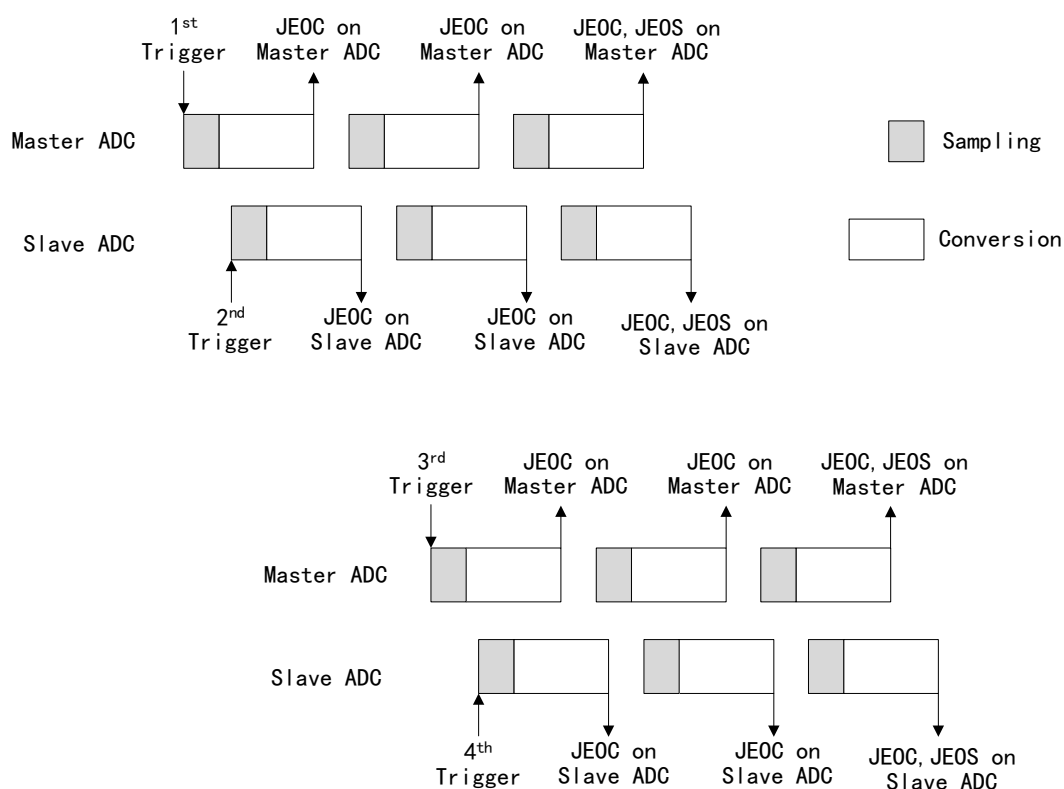
禁用注入不连续模式时（两个 ADC 的 ADCx_CFGR 寄存器的 JDISCEN = 0）

- （1）当第一个触发发生时，该组中所有注入的主 ADC 通道都被转换。如果启用 JEOS 中断，则在组中主 ADC 的所有注入通道被转换后生成中断。
- （2）当第二个触发发生时，该组中所有注入的从 ADC 通道都被转换。如果启用 JEOS 中断，则在组中从 ADC 的所有注入通道被转换后生成。
- （3）以此类推.....

如果启用了 JEOC 中断，也可以在每次注入转换之后生成中断。

如果在转换组中的所有注入通道之后发生另一个外部触发，则通过转换组中主 ADC 的注入通道重新启动备用触发过程。

图 121 交替触发模式



注意：可以在一个或所有 ADC 上启用常规转换。在这种情况下，常规转换是相互独立的。当 ADC 必须执行注入转换时，常规转换被中断。当注入的转换完成时，常规转换将被恢复。两个触发事件之间的时间间隔必须大于等于 1 个 ADC 时钟周期。在同一 ADC 上启动转换的两个触发事件之间的最小时间间隔与单 ADC 模式相同。

启用注入不连续模式时（两个 ADC 的 ADCx_CFGR 寄存器的 JDISCEN = 1）

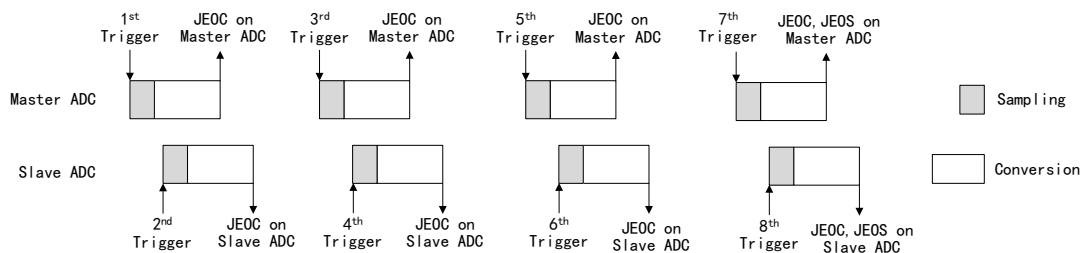
如果主从 ADC 都开启了注入不连续模式：

- （1） 当第一个触发发生时，主 ADC 的第一个注入通道被转换。如果启用 JE0S 中断，则在组中主 ADC 的所有注入通道被转换后生成。
- （2） 当第二个触发发生时，从 ADC 的第一个注入通道被转换。如果启用 JE0S 中断，则在组中从 ADC 的所有注入通道被转换后生成。
- （3） 以此类推.....

如果启用了 JE0C 中断，也可以在每次注入转换之后生成。

如果在组中的所有注入通道转换之后发生另一个外部触发，则交替触发进程重新启动。

图 122 交替触发模式在不连续模式下的示意图



组合的常规/注入同步模式

此模式通过设置主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0]位为 0001 来选择。可以中断常规组的同步转换，以启动注入组的同步转换。

注意：在组合的常规/注入同步模式下，必须转换相同长度的序列，或者确保触发器之间的间隔时间长于两个序列的长转换时间。否则，具有最短序列的 ADC 可能重新启动，而具有最长序列的 ADC 正在完成先前的转换。

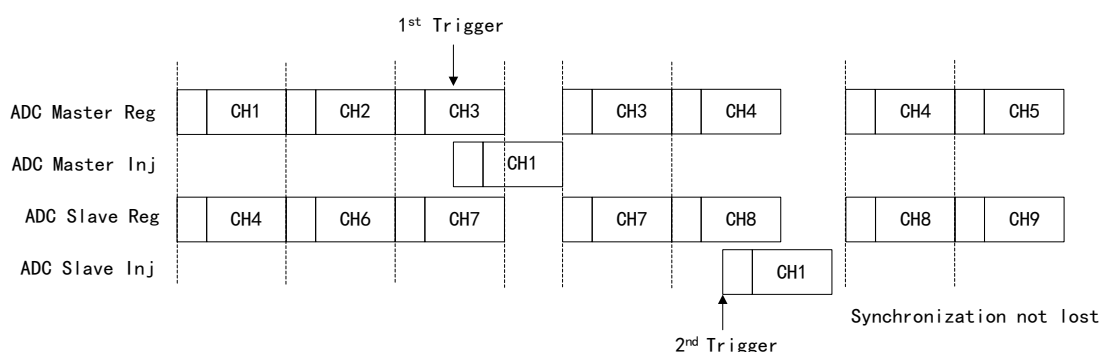
组合的常规同步+交替触发模式

该模式通过设置主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0]位为 0010 来选择。

可以中断常规组的同时转换以启动注入组的交替触发转换。下图显示了中断同时进行的常规转换的交替触发的行为。注入的交替转换在注入事件之后立即启动。如果一个常规转换已经在运行，为了确保注入转换后的同步，所有（主/从）ADC 的常规转换将停止，并在注入转换结束时同步恢复。

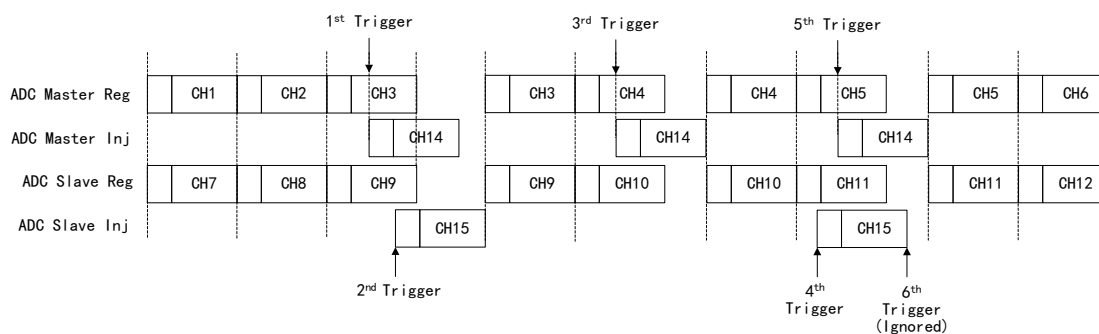
注意：在常规同步+交替组合触发模式下，必须转换相同长度的序列，或者确保触发器之间的间隔时间大于两个序列的长转换时间。否则，具有最短序列的 ADC 可能重新启动，而具有最长序列的 ADC 正在完成先前的转换。

图 123 交替+常规同步模式



如果在中断常规转换的注入转换期间发生触发，则提供交替触发。下图显示了这种情况下的行为（因为相关的交替转换没有完成，第六个触发被忽略了）。

图 124 交替（在注入转换期间发生触发）+常规模式



组合的注入同步+交替模式

该模式通过设置主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0]位为 0011 来选择。可以用同步注入事件中断交替转换。

在这种情况下，交替转换立即中断，同时注入转换开始。在注入序列结束时，恢复交替转换。当交替常规转换恢复时，执行的第一个常规转换始终是主常规转换。

在这种模式下，必须使用主 ADC 的数据寄存器进行一次读访问来读取常规数据。否则，不能保证主从数据的一致性。

图 125 单通道 CH0 交错模式+注入序列 CH11、CH12

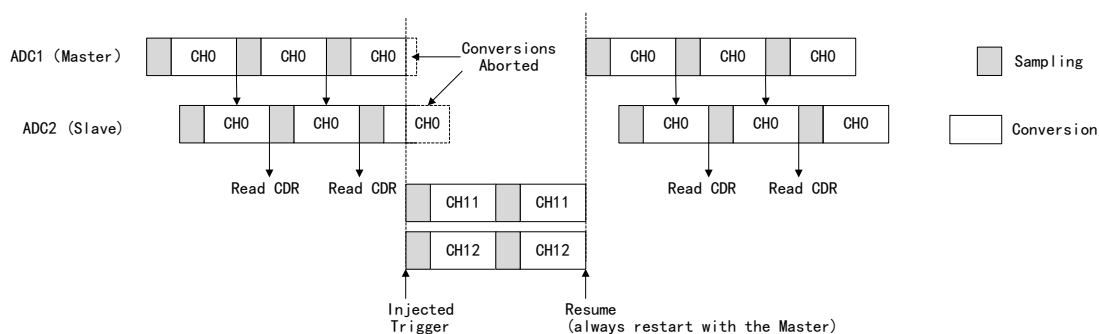


图 126 双通道交错模式+注入序列 CH11、CH12（主机中断优先）

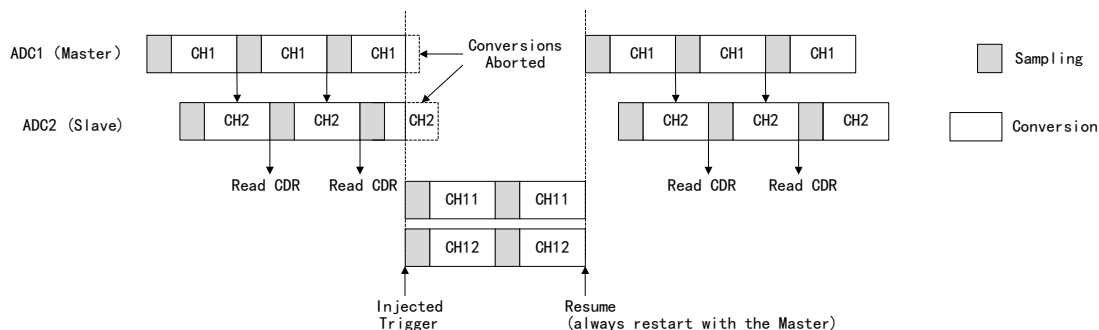
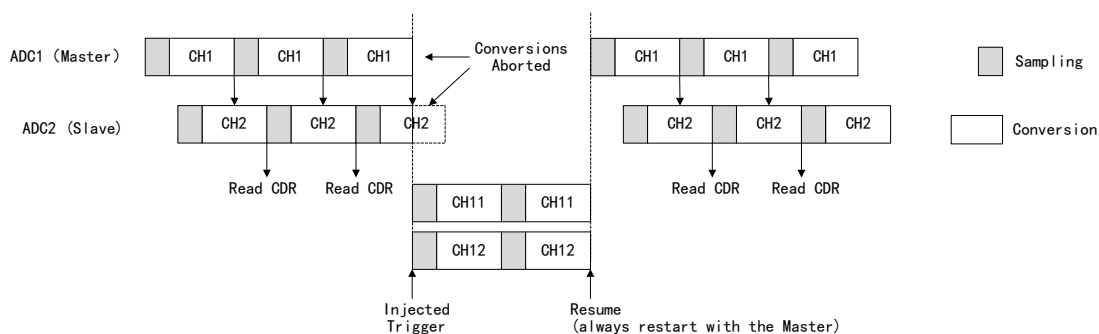


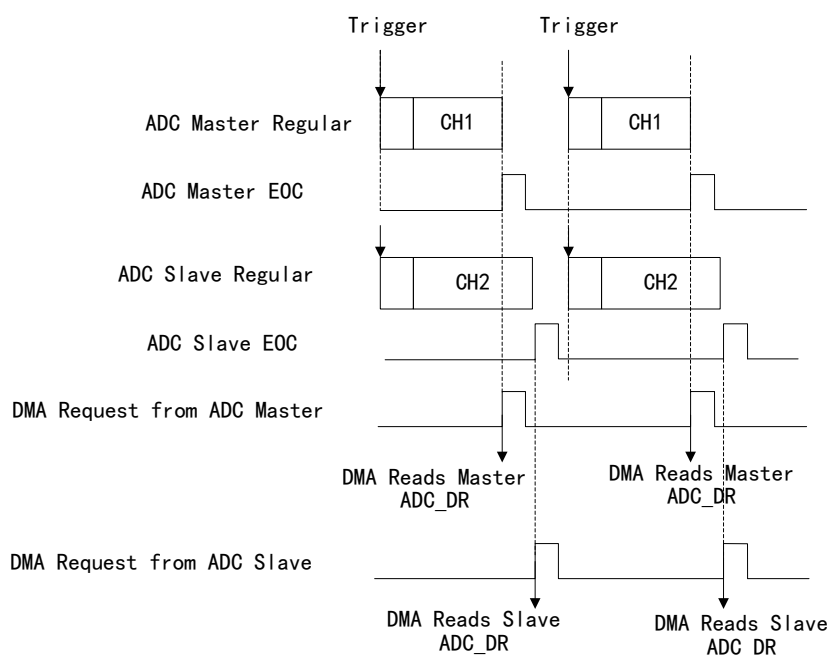
图 127 双通道交错模式+注入序列 CH11、CH12（从机中断优先）



双 ADC 模式的 DMA 请求

在所有双 ADC 模式中，可以使用两个 DMA 通道（一个用于主 ADC，一个用于从 ADC）来传输数据，和单 ADC 模式一致。

图 128 在规则同步模式下的 DMA 请求



在同时的规则模式和交错模式中，也可以保存一个 DMA 通道并使用单个 DMA 通道传输两个数据。每次主 EOC 事件和从 EOC 事件发生时，都会生成单个 DMA 请求。即：每次有 2 个数据项可用时产生一个 DMA 请求。在那个时候，主 ADC 的 DR 寄存器包含两个半字，表示两个 ADC 转换的数据。从 ADC 数据取上半字，主 ADC 数据取下半字。此模式用于交替模式和常规同步模式，每次有 2 个数据项可用时产生一个 DMA 请求。

图 129 在规则同步模式下的 DMA 请求

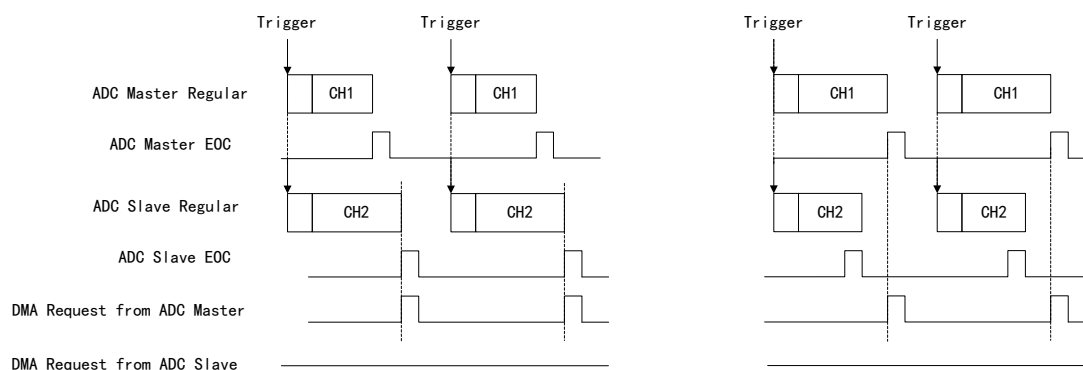
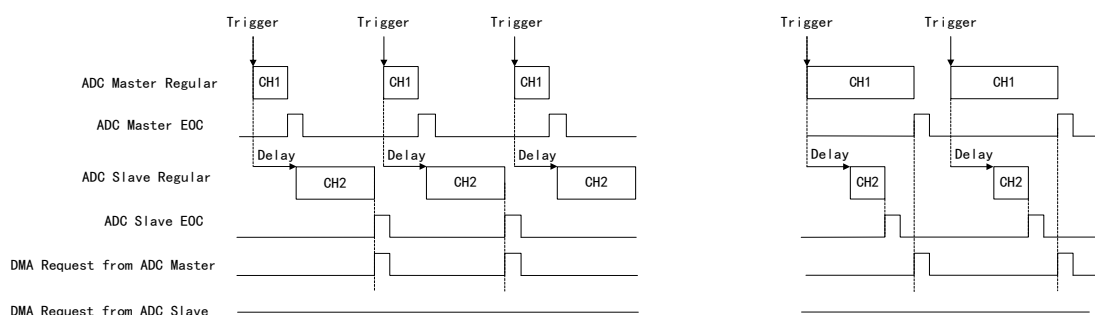


图 130 在交错模式下的 DMA 请求



用户必须注意正确配置主从转换的持续时间，以便在新的转换可用之前生成 DMA 请求并为读取数据（主+从）提供服务。

超限检测

在双 ADC 模式下（当主 ADC 的 ADC1_CR 寄存器中的 DUALMOD[3:0]不等于 0000 时），如果在其中一个 ADC 上检测到溢出，则不再发出 DMA 请求以确保所有传输到 RAM 的数据都是有效的。由于 ADC 的数据寄存器包含有效数据，因此可能会发生与一个 ADC 对应的 EOC 位保持设置的情况。

停止双 ADC 模式的转换

用户必须设置主 ADC 的 ADC1_CR 寄存器的控制位 ADSTP/JADSTP，以在双 ADC 模式下停止两个 ADC 的转换。从 ADC 的 ADC2_CR 寄存器的控制位在双 ADC 模式下不起作用。

一旦两个 ADC 都有效停止，主 ADC 和从 ADC 的 ADCx_CR 寄存器的 ADSTART/JADSTART 位都被硬件清除。

22.4.25 ADC 低功耗模式

表格 87 低功耗模式对 ADC 的影响

模式	描述
低功耗运行模式	无影响
停机模式	ADC 停止运行。

模式	描述
待机模式	ADC 掉电，须等系统退出待机模式稳定后才能开始工作

22.4.26 ADC 中断

在以下情况下会生成中断：

- 常规组的任何转换结束时（EOC 标志）
- 常规组的转换序列结束时（EOS 标志）
- 注入组的任何转换结束时（JEOC 标志）
- 注入组的转换序列结束时（JEOS 标志）
- 发生模拟看门狗检测时（AWD1、AWD2 和 AWD3 标志）
- 采样阶段结束时（EOSMP 标志）
- 发生数据溢出时（OVR 标志）
- 注入序列上下文队列溢出时（JQOVF 标志）

可以使用单独的中断使能位以提高灵活性。

表格 88 ADC 中断

中断事件	事件标志	使能控制位
常规组的转换结束	EOC	EOCIE
常规组的转换序列结束	EOS	EOSIE
注入组的转换结束	JEOC	JEOCIE
注入组的转换序列结束	JEOS	JEOSIE
模拟看门狗 1 状态位置 1	AWD1	AWD1IE
模拟看门狗 2 状态位置 1	AWD2	AWD2IE
模拟看门狗 3 状态位置 1	AWD3	AWD3IE
采样阶段结束	EOSMP	EOSMPIE
上溢	OVR	OVRIE
注入上下文队列溢出	JQOVF	JQOVFIE

22.4.27 参考电压

16 位 ADC 可选择使用内部参考电压、VREFH 引脚输入电压作为参考电压。

要使用内部参考电压作为参考电压，无需在 VREFH 引脚输入电压，使能 ADC16BUFEN、使能 LNBGEN，可在 VREFH 引脚输出内置参考电压。

要使用 VREFH 引脚输入电压作为参考电压，需禁止 ADC16BUFEN、禁止 LNBGEN，在 VREFH 引脚输入电压。

使能 CHOPPEREN，可提高精度，但会提高 ADC 上电稳定时间（最高 10ms），稳定后不会影响 ADC 的采样转换时间。

22.5 寄存器地址映射

表格 89 ADC16 寄存器地址映射

寄存器名	描述	偏移地址
ADC16_ISR	中断状态寄存器	0x00
ADC16_IER	中断使能寄存器	0x04
ADC16_CR	控制寄存器	0x08
ADC16_CFGR	配置寄存器	0x0C
ADC16_CFGR2	配置寄存器 2	0x10
ADC16_SMPR1	采样时间寄存器 1	0x14
ADC16_TR1	模拟看门狗 1 阈值寄存器	0x20
ADC16_TR2	模拟看门狗 2 阈值寄存器	0x24
ADC16_TR3	模拟看门狗 3 阈值寄存器	0x28
ADC16_SQR1	常规序列寄存器 1	0x30
ADC16_SQR2	常规序列寄存器 2	0x34
ADC16_DR	数据寄存器	0x38
ADC16_JSQR	注入序列寄存器	0x3C
ADC16_JDR1	注入通道数据寄存器 1	0x40
ADC16_JDR2	注入通道数据寄存器 2	0x44
ADC16_JDR3	注入通道数据寄存器 3	0x48
ADC16_JDR4	注入通道数据寄存器 4	0x4C
ADC16_AWD2CR	模拟看门狗 2 控制寄存器	0x50
ADC16_AWD3CR	模拟看门狗 3 控制寄存器	0x54
ADC16_OFFSET0	偏移值寄存器 0	0x58
ADC16_OFFSET1	偏移值寄存器 1	0x5C
ADC16_OFFSET2	偏移值寄存器 2	0x60
ADC16_OFFSET3	偏移值寄存器 3	0x64
ADC16_OFFSET4	偏移值寄存器 4	0x68
ADC16_OFFSET5	偏移值寄存器 5	0x6C
ADC16_CAL	标准寄存器	0x80

22.6 寄存器功能描述

22.6.1 中断状态寄存器（ADC16_ISR）

偏移地址：0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:11	保留		
10	JQOVF	R/W	注入上下文队列溢出 (Injected context queue overflow) 当注入上下文队列溢出时, 该位会由硬件置 1。通过软件写入 1 可将该位清零。 0: 未发生注入上下文队列溢出 (或标志事件已通过软件确认并清零) 1: 发生注入上下文队列溢出
9	AWD3	R/W	模拟看门狗 3 标志 (Analog watchdog 3 flag) 当转换电压超过在 ADCx_TR3 寄存器的 LT3[7:0]和 HT3[7:0]字段中编程的值时, 硬件会将该位置 1。通过软件写入 1 可将该位清零。 0: 未发生模拟看门狗 3 事件 (或标志事件已通过软件确认并清零) 1: 发生模拟看门狗 3 事件
8	AWD2	R/W	模拟看门狗 2 标志 (Analog watchdog 2 flag) 当转换电压超过在 ADCx_TR2 寄存器的 LT2[11:0]和 HT2[11:0]字段中编程的值时, 硬件会将该位置 1。通过软件写入 1 可将该位清零。 0: 未发生模拟看门狗 2 事件 (或标志事件已通过软件确认并清零) 1: 发生模拟看门狗 2 事件
7	AWD1	R/W	模拟看门狗 1 标志 (Analog watchdog 1 flag) 当转换电压超过在 ADCx_TR1 寄存器的 LT1[15:0]和 HT1[15:0]字段中编程的值时, 硬件会将该位置 1。通过软件 写入 1 可将该位清零。 0: 未发生模拟看门狗 1 事件 (或标志事件已通过软件确认并清零) 1: 发生模拟看门狗 1 事件
6	JEOS	R/W	注入通道序列结束标志 (Injected channel end of sequence flag) 组内所有注入通道转换结束时, 硬件将该位置 1。通过软件写入 1 可将该位清零。 0: 注入转换序列未完成 (或标志事件已通过软件确认并清零) 1: 注入转换已完成
5	JEOC	R/W	注入通道转换结束标志 (Injected channel end of conversion flag) 当通道的每次注入转换结束, 新数据出现在相应的 ADCX_JDRY 寄存器时, 会通过硬件将该位置 1。通过软件向该位写入 1, 或读取相应的 ADCX_JDRY 寄存器都可将该位清零。 0: 注入通道转换未完成 (或标志事件已通过软件确认并清零) 1: 注入通道转换已完成
4	OVR	R/W	ADC 溢出 (ADC Overrun) 该位在常规通道上发生溢出事件时由硬件置 1, 这意味着在 EOC 标志已置 1 时, 新转换已完成。通过软件写入 1 可将该位清零。 0: 未发生溢出事件 (或标志事件已通过软件确认并清零) 1: 发生溢出
3	EOS	R/W	规序列结束标志 (End of regular sequence flag) 常规通道序列转换结束后, 硬件将该位置 1。通过软件写入 1 可将该位清零。 0: 常规转换序列未完成 (或标志事件已通过软件确认并清零) 1: 常规转换序列已完成
2	EOC	R/W	转换结束标志 (End of conversion flag) 当通道的每次常规转换结束, 新数据出现在 ADCx_DR 寄存器时, 会通过硬件将该位置 1。通过软件向该位写入 1, 或读取 ADCx_DR 寄存器都可将该位清零。 0: 常规通道转换未完成 (或标志事件已通过软件确认并清零)

位/域	名称	R/W	描述
			1: 常规通道转换已完成
1	EOSMP	R/W	采样结束标志 (End of sampling flag) 在任何通道 (仅限常规通道) 的转换过程中, 当采样阶段结束时, 会通过硬件将该位置 1。 0: 采样阶段未结束 (或标志事件已通过软件确认并清零) 1: 采样阶段已结束
0	保留		

22.6.2 中断使能寄存器 (ADC16_IER)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:11	保留		
10	JQOVFIE	R/W	注入上下文队列溢出中断使能 (Injected context queue overflow interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止注入上下文队列溢出中断。 0: 禁止注入上下文队列溢出中断 1: 使能注入上下文队列溢出中断。JQOVF 位置 1 时产生中断。 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何注入转换), 才允许通过软件对此位执行写操作。
9	AWD3IE	R/W	模拟看门狗 3 中断使能 (Analog watchdog 3 interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止模拟看门狗 3 中断。 0: 禁止模拟看门狗 3 中断 1: 使能模拟看门狗 3 中断 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
8	AWD2IE	R/W	模拟看门狗 2 中断使能 (Analog watchdog 2 interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止模拟看门狗 2 中断。 0: 禁止模拟看门狗 2 中断 1: 使能模拟看门狗 2 中断 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
7	AWD1IE	R/W	模拟看门狗 1 中断使能 (Analog watchdog 1 interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止模拟看门狗 1 中断。 0: 禁止模拟看门狗 1 中断 1: 使能模拟看门狗 1 中断 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
6	JEOSIE	R/W	注入转换序列结束中断使能 (End of injected sequence of conversions interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止注入转换序列结束中断。 0: 禁止 JEOS 中断 1: 使能 JEOS 中断。JEOS 位置 1 时产生中断。 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何注入转换), 才允许通过软件对此位执行写操作。
5	JEOCIE	R/W	注入转换结束中断使能 (End of injected conversion interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止注入转换结束中断。

位/域	名称	R/W	描述
			0: 禁止 JEOC 中断 1: 使能 JEOC 中断。JEOC 位置 1 时产生中断。 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
4	OVRIE	R/W	溢出中断使能 (Overrun interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换的溢出中断。 0: 禁止溢出中断 1: 使能溢出中断。OVR 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
3	EOSIE	R/W	常规转换序列结束中断使能 (End of regular sequence of conversions interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换序列结束中断。 0: 禁止 EOS 中断 1: 使能 EOS 中断。EOS 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
2	EOCIE	R/W	常规转换结束中断使能 (End of regular conversion interrupt enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换结束中断。 0: 禁止 EOC 中断 1: 使能 EOC 中断。EOC 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
1	EOSMPIE	R/W	常规转换采样结束中断使能 (End of sampling flag interrupt enable for regular conversions) 此位由软件置 1 和清零, 用于使能/禁止常规转换采样阶段结束中断。 0: 禁止 EOSMP 中断 1: 使能 EOSMP 中断。EOSMP 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
0	保留		

22.6.3 控制寄存器 (ADC16_CR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:6	DUALMOD[3:0]	R/W	双模式选择 (Dual mode selection) 软件使用这些位选择操作模式。 0000: 独立模式 0001: 混合的同步规则+注入同步模式 0010: 混合的同步规则+交替触发模式 0011: 混合的交替模式+注入同步模式 0100: 保留 0101: 注入同步模式 0110: 规则同步模式 0111: 只支持交替模式 1000: 保留

位/域	名称	R/W	描述
			1001: 交替触发模式 注意: 在 ADC2 中这些位为保留位 在双模式中, 改变通道的配置会产生一个重新开始的条件, 这将导致同步丢失。建议在进行任何配置改变前关闭双模式。
5	JADSTP	R/W	ADC 停止注入转换命令 (ADC stop of injected conversion command) 该位由软件置 1, 用于停止和丢弃正在进行的注入转换 (JADSTP 命令)。 当转换已有效丢弃、并且可重新配置 ADC 注入序列和触发时, 会通过硬件将该位清零。随后, ADC 会准备好接收新的开始注入转换命令 (JADSTART 命令)。 0: 当前未执行 ADC 停止注入转换命令。 1: 写入 1 可停止正在进行的注入转换。读取值为 1 表示正在执行 ADSTP 命令。 注意: 仅当 JADSTART=1 且 ADDIS=0 时 (ADC 已使能、最终会进行注入转换、并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 JADSTP 置 1。 在自动注入模式下 (JAUTO=1), 将 ADSTP 位置 1 会中止常规转换和注入转换 (不要使用 JADSTP)。
4	ADSTP	R/W	ADC 停止常规转换命令 (ADC stop of regular conversion command) 该位由软件置 1, 用于停止和丢弃正在进行的常规转换 (ADSTP 命令)。 当转换已有效丢弃、并且可重新配置 ADC 常规序列和触发时, 会通过硬件将该位清零。随后, ADC 会准备好接收新的开始常规转换命令 (ADSTART 命令)。 0: 当前未执行 ADC 停止常规转换命令。 1: 写入 1 可停止正在进行的常规转换。读取值为 1 表示正在执行 ADSTP 命令。 注意: 仅当 ADSTART=1 且 ADDIS=0 时 (ADC 已使能、最终会进行常规转换、并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 ADSTP 置 1。 在自动注入模式下 (JAUTO=1), 将 ADSTP 位置 1 会中止常规转换和注入转换 (不要使用 JADSTP)。
3	JADSTART	R/W	ADC 开始注入转换 (ADC start of injected conversion) 此位由软件置 1, 用于开始 ADC 的注入通道转换。根据配置位 JEXTEN 的值, 可以立即开始转换 (软件触发配置), 也可以在发生注入硬件触发事件后开始转换 (硬件触发配置)。 该位通过硬件清零: 在单次转换模式下, 如果选择了软件触发 (JEXTSEL=0x0): 出现注入转换序列结束 (JEOS) 标志时清零。 在所有情况下: 执行完 JADSTP 命令后, 由硬件将 JADSTP 位清零的同时清零。 0: 当前未进行 ADC 注入转换。 1: 写入 1 可开始注入转换。读取值为 1 表示 ADC 正在运行, 最终会转换注入通道。 注意: 仅当 ADEN=1 且 ADDIS=0 时 (ADC 已使能, 并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 JADSTART 置 1。 在自动注入模式下 (JAUTO=1), 通过将 ADSTART 位置 1 开始常规转换和自动注入转换 (JADSTART 必须保持清零)。

位/域	名称	R/W	描述
2	ADSTART	R/W	ADC 开始常规转换 (ADC start of regular conversion) 此位由软件置 1, 用于开始 ADC 的常规通道转换。根据配置位 EXTEN 的值, 可以立即开始转换 (软件触发配置), 也可以在发生常规硬件触发事件后开始转换 (硬件触发配置)。 该位通过硬件清零: 在单次转换模式下, 如果选择了软件触发 (EXTSEL=0x0): 出现常规转换序列结束 (EOS) 标志时清零。 在所有情况下: 执行完 ADSTP 命令后, 由硬件将 ADSTP 位清零的同时清零。 0: 当前未进行 ADC 常规转换。 1: 写入 1 可开始常规转换。读取值为 1 表示 ADC 正在运行, 最终会转换常规通道。 注意: 仅当 ADEN=1 且 ADDIS=0 时 (ADC 已使能, 并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 ADSTART 置 1 在自动注入模式下 (JAUTO=1), 通过将 ADSTART 位置 1 开始常规转换和自动注入转换 (JADSTART 必须保持清零)
1	ADDIS	R/W	ADC 禁止命令 (ADC disable command) 该位由软件置 1, 用于禁止 ADC (ADDIS 命令) 并使其进入掉电状态 (OFF 状态)。 ADC 已有效禁止后, 会立即通过硬件将该位清零 (此时也会通过硬件将 ADEN 清零)。 0: 当前未执行 ADDIS 命令 1: 写入 1 可禁止 ADC。读取值为 1 表示正在执行 ADDIS 命令。 注意: 仅当 ADEN=1、ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件将 ADDIS 置 1
0	ADEN	R/W	ADC 使能控制 (ADC enable control) 该位由软件置 1 和清零, 用于使能 ADC。 0: 禁止 ADC (OFF 状态) 1: 写入 1 来使能 ADC。

22.6.4 配置寄存器 (ADC16_CFGR)

偏移地址: 0x0C

复位值: 0x8000 0000

位/域	名称	R/W	描述
31	JQDIS	R/W	注入队列禁止 (Injected queue disable) 此位由软件置 1 和清零, 用于禁止注入队列机制。 0: 使能注入队列 1: 禁止注入队列 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行常规转换、也未进行注入转换), 才允许通过软件对此位执行写操作。 将 JQDIS 位置 1 或复位会导致注入队列被清空, JSQR 寄存器也会被清空。 注意: 此处经应用测试结果为 JQDIS 由 1 变为 0 或者由 0 变为 1 时起作用。
30:29	保留		
28:26	AWD1CH[2:0]	R/W	模拟看门狗 1 通道选择 (Analog watchdog 1 channel selection) 这些位将由软件置 1 和清零。它们用于选择由模拟看门狗监控的输入通道。

位/域	名称	R/W	描述
			000: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INP<0> 001: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INP<1> 010: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INP<2> 011: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INN<0> 100: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INN<1> 101: 通过 AWD1 监控 ADC 模拟输入通道单端模式 INN<2> 其他: 保留, 不得使用 注意: 通过 AWD1CH 选择的通道必须也在 SQRI 或 JSQRI 寄存器中选择。 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
25	JAUTO	R/W	注入组自动转换 (Automatic injected group conversion) 通过软件将该位置 1 和清零可在常规组转换后分别使能/禁止注入组自动转换。 0: 禁止注入组自动转换 1: 使能注入组自动转换 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行常规转换、也未进行注入转换), 才允许通过软件对此位执行写操作。
24	JAWD1EN	R/W	注入通道上的模拟看门狗 1 使能 (Analog watchdog 1 enable on injected channels) 此位由软件置 1 和清零 0: 在注入通道上禁止模拟看门狗 1 1: 在注入通道上使能模拟看门狗 1 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何注入转换), 才允许通过软件对此位执行写操作。
23	AWD1EN	R/W	常规通道上的模拟看门狗 1 使能 (Analog watchdog 1 enable on regular channels) 此位由软件置 1 和清零 0: 在常规通道上禁止模拟看门狗 1 1: 在常规通道上使能模拟看门狗 1 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
22	AWD1SGL	R/W	在单一通道或所有通道上使能看门狗 1 (Enable the watchdog 1 on a single channel or on all channels) 此位由软件置 1 和清零, 用于在通过 AWD1CH[2:0]位确定的通道或所有通道上使能模拟看门狗。 0: 在所有通道上使能模拟看门狗 1 1: 在单一通道上使能模拟看门狗 1 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
21	JQM	R/W	JSQR 队列模式 (JSQR queue mode) 此位由软件置 1 和清零。 此位定义空队列的管理方式。 0: JSQR 模式 0: 队列从不为空, 并会保留上一次写入 JSQR 的配置。 1: JSQR 模式 1: 队列可以为空, 队列为空时, 会在上一个有效注入序列完成后立即在内部禁止注入序列的软件和硬件触发。

位/域	名称	R/W	描述
			注意：仅当 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对此位执行写操作。
20	JDISCEN	R/W	注入通道的不连续采样模式（Discontinuous mode on injected channels） 通过软件将该位置 1 和清零可使能/禁止组中注入通道的不连续采样模式。 0：禁止注入通道的不连续采样模式 1：使能注入通道的不连续采样模式 注意：仅当 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对此位执行写操作。 不能同时使用自动注入模式和不连续模式：当 JAUTO 置 1 时，DISCEN 和 JDISCEN 位必须通过软件保持清零状态。
19:17	DISCNUM[2:0]	R/W	不连续采样模式通道计数（Discontinuous mode channel count） 软件将写入这些位，用于定义在接收到外部触发后于不连续采样模式下转换的常规通道数。 000：1 个通道 001：2 个通道 ... 101：6 个通道 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
16	DISCEN	R/W	常规通道的不连续模式（Discontinuous mode for regular channels） 此位由软件置 1 和清零，用于使能/禁止常规通道的不连续模式。 0：禁止常规通道的不连续模式 1：使能常规通道的不连续模式 注意：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。 不能同时使用自动注入模式和不连续模式：当 JAUTO 置 1 时，DISCEN 和 JDISCEN 位必须通过软件保持清零状态。 仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
15	保留		
14	AUTDLY	R/W	延迟转换模式（Delayed conversion mode） 此位由软件置 1 和清零，用于使能/禁止自动延迟转换模式。 0：自动延迟转换模式禁止 1：自动延迟转换模式使能 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
13	CONT	R/W	常规转换的单次/连续转换模式（Single/continuous conversion mode for regular conversions） 此位由软件置 1 和清零。该位置 1 时，常规转换将持续进行，直到该位清零。 0：单次转换模式 1：连续转换模式 注意：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。 仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。

位/域	名称	R/W	描述
12	OVRMOD	R/W	溢出模式（Overrun mode） 该位由软件置 1 和清零，用于配置数据溢出的管理方式。 0：如果检测到溢出，ADCx_DR 寄存器会保留原有数据。 1：如果检测到溢出，ADCx_DR 寄存器会被上一转换结果覆盖。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
11:10	EXTEN[1:0]	R/W	常规通道的外部触发使能和极性选择（External trigger enable and polarity selection for regular channels） 通过软件将这些位置 1 和清零可选择外部触发极性和使能常规组的触发。 00：禁止硬件触发检测（可通过软件启动转换） 01：在上升沿执行硬件触发检测 10：在下降沿执行硬件触发检测 11：在上升沿和下降沿都执行硬件触发检测 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
9:6	EXTSEL[3:0]	R/W	常规组的外部触发选择（External trigger selection for regular group） 这些位可选择用于触发常规组转换的外部事件。 0000：事件 0 0001：事件 1 0010：事件 2 0011：事件 3 0100：事件 4 0101：事件 5 0110：事件 6 0111：事件 7 ... 1111：事件 15 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
5:2	保留		
1	DMACFG	R/W	直接存储器访问配置（Direct memory access configuration） 此位由软件置 1 和清零，用于在 DMA 两种工作模式之间进行选择，仅当 DMAEN=1 时，该位才有效。 0：选择 DMA 单次模式 1：选择 DMA 循环模式 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
0	DMAEN	R/W	直接存储器访问使能（Direct memory access enable） 此位由软件置 1 和清零，用于使能 DMA 请求的生成。 0：禁止 DMA 1：使能 DMA 注意：仅当 ADSTART=0 时（这可确保当前未进行常规任何转换），才允许通过软件对此位执行写操作。

22.6.5 配置寄存器 2（ADC16_CFGR2）

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	DIFSEL	R/W	ADC 单端/差分模式控制信号 (ADC single-ended/differential mode control signal) 0 (默认): 单端模式 1: 差分模式 注意: JADSTART=0、ADSTART=0 时, 才允许通过软件对这些位执行写操作。
13:11	AWDFILT[2:0]	R/W	模拟看门狗滤波参数 (Analog watchdog filtering parameter) 000: 不过滤 001: 连续两次检测产生 AWD1 标志或中断 ... 111: 连续 8 次检测产生一个 AWD1 标志或一个中断 提示: 只有当 ADSTART=0 和 JADSTART=0 时, 软件才允许写这个位 (这确保没有转换正在进行)。
10	ROVSM	R/W	常规过采样模式 (Regular oversampling mode) 此位由软件置 1 和清零, 用于选择常规过采样模式。 0: 连续模式: 如果触发注入转换, 过采样会暂时停止, 并会在注入序列完成后继续 (注入序列过程中会保留过采样缓冲区) 1: 恢复模式: 如果触发注入转换, 当前过采样会中止, 并会在注入序列完成后从头开始进行过采样 (注入序列开始后, 过采样缓冲区会清零) 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。 注意: 可以将 ROVSE 和 JOVSE 位都置 1。在这种情况下, 常规过采样模式会强制进入恢复模式 (忽略 ROVSM 位); 已触发常规模式下支持注入转换。在这种情况下, 必须禁止注入过采样模式, 并且会忽略 ROVSM 位 (强制进入恢复模式)
9	TROVS	R/W	已触发常规过采样 (Triggered regular oversampling) 此位由软件置 1 和清零, 以使能已触发过采样。 0: 会在触发后连续完成某一通道的所有过采样转换 1: 某一通道的每个过采样转换都需要重新触发 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
8:6	OVSS[2:0]	R/W	过采样移位 (Oversampling shift) 此位域由软件置 1 和清零, 用于定义应用到原始过采样结果的右移位数。 000: 不发生移位 001: 移 1 位 010: 移 2 位 011: 移 3 位 100: 移 4 位 其他: 保留 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作
5:4	保留		
3:2	OVSR[1:0]	R/W	过采样率 (Oversampling ratio) 此位域由软件置 1 和清零, 用于定义过采样率。

位/域	名称	R/W	描述
			00: 2 倍 01: 4 倍 10: 8 倍 11: 16 倍 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
1	JOVSE	R/W	注入过采样使能 (Injected oversampling enable) 此位由软件置 1 和清零, 用于使能注入过采样。 0: 禁止注入过采样 1: 使能注入过采样 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
0	ROVSE	R/W	常规过采样使能 (Regular oversampling enable) 此位由软件置 1 和清零, 用于使能常规过采样。 0: 禁止常规过采样 1: 使能常规过采样 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。

22.6.6 采样时间寄存器 1 (ADC16_SMPR1)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:24			保留
23:20	SMP5[3:0]	R/W	通道 5 (单端模式 INN<2>) 采样时间选择 (Channel x sampling time selection)
19:16	SMP4[3:0]	R/W	通道 4 (单端模式 INN<1>) 采样时间选择 (Channel x sampling time selection)
15:12	SMP3[3:0]	R/W	通道 3 (单端模式 INN<0>) 采样时间选择 (Channel x sampling time selection)
11:8	SMP2[3:0]	R/W	通道 2 (单端模式 INP<2>/差分模式<2>) 采样时间选择 (Channel x sampling time selection)
7:4	SMP1[3:0]	R/W	通道 1 (单端模式 INP<1>/差分模式<1>) 采样时间选择 (Channel x sampling time selection)
3:0	SMP0[3:0]	R/W	通道 0 (单端模式 INP<0>/差分模式<0>) 采样时间选择 (Channel x sampling time selection) 通过软件写入这些位可分别为各个通道选择采样时间。在采样周期期间, 通道选择位必须保持不变。 0000: 1 个 ADC 时钟周期 0001: 2 个 ADC 时钟周期 0010: 3 个 ADC 时钟周期 ... 1111: 16 个 ADC 时钟周期 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.7 模拟看门狗 1 阈值寄存器 (ADC16_TR1)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	HT1[15:0]	R/W	模拟看门狗 1 阈值上限 (Analog watchdog 1 higher threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值上限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
15:0	LT1[15:0]	R/W	模拟看门狗 1 阈值下限 (Analog watchdog 1 lower threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值下限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.8 模拟看门狗 2 阈值寄存器 (ADC16_TR2)

偏移地址: 0x24

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	保留		
27:16	HT2[11:0]	R/W	模拟看门狗 2 阈值上限 (Analog watchdog 2 higher threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值上限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
15:12	保留		
11:0	LT2[11:0]	R/W	模拟看门狗 2 阈值下限 (Analog watchdog 2 lower threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值下限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.9 模拟看门狗 3 阈值寄存器 (ADC16_TR3)

偏移地址: 0x28

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:24	保留		
23:16	HT3[7:0]	R/W	模拟看门狗 3 阈值上限 (Analog watchdog 3 higher threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值上限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
15:8	保留		
7:0	LT3[7:0]	R/W	模拟看门狗 3 阈值下限 (Analog watchdog 3 lower threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值下限。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.10 常规序列寄存器 1 (ADC16_SQR1)

偏移地址: 0x30

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	SQ7[3:0]	R/W	常规序列中的第七次转换 (7th conversion in regular sequence)

位/域	名称	R/W	描述
			通过软件写入这些位，并将通道编号分配为常规转换序列中的第七次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
27:24	SQ6[3:0]	R/W	常规序列中的第六次转换（6th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第六次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
23:20	SQ5[3:0]	R/W	常规序列中的第五次转换（5th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第五次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
19:16	SQ4[3:0]	R/W	常规序列中的第四次转换（4th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第四次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
15:12	SQ3[3:0]	R/W	常规序列中的第三次转换（3rd conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第三次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
11:8	SQ2[3:0]	R/W	常规序列中的第二次转换（2nd conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第二次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
7:4	SQ1[3:0]	R/W	常规序列中的第一次转换（1st conversion in regular sequence） 通过软件写入这些位，并将通道编号 SQx 分配为常规转换序列中的第一次转换。 SQx<3:0>=0000（默认） SQx<1:0>=00，INP<2:0>均不选择 SQx<1:0>=01，选择输入信号 INP<0> SQx<1:0>=10，选择输入信号 INP<1> SQx<1:0>=11，选择输入信号 INP<2> SQx<3:2>=00，INN<2:0>均不选择 SQx<3:2>=01，选择输入信号 INN<0> SQx<3:2>=10，选择输入信号 INN<1> SQx<3:2>=11，选择输入信号 INN<2> 配置单端模式时： 若选择 INP，那么 SQx<3:0>=00XX 若选择 INN，那么 SQx<3:0>=XX00

位/域	名称	R/W	描述
			注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
3:0	RL[3:0]	R/W	常规通道序列长度（Regular channel sequence length） 通过软件写入这些位可定义常规通道转换序列中的转换总数。 0000：1 次转换 0001：2 次转换 ... 1011：12 次转换 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

22.6.11 常规序列寄存器 2（ADC16_SQR2）

偏移地址：0x34

复位值：0x0000 0000

位/域	名称	R/W	描述
31:20	保留		
19:16	SQ12[3:0]	R/W	常规序列中的第十二次转换（12th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十二次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
15:12	SQ11[3:0]	R/W	常规序列中的第十一次转换（11th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十一次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
11:8	SQ10[3:0]	R/W	常规序列中的第十次转换（10th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
7:4	SQ9[3:0]	R/W	常规序列中的第九次转换（9th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第九次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
3:0	SQ8[3:0]	R/W	常规序列中的第八次转换（8th conversion in regular sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第八次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

22.6.12 数据寄存器（ADC16_DR）

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	ADC2RDATA[15:0]	R	ADC2 转换的数据 (ADC2 data) 双模式下, 这些位包含了 ADC2 转换的规则通道数据。
15:0	RDATA[15:0]	R	已转换常规数据 (Regular data converted) 这些位为只读。其中包含上一转换常规通道的转换结果。

22.6.13 注入序列寄存器 (ADC16_JSQR)

偏移地址: 0x3C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:24			保留
23:20	JSQ4[3:0]	R/W	注入序列中的第四次转换 (4th conversion in the injected sequence) 通过软件写入这些位, 并将通道编号分配为注入转换序列中的第四次转换。 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。
19:16	JSQ3[3:0]	R/W	注入序列中的第三次转换 (3rd conversion in the injected sequence) 通过软件写入这些位, 并将通道编号分配为注入转换序列中的第三次转换。 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。
15:12	JSQ2[3:0]	R/W	注入序列中的第二次转换 (2nd conversion in the injected sequence) 通过软件写入这些位, 并将通道编号分配为注入转换序列中的第二次转换。 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。
11:8	JSQ1[3:0]	R/W	注入序列中的第一次转换 (1st conversion in the injected sequence) 通过软件写入这些位, 并将通道编号 JSQX 分配为注入转换序列中的第一次转换。 JSQX<3:0>=0000 (默认) JSQX<1:0>=00, INP<2:0>均不选择 JSQX<1:0>=01, 选择输入信号 INP<0> JSQX<1:0>=10, 选择输入信号 INP<1> JSQX<1:0>=11, 选择输入信号 INP<2> JSQX<3:2>=00, INN<2:0>均不选择 JSQX<3:2>=01, 选择输入信号 INN<0> JSQX<3:2>=10, 选择输入信号 INN<1> JSQX<3:2>=11, 选择输入信号 INN<2> 配置单端模式时, 若选择 INP, 那么 JSQX<3:0>=00XX 若选择 INN, 那么 JSQX<3:0>=XX00 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。
7:6	JEXTEN[1:0]	R/W	注入通道的外部触发使能和极性选择 (External trigger enable and polarity selection for injected channels) 通过软件将这些位置 1 和清零可选择外部触发极性和使能注入组的触发。 00: 如果 JQDIS=0 (队列使能), 同时禁止硬件和软件触发检测 00: 如果 JQDIS=1 (队列禁止), 禁止硬件触发检测 (可通过软件启动转换)

位/域	名称	R/W	描述
			01: 在上升沿执行硬件触发检测 10: 在下降沿执行硬件触发检测 11: 在上升沿和下降沿都执行硬件触发检测 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。 如果 JQM=1 且上下文队列为空, 则会在内部禁止注入序列的软件和硬件触发
5:2	JEXTSEL[3:0]	R/W	注入组的外部触发选择 (External trigger selection for injected group) 这些位可选择用于触发注入组转换的外部事件: 0000: 事件 0 0001: 事件 1 0010: 事件 2 0011: 事件 3 0100: 事件 4 0101: 事件 5 0110: 事件 6 0111: 事件 7 ... 1111: 事件 15 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。
1:0	JL[1:0]	R/W	注入通道序列长度 (Injected channel sequence length) 通过软件写入这些位可定义注入通道转换序列中的转换总数。 00: 1 次转换 01: 2 次转换 10: 3 次转换 11: 4 次转换 注意: ADC 使能后 (ADEN=1), 允许随时通过软件写入这些位。

22.6.14 注入通道数据寄存器 1 (ADC16_JDR1)

偏移地址: 0x40

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	JDATA1[15:0]	R	注入数据 (Injected data) 这些位为只读。它们包括来自注入通道 Y 的转换结果。

22.6.15 注入通道数据寄存器 2 (ADC16_JDR2)

偏移地址: 0x44

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	JDATA2[15:0]	R	注入数据 (Injected data) 这些位为只读。它们包括来自注入通道 Y 的转换结果。

22.6.16 注入通道数据寄存器 3 (ADC16_JDR3)

偏移地址: 0x48

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	JDATA3[15:0]	R	注入数据 (Injected data) 这些位为只读。它们包括来自注入通道 Y 的转换结果。

22.6.17 注入通道数据寄存器 4 (ADC16_JDR4)

偏移地址: 0x4c

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	JDATA4[15:0]	R	注入数据 (Injected data) 这些位为只读。它们包括来自注入通道 Y 的转换结果。

22.6.18 模拟看门狗 2 控制寄存器 (ADC16_AWD2CR)

偏移地址: 0x50

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:6	保留		
5:0	AWD2CH[5:0]	R/W	模拟看门狗 2 通道选择 (Analog watchdog 2 channel selection) 这些位将由软件置 1 和清零。它们用于使能和选择由模拟看门狗 2 监控的输入通道。 AWD2CH[I] = 0: 不通过 AWD2 监控 ADC 模拟输入通道 I AWD2CH[I] = 1: 通过 AWD2 监控 ADC 模拟输入通道 I 单端模式下, 当 AWD2CH[5:0] = 000000 时, 差分模式下, 当 AWD2CH[2:0] = 000 时, 会禁止模拟看门狗 2。 I=0: 单端模式 INP<0> I=1: 单端模式 INP<1> I=2: 单端模式 INP<2> I=3: 单端模式 INN<0> I=4: 单端模式 INN<1> I=5: 单端模式 INN<2> 注意: 通过 AWD2CH 选择的通道必须也在 SQRI 或 JSQRI 寄存器中选择。 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.19 模拟看门狗 3 控制寄存器 (ADC16_AWD3CR)

偏移地址: 0x54

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:6	保留		
5:0	AWD3CH[5:0]	R/W	模拟看门狗 3 通道选择 (Analog watchdog 3 channel selection) 这些位将由软件置 1 和清零。它们用于使能和选择由模拟看门狗 3 监控的输入通道。 AWD3CH[I] = 0: 不通过 AWD3 监控 ADC 模拟输入通道 I AWD3CH[I] = 1: 通过 AWD3 监控 ADC 模拟输入通道 I 单端模式下, 当 AWD3CH[5:0] = 000000 时, 差分模式下, 当 AWD3CH[2:0] = 000 时, 会禁止模拟看门狗 3

位/域	名称	R/W	描述
			I=0: 单端模式 INP<0> I=1: 单端模式 INP<1> I=2: 单端模式 INP<2> I=3: 单端模式 INN<0> I=4: 单端模式 INN<1> I=5: 单端模式 INN<2> 注意: 通过 AWD3CH 选择的通道必须也在 SQRI 或 JSQRI 寄存器中选择。 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.20 偏移值寄存器 0 (ADC16_OFFSET0)

偏移地址: 0x58

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18			保留
17	OFFSET0_POS	R/W	正偏移 (Positive offset) 0: 负偏移 1: 正偏移 注意: 只有当 ADSTART = 0 和 JADSTART = 0 (保证不进行转换) 时, 软件才允许写这些位。
16	OFFSET0_EN	R/W	偏移使能 (Offset enable) 该位通过软件写入, 用于使能和禁止编程到 OFFSET0 位中的偏移。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。
15:0	OFFSET0[15:0]	R/W	通道 (单端模式 INP<0>/差分模式<0>) 对应的数据偏移补偿 (Data offset compensation corresponding to the channel) 这些位通过软件写入, 用于定义在转换通道 (可以是常规通道或注入通道) 时从原始转换数据中减去的偏移。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

22.6.21 偏移值寄存器 1 (ADC16_OFFSET1)

偏移地址: 0x5C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:18			保留
17	OFFSET1_POS	R/W	正偏移 (Positive offset) 0: 负偏移 1: 正偏移 注意: 只有当 ADSTART = 0 和 JADSTART = 0 (保证不进行转换) 时, 软件才允许写这些位。
16	OFFSET1_EN	R/W	偏移使能 (Offset enable) 该位通过软件写入, 用于使能和禁止编程到 OFFSET1 位中的偏移。 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对此位执行写操作。

位/域	名称	R/W	描述
15:0	OFFSET1[15:0]	R/W	通道（单端模式 INP<1>/差分模式<1>）对应的数据偏移补偿（Data offset compensation corresponding to the channel） 这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

22.6.22 偏移值寄存器 2（ADC16_OFFSET2）

偏移地址：0x60

复位值：0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17	OFFSET2_POS	R/W	正偏移（Positive offset） 0：负偏移 1：正偏移 注意：只有当 ADSTART = 0 和 JADSTART = 0（保证不进行转换）时，软件才允许写这些位。
16	OFFSET2_EN	R/W	偏移使能（Offset enable） 该位通过软件写入，用于使能和禁止编程到 OFFSET2 位中的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
15:0	OFFSET2[15:0]	R/W	通道（单端模式 INP<2>/差分模式<2>）对应的数据偏移补偿（Data offset compensation corresponding to the channel） 这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

22.6.23 偏移值寄存器 3（ADC16_OFFSET3）

偏移地址：0x64

复位值：0x0000 0000

位/域	名称	R/W	描述
31:18	保留		
17	OFFSET3_POS	R/W	正偏移（Positive offset） 0：负偏移 1：正偏移 注意：只有当 ADSTART = 0 和 JADSTART = 0（保证不进行转换）时，软件才允许写这些位。
16	OFFSET3_EN	R/W	偏移使能（Offset enable） 该位通过软件写入，用于使能和禁止编程到 OFFSET3 位中的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
15:0	OFFSET3[15:0]	R/W	通道（单端模式 INN<0>）对应的数据偏移补偿（Data offset compensation corresponding to the channel） 这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。

位/域	名称	R/W	描述
			注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

22.6.24 偏移值寄存器 4 (ADC16_OFFSET4)

偏移地址：0x68

复位值：0x0000 0000

位/域	名称	R/W	描述
31:18			保留
17	OFFSET4_POS	R/W	正偏移 (Positive offset) 0: 负偏移 1: 正偏移 注意：只有当 ADSTART = 0 和 JADSTART = 0（保证不进行转换）时，软件才允许写这些位。
16	OFFSET4_EN	R/W	偏移使能 (Offset enable) 该位通过软件写入，用于使能和禁止编程到 OFFSET4 位中的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
15:0	OFFSET4[15:0]	R/W	通道（单端模式 INN<1>）对应的数据偏移补偿 (Data offset compensation corresponding to the channel) 这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

22.6.25 偏移值寄存器 5 (ADC16_OFFSET5)

偏移地址：0x6C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:18			保留
17	OFFSET5_POS	R/W	正偏移 (Positive offset) 0: 负偏移 1: 正偏移 注意：只有当 ADSTART = 0 和 JADSTART = 0（保证不进行转换）时，软件才允许写这些位。
16	OFFSET5_EN	R/W	偏移使能 (Offset enable) 该位通过软件写入，用于使能和禁止编程到 OFFSET5 位中的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
15:0	OFFSET5[15:0]	R/W	通道（单端模式 INN<2>）对应的数据偏移补偿 (Data offset compensation corresponding to the channel) 这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对这些位执行写操作。

22.6.26 标准寄存器 (ADC16_CAL)

偏移地址: 0x80

复位值: 0x0000 0002

位/域	名称	R/W	描述
31:4			保留
3	REF_SEL	R/W	ADC 参考电压选择 (ADC reference voltage select) 0 (默认): VREFHI=AVDD (外部) 1: VREFHI=1.65 (内部)
2:0			保留

23 12 位模数转换器（12-bit ADC）

23.1 主要特征

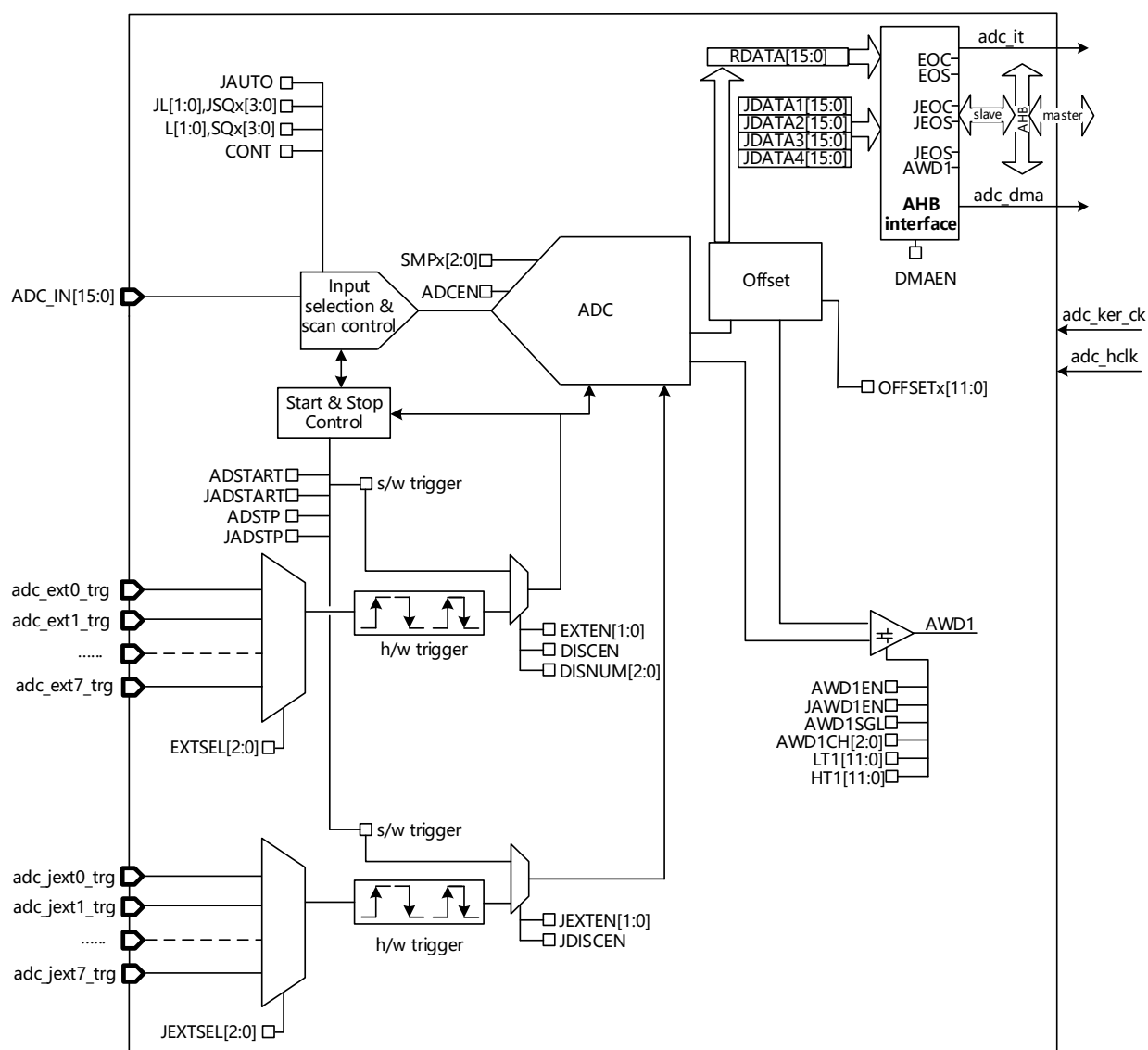
内置 1 个 12 位 ADC 模块，具有以下特性：

- （1） 分辨率 12 位
- （2） 采样通道数：最多 16 个
- （3） 采样间隔可以按通道分别编程
- （4） 带内嵌数据一致性的数据对齐
- （5） 支持偏移补偿
- （6） 12bit 分辨率下最大转换率达到 1Msps
- （7） 触发方式：
 - 片上定时器信号触发
 - 外部引脚信号触发
 - 软件触发
- （8） 支持规则序列、注入序列、单次、连续采样模式
- （9） 支持单次或连续/不连续序列的扫描模式，每个 ADC 可以转换多个通道或扫描一个通道序列
- （10） 有效位数：ADC ENOB = 10 bit
- （11） 支持规则数据转换的 DMA 请求
 - 规则通道转换结束后产生 DMA 请求，可以将转换的数据结果从 ADC_DATA 寄存器传输到存储器中
- （12） 模拟看门狗功能可以监测多路通道的转换电压，当被监测的信号超出预置的值时产生中断
- （13） 1 个内部 LTCBG 参考电压输入通道，连接到 ADC_CH15
- （14） 1 个模拟环路信号 AMUXBUS 输入通道，连接到 ADC_CH14

23.2 功能描述

下图为 ADC 模块的内部框图，它展示了各个功能模块的相互连接。

图 131 ADC 12bit 模块的内部框图



表格 90 ADC 输入/输出引脚

引脚名称	信号类型	说明
VREF+	输入，模拟参考正极	ADC 高/正参考电压， $2.7V \leq VREF+ \leq 3.6$
VDDA	模拟电源输入	模拟电源等于 VDDA: $2.7V \leq VDDA \leq 3.6V$
VREF-	输入，模拟参考负极	VREF-对应的地电平
VSSA	模拟电源地输入	模拟电源接地引脚
VIN[15:0]	正输入模拟通道	连接到外部通道: ADC_INi 或内部通道

23.2.1 时钟

双时钟域架构意味着 ADC 时钟独立于 AHB 总线时钟。

通过 AHB 总线进行 32 位寄存器读写访问；ADC 采样、转换过程和数据处理采用独立的 ADC 时钟（基于系统时钟可配置 10MHz、20MHz 频率时钟）。

23.2.2 从设备 AHB 接口

ADC 利用 AHB 从设备端口实现控制/状态寄存器访问和数据访问。AHB 接口的特性如下：字（32 位）访问 AHB 从设备接口不支持分离/重试请求，且绝不会生成 AHB 错误。

23.2.3 单端通道

在单端输入模式下，转换电压为当前输入通道电压外部 VIN-0 之差。

模拟环路信号 AMUXBUS 通道与 ADC_IN14 相连接，内部参考电压 LTCBG 与 ADC_IN15 相连接，选择对应的通道后，可通过 ADC 转换输入的模拟电压。

23.2.4 ADC 开关控制

将 ADCx_CR 寄存器的 ADEN 位置 1 可使能 ADC。

随后可通过将 ADSTART 置 1 开始进行常规转换，如果触发器已使能，也可在发生外部触发事件时开始进行常规转换。

可通过将 JADSTART 置 1 开始进行注入转换，如果注入触发器已使能，也可在发生外部注入触发事件时开始进行注入转换。

通过软件禁止 ADC 的流程：

检查 ADSTART 和 JADSTART 是否均为 0，以确保当前未执行任何转换。如有需要，可将 ADSTP 置 1，并将 JADSTP 置 1，随后等待至 ADSTP=0 且 JADSTP=0，以停止任何正在进行的常规转换和注入转换。

如果应用要求，可将 ADEN 清 0，从而禁止 ADC。

23.2.5 写入 ADC 控制位时的限制

仅当 ADC 已禁止（ADEN 必须等于 0）时，软件才可通过写入 RCU 控制位的方式配置和使能 ADC 时钟（请参见 RCU 部分）。

只有在 ADC 已使能，才允许软件向 ADCx_CR 寄存器的控制位 ADSTART、JADSTART、ADSTP 和 JADSTP 控制位执行写操作。

对于 ADCx_CFGR、ADCx_CFGR2、ADCx_SMPRx、ADCx_SQRy、ADCx_JDRy、ADCx_JOFFSETy、ADCx_TRy 和 ADCx_IER 寄存器的所有其他控制位：

对于与常规转换配置相关的控制位，只有未进行常规转换（ADSTART 必须等于 0）时，才允许软件对这些位执行写操作。

对于与注入转换配置相关的控制位，只有未进行注入转换（JADSTART 必须等于 0）时，才允许软件对这些位执行写操作。

如果 ADC 已使能（ADEN=1），软件可随时对 ADCx_JSQR 寄存器执行写操作。

23.2.6 通道选择（SQRx、JSQRx）

每个 ADC 复用通道多达 16 条，可以将转换分为两组：常规转换和注入转换。每

个组包含一个转换序列，该序列可按任意顺序在任意通道上完成。

一个常规转换组最多由 16 个转换构成。必须在 ADCx_SQRy 寄存器中选择转换序列的常规通道及其顺序。常规转换组中的转换总数必须写入 ADCx_SQR1 寄存器中的 LT3[3:0]位。

一个注入转换组最多由 4 个转换构成。必须在 ADCx_JSQR 寄存器中选择转换序列的注入通道及其顺序。注入转换组中的转换总数必须写入 ADCx_JSQR 寄存器中的 JL[1:0]位。

不得在可能进行常规转换时对 ADCx_SQRy 寄存器进行修改。因此，必须先写入 ADSTP=1 停止 ADC 常规转换；进行注入转换时，可实时修改 ADCx_JSQR 寄存器。

23.2.7 可独立设置各通道采样时间（SMPRx）

开始转换之前，ADC 必须在待测量电压源与 ADC 内置采样电容之间建立直接连接。该采样时间必须足以使输入电压源为嵌入式电容充电至输入电压水平。

对各通道进行采样时可以使用不同的采样时间，采样时间可通过 ADCx_SMPRx 寄存器中的 SMPx[2:0]位编程，可为每个通道设置独立的采样时间。

总转换时间的计算公式如下：

$$T_{CONV} = \text{采样时间} + 13 \text{ 个 ADC 时钟周期}$$

23.2.8 单次转换模式（CONT=0）

在单次转换模式下，ADC 会将通道的所有转换执行一次。CONT 位为 0 时，可通过以下方式启动此模式：将 ADCx_CR 寄存器中的 ADSTART 位置 1（适用于常规通道）。

将 ADCx_CR 寄存器中的 JADSTART 位置 1 可用于开始 ADC 的注入通道转换。可以立即开始转换，也可以在发生注入硬件触发事件后开始转换。

在常规序列中，每次转换完成后：转换数据存储在 ADCx_DR 寄存器中，EOC（常规转换结束）标志置 1，当 EOCIE 位置 1 时将产生中断。

在注入序列中，每次转换完成后：转换数据存储在四个 ADCx_JDRy 寄存器的其中一个寄存器中，JEOC（注入转换结束）标志置 1。

JEOCIE 位置 1 时将产生中断，常规序列完成后：EOS（常规序列结束）标志置 1，当 EOSIE 位置 1 时将产生中断

注入序列完成后：JEOS（注入序列结束）标志置 1，当 JEOSIE 位置 1 时将产生中断。随后，ADC 会停止工作，直至发生新的外部常规或注入触发，或者 ADSTART 或 JADSTART 位再次置 1。

注意：要转换单个通道，可将序列长度编程为 1。

23.2.9 连续转换模式（CONT=1）

该模式仅适用于常规通道。

在连续转换模式下，如果发生软件或硬件常规触发事件，ADC 会将通道的所有常规转换执行一次，随后会自动重启并持续执行序列的每个转换。CONT 位为 1 时，可通过外部触发或将 ADCx_CR 寄存器中的 ADSTART 位置 1 来启动此模式。

在常规序列中，每次转换完成后：转换数据存储在 ADCx_DR 寄存器中，EOC（转换结束）标志置 1。

EOCIE 位置 1 时将产生中断转换序列完成后：EOS（序列结束）标志置 1，当 EOSIE 位置 1 时将产生中断。

随后，会立即重启新序列，ADC 会继续重复执行转换序列。

注意：要转换单个通道，可将序列长度编程为 1。

不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

注入通道不能连续转换，唯一例外的是，在连续转换模式下（使用 JAUTO 位）注入通道配置为在常规通道后的自动转换。

23.2.10 开始转换（ADSTART、JADSTART）

软件通过将 ADSTART 置 1 的方式开始进行 ADC 常规转换。ADSTART 置 1 后，会开始进行转换：EXTEN=0x0 时（软件触发）。

EXTEN 不等于 0x0 时软件通过将 JADSTART 置 1 的方式开始进行 ADC 注入转换，在所选常规硬件触发的下一有效边沿开始转换。ADSTART 置 1 后，会开始进行转换：JEXTEN=0x0 时（软件触发）。

当 JEXTEN 不等于 0x0 时，在所选注入硬件触发的下一有效边沿开始转换。

注：在自动注入模式下（JAUTO=1），使用 ADSTART 位开始常规转换，然后再进行自动注入转换（JADSTART 必须保持清零）。

ADSTART 位和 JADSTART 位还提供当前是否正在进行 ADC 操作的信息。可以在 ADSTART=0 且 JADSTART=0（指示 ADC 处于空闲状态）时重新配置 ADC。

ADSTART 通过硬件清零：

在使用软件常规触发的单次模式下（CONT=0，EXTEN=0x0）：

- 如果 DISCEN=1，只要常规转换序列结束（EOS 置 1）或子组处理结束就清零在所有情况下（CONT=x、EXTEN=x）
- 执行由软件调用的 ADSTP 程序之后清零

注：在连续模式下（CONT=1），由于序列会自动重新启动，因此，当 EOS 置 1 时，ADSTART 位不会通过硬件清零。

如果在单次模式下选择了硬件触发（CONT=0 且 EXTEN 不等于 0x0），当 EOS 置 1 时，ADSTART 位不会通过硬件清零，借此软件无需再次为下一个硬件触发事件复位 ADSTART。这样可确保不会错过任何后续的硬件触发。

JADSTART 通过硬件清零：

在使用软件注入触发的单次模式下（JEXTEN=0x0）

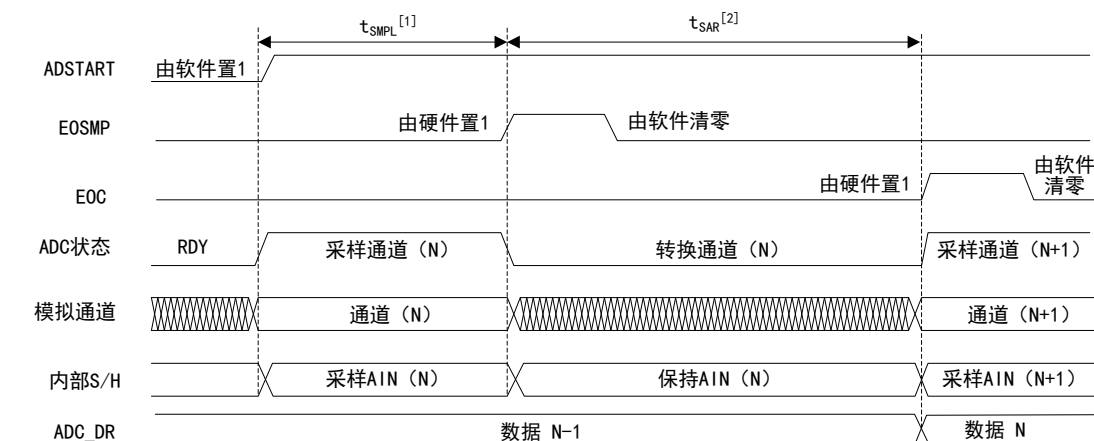
- 如果 JDISCEN=1，只要注入转换序列结束（JEOS 置 1）或子组处理结束就清零在所有情况下（JEXTEN=x）
- 执行由软件调用的 JADSTP 程序之后清零

注：选择软件触发时，如果 EOC 标志仍为高电平，则不应将 ADSTART 位置 1。

23.2.11 ADC 时序

从转换开始到转换结束所经过的时间是配置的采样时间与转换时间的总和。

图 132 模数转换时间



注意：

- (1) t_{SMP} 取决于 SMPx[2:0]。
- (2) t_{SAR} 为转换时间：13 个 ADC_CLK 周期。

23.2.12 停止正在进行的转换（ADSTP、JADSTP）

软件决定是否停止转换，将 ADSTP 置 1 可以停止正在进行的常规转换，将 JADSTP 置 1 可以停止正在进行的注入转换。

停止转换将复位正在进行的 ADC 操作。随后可重新配置 ADC，为新操作做好准备。

注意：可以在常规转换仍在执行时停止注入转换，反之亦然。这样便可在常规转换仍在进行时重新配置注入转换序列和触发（反之亦然）。

如果 ADSTP 位由软件置 1，则会中止任何正在进行的常规转换，并会丢弃部分转换结果（ADCx_DR 寄存器不会更新为当前转换结果）。

如果 JADSTP 位由软件置 1，则会中止任何正在进行的注入转换，并会丢弃部分转换结果（ADCx_JDRy 寄存器不会更新为当前转换结果）。扫描序列也会中止并会复位（这意味着重启 ADC 将重新开始新的序列）。

该程序执行完毕后，ADSTP/ADSTART 位（常规转换时）或 JADSTP/JADSTART 位（注入转换时）会由硬件清零，软件必须轮询 ADSTART（或 JADSTART）直至其复位，然后才能判定 ADC 已完全停止运行。

注意：在自动注入模式下（JAUTO=1），将 ADSTP 位置 1 会中止常规转换和注入转换（不得使用 JADSTP）。

图 133 停止正在进行的常规转换

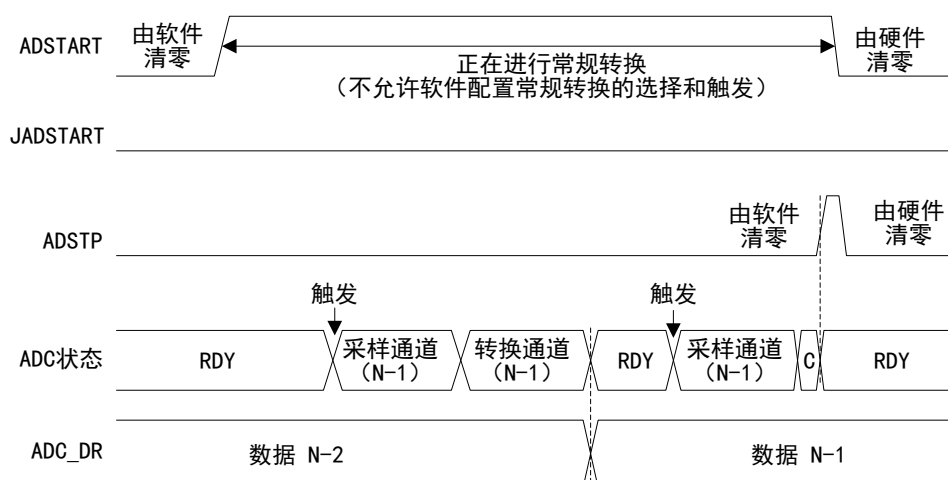
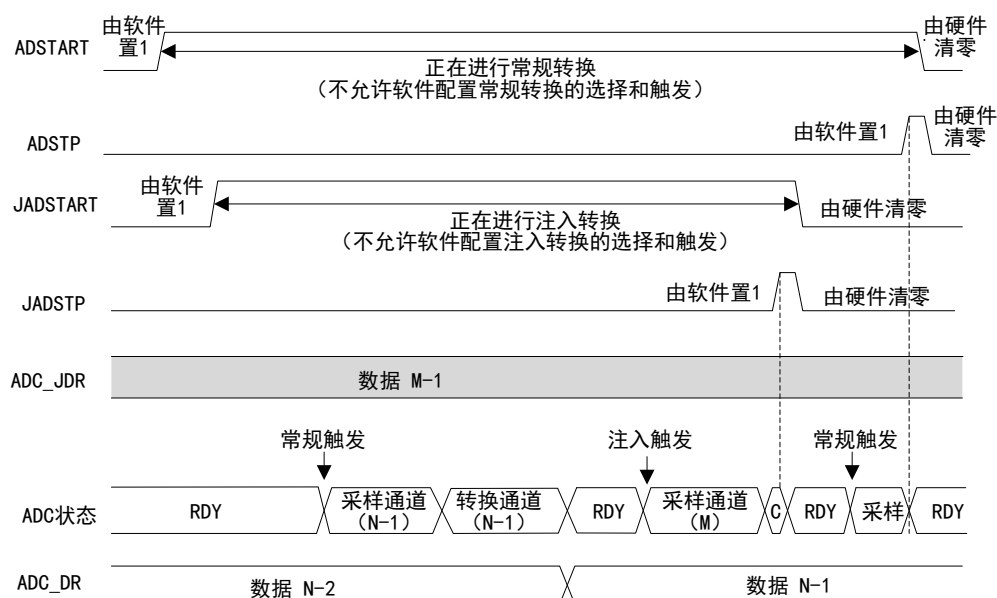


图 134 停止正在进行的常规转换和注入转换



23.2.13 外部触发转换和触发极性 (EXTSEL、EXTEN、JEXTSEL、JEXTEN)

可通过软件或外部事件（例如定时器捕获、输入引脚）触发转换或转换序列。如果 **EXTEN** 控制位（对于常规转换）或 **JEXTEN** 位（对于注入转换）置 1，则外部事件能够触发转换。

软件将 **ADSTART** 位置 1 后，常规触发选择有效；软件将 **JADSTART** 位置 1 后，注入触发选择有效。在转换进行时发生的硬件触发会被忽略。

- 如果位 **ADSTART**=0，则会忽略发生的任何常规硬件触发。
- 如果位 **JADSTART**=0，则会忽略发生的任何注入硬件触发。下表提供了 **EXTEN** 和 **JEXTEN** 值与触发极性之间的对应关系。

表格 91 常规外部触发配置触发极性

EXTEN	源
0	禁止硬件触发检测，使能软件触发检测
1	在上升沿执行硬件触发检测

表格 92 注入外部触发配置触发极性

JEXTEN	源
0	禁止硬件触发检测，使能软件触发检测
1	在上升沿执行硬件触发检测

EXTSEL 和 JEXTSEL 控制位用于从 8 个可能事件中选择可触发常规组转换和注入组转换的事件。可通过注入触发中断常规组转换。

注意：不能实时更改常规触发选择。可以预计并实时更改注入触发选择。

下表列出了用于常规转换和注入转换的 ADC 的所有可能存在的外部触发。

表格 93 常规通道的外部触发

源	类型	EXTSEL[2:0]
TMR1_CC1	来自片上定时器的内部信号	000
TMR1_CC2	来自片上定时器的内部信号	001
TMR1_CC3	来自片上定时器的内部信号	010
TMR2_CC2	来自片上定时器的内部信号	011
TMR3_TRGO	来自片上定时器的内部信号	100
TMR4_CC4	来自片上定时器的内部信号	101
EINT line 11	外部引脚	110
-	保留	111

表格 94 注入通道的外部触发

源	类型	JEXTSEL[2:0]
TMR1_TRGO	来自片上定时器的内部信号	000
TMR1_CC4	来自片上定时器的内部信号	001
TMR2_TRGO	来自片上定时器的内部信号	010
TMR2_CC1	来自片上定时器的内部信号	011
TMR3_CC4	来自片上定时器的内部信号	100
TMR4_TRGO	来自片上定时器的内部信号	101
EINT line 15	外部引脚	110
-	保留	111

23.2.14 注入通道管理

触发注入模式

要使用触发注入，必须将 ADCx_CFGR 寄存器中的 JAUTO 位清零。

通过外部触发或将 ADCx_CR 寄存器中的 ADSTART 位置 1 来启动常规通道组转换。

如果在常规通道组转换期间出现外部注入触发或者 ADCx_CR 寄存器中的 JADSTART 位置 1，则当前的转换会复位，并会启动注入通道序列切换（所有注入通道都会转换一次）。然后，常规通道组的常规转换会从上次中断的常规转换处恢复。

如果在注入转换期间出现常规事件，注入转换不会中断，但在注入序列结束时执行常规序列。

注意：使用触发注入时，必须确保触发事件之间的间隔长于注入序列。

自动注入模式

如果将 ADCx_CFGR 寄存器中的 JAUTO 位置 1，则注入组中的通道会在常规组通道之后自动转换。这可用于转换最多由 16 个转换构成的序列，这些转换在 ADCx_SQRy 和 ADCx_JSQR 寄存器中编程。

在该模式下，必须将 ADCx_CR 寄存器中的 ADSTART 位置 1 以开始常规转换，然后再进行注入转换（JADSTART 必须保持清零）。将 ADSTP 位置 1 会中止常规转换和注入转换（不得使用 JADSTP 位）。在此模式下，必须禁止注入通道上的外部触发。

如果 CONT 位和 JAUTO 位均已置 1，则常规通道及随后的注入通道会被连续转换。

注意：不能同时使用自动注入和不连续采样模式。

23.2.15 不连续模式（DISCEN、DISCNUM、JDISCEN）

常规组模式

可将 ADCx_CFGR 寄存器中的 DISCEN 位置 1 来使能此模式。

该模式用于转换含有 n ($n \leq 7$) 个转换的短序列（子组），该短序列是在 ADCx_SQRy 寄存器中选择的转换序列的一部分。可通过写入 ADCx_CFGR 寄存器中的 DISCNUM[2:0] 位来指定 n 的值。

出现外部触发时，将启动在 ADCx_SQRy 寄存器中选择的接下来 n 个转换，直到序列中的所有转换均完成为止。通过 ADCx_SQR1 寄存器中的 RL[3:0] 位定义总序列长度。

示例：

DISCEN=1, $n=3$, 要转换的通道=1、2、3、6、7、8、9、10、11

- 第一次触发：转换的通道为 1、2、3（每次转换时都生成 EOC 事件）。
- 第二次触发：转换的通道为 6、7、8（每次转换时都生成 EOC 事件）。
- 第三次触发：转换的通道为 9、10、11（每次转换时都生成 EOC 事件），并会在通道 11 转换完成后生成 EOS 事件。
- 第四次触发：转换的通道为 1、2、3（每次转换时都生成 EOC 事件）。

- ...
- DISCEN=0, 要转换的通道=1、2、3、6、7、8、9、10、11
- 第一次触发：转换整个序列：通道 1、然后是通道 2、3、6、7、8、9、10 和 11。每次转换都会生成 EOC 事件，最后一次转换还会生成 EOS 事件。
- 所有后续触发事件都将重启整个序列。

注意：在不连续模式下转换常规组时，不会出现翻转（序列最后一个子组的转换次数少于 n 次）。

转换完所有子组后，下一个触发信号将启动第一个子组的转换。在上述示例中，第四次触发重新转换了第一个子组中的通道 1、2 和 3。

不能同时使能不连续模式和连续模式。如果同时使能两种模式（即 DISCEN=1、CONT=1），ADC 会认定连续模式已禁止并继续执行相关操作。

注入组模式

可将 ADCx_CFGR 寄存器中的 JDISCEN 位置 1 来使能此模式。在出现外部注入触发事件之后，该模式会逐通道转换在 ADCx_JSQR 寄存器中选择的序列，相当于不连续模式下常规通道“n”固定为 1 的情况。

出现外部触发时，将启动在 ADCx_JSQR 寄存器中选择的下一个通道转换，直到序列中的所有转换均完成为止。通过 ADCx_JSQR 寄存器中的 JL[1:0]位定义总序列长度。

示例：

JDISCEN=1, 要转换的通道=1、2、3

- 第一次触发：转换通道 1（生成 JEOP 事件）
- 第二次触发：转换通道 2（生成 JEOP 事件）
- 第三次触发：转换通道 3 并生成 JEOP 事件和 JEOS 事件
- ...

注意：转换完所有注入通道后，下一个触发信号将启动第一个注入通道的转换。在上述示例中，第 4 次触发重新转换了第 1 个注入通道。

不能同时使用自动注入模式和不连续模式：当 JAUTO 置 1 时，DISCEN 和 JDISCEN 位必须通过软件保持清零状态。

23.2.16 转换结束（EOC、JEOP）

每次出现常规转换结束（EOC）事件和注入转换结束（JEOP）事件时，ADC 都会通知应用。

新的常规转换数据出现在 ADCx_DR 寄存器中后，ADC 会立即将 EOC 标志置 1。如果 EOCIE 位置 1，可产生中断。EOC 标志可通过由软件向其写入 1 或读取 ADCx_DR 的方式来清零。

新的注入转换数据出现在 ADCx_JDRy 寄存器中后，ADC 会立即将 JEOP 标志置 1。如果 JEOPIE 位置 1，可产生中断。JEOP 标志可通过由软件向其写入 1 或读取相应 ADCx_JDRy 寄存器的方式来清零。

23.2.17 转换序列结束（EOS、JEOS）

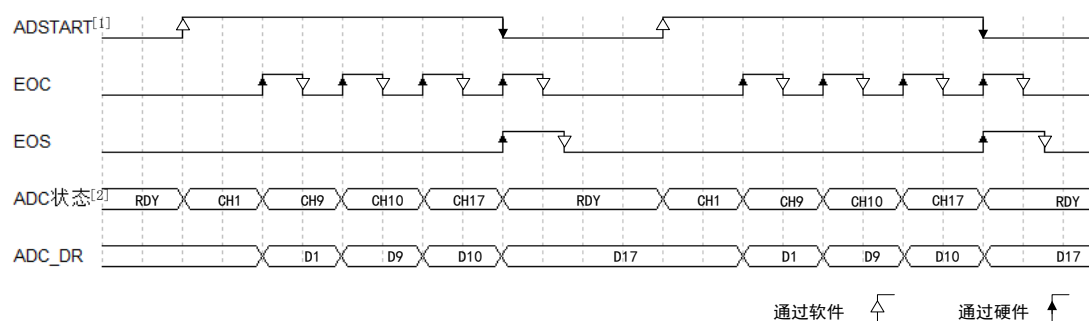
每次出现常规序列结束（EOS）事件和注入序列结束（JEOS）事件时，ADC 都会通知应用。

常规转换序列的最后一个数据出现在 ADCx_DR 寄存器中时，ADC 会立即将 EOS 标志置 1。如果 EOSIE 位置 1，可产生中断。EOS 标志可通过由软件向其写入 1 的方式来清零。

注入转换序列的最后一个数据完成时，ADC 会立即将 JEOS 标志置 1。如果 JEOSIE 位置 1，可产生中断。JEOS 标志可通过由软件向其写入 1 的方式来清零。

23.2.18 时序图示例（单次模式/连续模式，硬件/软件触发）

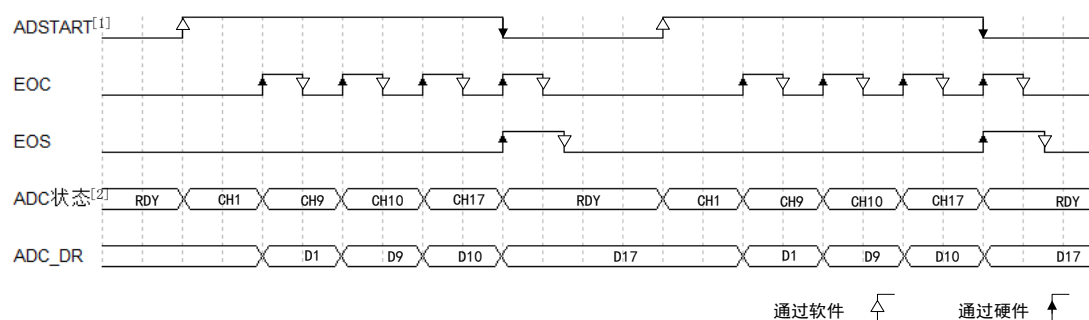
图 135 单次序列转换，软件触发



注意：

- (1) EXTEN=0x0, CONT=0。
- (2) 所选通道=1、9、10、17。

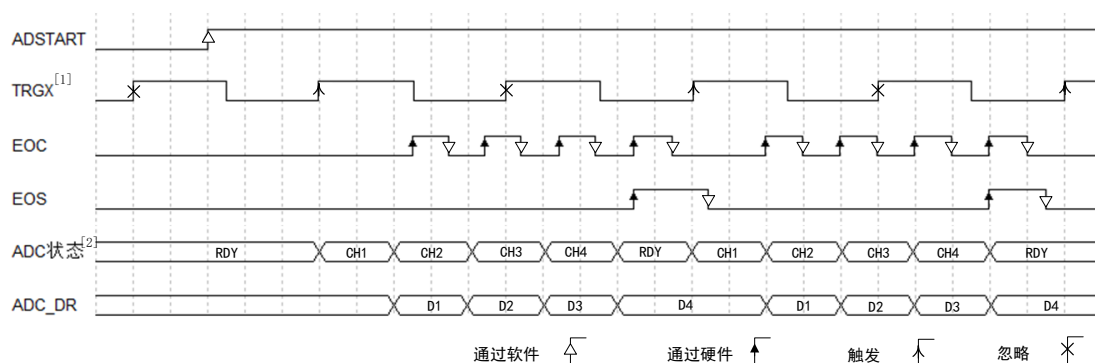
图 136 连续序列转换，软件触发



注意：

- (1) EXTEN=0x0, CONT=1。
- (2) 所选通道=1、9、10、17。

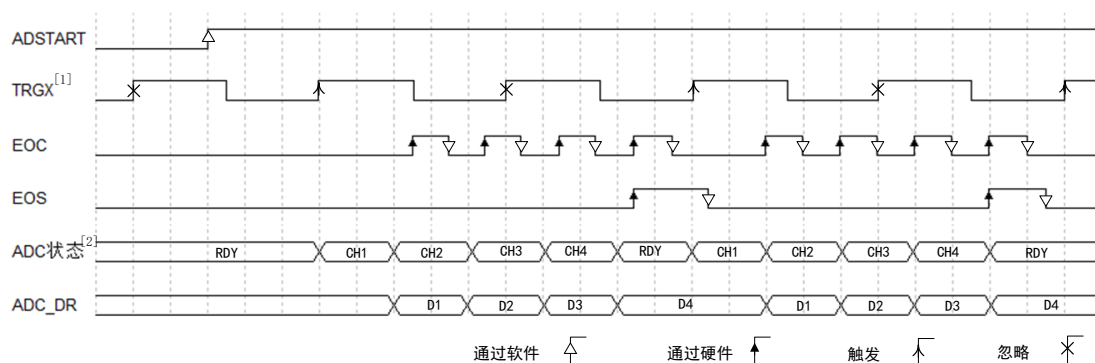
图 137 单次序列转换，硬件触发



注意:

- (1) 选择 TRGx (过频) 作为触发源, EXTEN=01, CONT=0。
- (2) 所选通道=1、2、3、4。

图 138 连续序列转换，硬件触发



注意:

- (1) 选择 TRGx (过频) 作为触发源, EXTEN=01, CONT=1。
- (2) 所选通道=1、2、3、4。

23.2.19 数据对齐

ADC_CFGR 寄存器中的 ALIGN 位选择转换后数据储存的对齐方式。数据可以左对齐或右对齐，如下图所示。

注入组通道转换的数据值已经减去了在 ADC_JOFFSETRx 寄存器中定义的偏移量，因此结果可以是一个负值。SEXT 位是扩展的符号值。

对于规则组通道，不需减去偏移值，因此只有 12 个位有效。

图 139 数据右对齐

注入组	SEXT	SEXT	SEXT	SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
规则组	0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

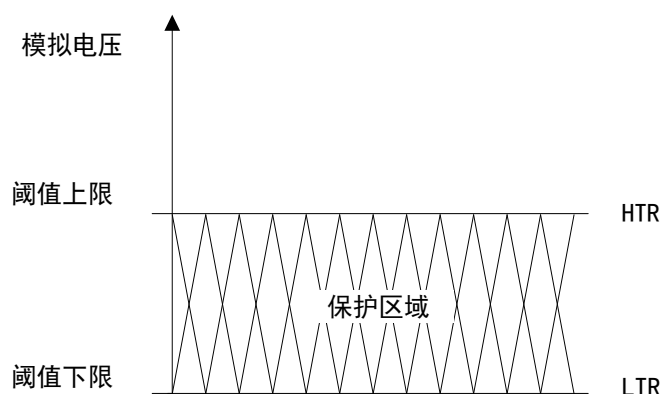
图 140 数据左对齐

注入组	SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
规则组	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0

23.2.20 模拟窗口看门狗（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD_HTx、AWD_LTx、AWDx）

三个 AWD 模拟看门狗会监测一些通道是否保持在配置的电压范围（窗口）内。

图 141 模拟看门狗的保护区域



AWDx 标志和中断

可通过将 ADCx_IER 寄存器（x=1）中的 AWDxIE 置 1 的方式为模拟看门狗使能中断。AWDx（x=1）标志可通过由软件向其写入 1 的方式来清零。

模拟看门狗 1

将 ADCx_CFGR 寄存器中的 AWD1EN 位置 1，可使能 AWD 模拟看门狗 1。该看门狗监测一条已选通道或所有已使能通道是否仍在配置的电压范围（窗口）内。

下表介绍了应如何配置 ADCx_CFGR 寄存器才能在一或多个通道上使能模拟看门狗。

表格 95 模拟看门狗通道选择

模拟看门狗保护的通道	AWD1SGL 位	AWD1EN 位	JAWD1EN 位
无	x	0	0
所有注入通道	0	0	1
所有常规通道	0	1	0
所有常规通道和注入通道	0	1	1
单个注入通道	1	0	1
单个常规通道	1	1	0
单个常规通道或注入通道	1	1	1

通过 AWD1CH[4:0]位选择。此外，还必须将通道编程为在合适的常规序列或注入序列中进行转换。

如果 ADC 转换的模拟电压低于阈值下限或高于阈值上限，则 AWD1 模拟看门狗状态位会置 1。这些阈值编程到模拟看门狗 1 的 ADCx_TR1 寄存器的 HT1[11:0] 和 LT1[11:0]位。

23.2.21 DMA 请求

因为规则通道转换的值储存在一个仅有的数据寄存器中，所以当转换多个规则通道时需要使用 DMA，这可以避免丢失已经存储在 ADC_DR 寄存器中的数据。

只有在规则通道的转换结束时才产生 DMA 请求，并将转换的数据从 ADC_DR 寄存器传输到用户指定的目的地址。DMA 传输数据大小只支持字（32 位）。

23.2.22 ADC 低功耗模式

表格 96 低功耗模式对 ADC 的影响

模式	描述
低功耗运行模式	无影响
停机模式	ADC 停止运行
待机模式	ADC 掉电，须等系统退出待机模式稳定后才能开始工作

23.2.23 ADC 中断

在以下情况下会生成中断：

- 常规组的任何转换结束时（EOC 标志）
- 常规组的转换序列结束时（EOS 标志）
- 注入组的任何转换结束时（JEOC 标志）
- 注入组的转换序列结束时（JEOS 标志）
- 发生模拟看门狗检测时（AWD1 标志）

可以使用单独的中断使能位以提高灵活性。

表格 97 ADC 中断

中断事件	事件标志	使能控制位
常规组的转换结束	EOC	EOCIE
常规组的转换序列结束	EOS	EOSIE
注入组的转换结束	JEOC	JEOCIE
注入组的转换序列结束	JEOS	JEOSIE
模拟看门狗 1 状态位置 1	AWD1	AWD1IE

23.3 寄存器地址映射

表格 98 ADC12 寄存器地址映射

寄存器名	描述	偏移地址
ADC12_ISR	中断状态寄存器	0x00

寄存器名	描述	偏移地址
ADC12_IER	中断使能寄存器	0x04
ADC12_CR	控制寄存器	0x08
ADC12_CFGR	配置寄存器	0x0C
ADC12_SMPR1	采样时间寄存器 1	0x14
ADC12_SMPR2	采样时间寄存器 2	0x18
ADC12_TR1	模拟看门狗寄存器 1	0x20
ADC12_SQR1	常规序列寄存器 1	0x2C
ADC12_SQR2	常规序列寄存器 2	0x30
ADC12_SQR3	常规序列寄存器 3	0x34
ADC12_DR	数据寄存器	0x38
ADC12_JSQR	注入序列寄存器	0x3C
ADC12_JDR1	注入通道数据寄存器 1	0x40
ADC12_JDR2	注入通道数据寄存器 2	0x44
ADC12_JDR3	注入通道数据寄存器 3	0x48
ADC12_JDR4	注入通道数据寄存器 4	0x4C
ADC12_JOFFSET1	注入通道偏移寄存器 1	0x58
ADC12_JOFFSET2	注入通道偏移寄存器 2	0x5C
ADC12_JOFFSET3	注入通道偏移寄存器 3	0x60
ADC12_JOFFSET4	注入通道偏移寄存器 4	0x64

23.4 寄存器功能描述

23.4.1 中断状态寄存器（ADC12_ISR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7	AWD1	RC_W1	模拟看门狗 1 标志（Analog Watchdog 1 Flag） 当转换电压超过在 ADCx_TR1 寄存器的 LT1[11:0]和 HT1[11:0]字段中编程的值时，硬件会将该位置 1。通过软件写入 1 可将该位清零。 0：未发生模拟看门狗 1 事件（或标志事件已通过软件确认并清零） 1：发生模拟看门狗 1 事件
6	JEOS	RC_W1	注入通道序列结束标志（Injected Channel End of Sequence Flag） 组内所有注入通道转换结束时，硬件将该位置 1。通过软件写入 1 可将该位清零。 0：注入转换序列未完成（或标志事件已通过软件确认并清零） 1：注入转换已完成
5	JEOC	RC_W1	注入通道转换结束标志（Injected Channel End of Conversion Flag）

位/域	名称	R/W	描述
			当通道的每次注入转换结束，新数据出现在相应的 ADCx_JDRY 寄存器时，会通过硬件将该位置 1。通过软件向该位写入 1，或读取相应的 ADCx_JDRY 寄存器都可将该位清零。 0：注入通道转换未完成（或标志事件已通过软件确认并清零） 1：注入通道转换已完成
4	保留		
3	EOS	RC_W1	常规序列结束标志（End of Regular Sequence Flag） 常规通道序列转换结束后，硬件将该位置 1。通过软件写入 1 可将该位清零。 0：常规转换序列未完成（或标志事件已通过软件确认并清零） 1：常规转换序列已完成
2	EOC	RC_W1	转换结束标志（End of Conversion Flag） 当通道的每次常规转换结束，新数据出现在 ADCx_DR 寄存器时，会通过硬件将该位置 1。通过软件向该位写入 1，或读取 ADCx_DR 寄存器都可将该位清零。 0：常规通道转换未完成（或标志事件已通过软件确认并清零） 1：常规通道转换已完成
1:0	保留		

23.4.2 中断使能寄存器（ADC12_IER）

偏移地址：0x04

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8	保留		
7	AWD1IE	R/W	模拟看门狗 1 中断使能（Analog Watchdog 1 Interrupt Enable） 此位由软件置 1 和清零，用于使能/禁止模拟看门狗 1 中断。 0：禁止模拟看门狗 1 中断 1：使能模拟看门狗 1 中断 注意：仅当 ADSTART=0 且 JADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。
6	JEOSIE	R/W	注入转换序列结束中断使能（End of Injected Sequence Of Conversions Interrupt Enable） 此位由软件置 1 和清零，用于使能/禁止注入转换序列结束中断。 0：禁止 JEOS 中断 1：使能 JEOS 中断。JEOS 位置 1 时产生中断。 注意：仅当 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对此位执行写操作。
5	JEOCIE	R/W	注入转换结束中断使能（End of Injected Conversion Interrupt Enable） 此位由软件置 1 和清零，用于使能/禁止注入转换结束中断。 0：禁止 JEOC 中断 1：使能 JEOC 中断。JEOC 位置 1 时产生中断。 注意：仅当 JADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
4	保留		
3	EOSIE	R/W	常规转换序列结束中断使能（End of Regular Sequence Of Conversions Interrupt Enable） 此位由软件置 1 和清零，用于使能/禁止常规转换序列结束中断。

位/域	名称	R/W	描述
			0: 禁止 EOS 中断 1: 使能 EOS 中断。EOS 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
2	EOCIE	R/W	常规转换结束中断使能 (End of Regular Conversion Interrupt Enable) 此位由软件置 1 和清零, 用于使能/禁止常规转换结束中断。 0: 禁止 EOC 中断 1: 使能 EOC 中断。EOC 位置 1 时产生中断。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
1:0	保留		

23.4.3 控制寄存器 (ADC12_CR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:6	保留		
5	JADSTP	R/W	ADC 停止注入转换命令 (ADC Stop of Injected Conversion Command) 该位由软件置 1, 用于停止和丢弃正在进行的注入转换 (JADSTP 命令)。 当转换已有效丢弃、并且可重新配置 ADC 注入序列和触发时, 会通过硬件将该位清零。随后, ADC 会准备好接收新的开始注入转换命令 (JADSTART 命令)。 0: 当前未执行 ADC 停止注入转换命令 1: 写入 1 可停止正在进行的注入转换。读取值为 1 表示正在执行 ADSTP 命令。 注意: 仅当 JADSTART=1 且 ADDIS=0 时 (ADC 已使能、最终会进行注入转换、并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 JADSTP 置 1。 在自动注入模式下 (JAUTO=1), 将 ADSTP 位置 1 会中止常规转换和注入转换 (不要使用 JADSTP)
4	ADSTP	R/W	ADC 停止常规转换命令 (ADC Stop of Regular Conversion Command) 该位由软件置 1, 用于停止和丢弃正在进行的常规转换 (ADSTP 命令)。 当转换已有效丢弃、并且可重新配置 ADC 常规序列和触发时, 会通过硬件将该位清零。随后, ADC 会准备好接收新的开始常规转换命令 (ADSTART 命令)。 0: 当前未执行 ADC 停止常规转换命令 1: 写入 1 可停止正在进行的常规转换。读取值为 1 表示正在执行 ADSTP 命令。 注意: 仅当 ADSTART=1 且 ADDIS=0 时 (ADC 已使能、最终会进行常规转换、并且没有任何待处理的禁止 ADC 的请求), 才允许通过软件将 ADSTP 置 1。 在自动注入模式下 (JAUTO=1), 将 ADSTP 位置 1 会中止常规转换和注入转换 (不要使用 JADSTP)。
3	JADSTART	R/W	ADC 开始注入转换 (ADC Start of Injected Conversion)

位/域	名称	R/W	描述
			此位由软件置 1，用于开始 ADC 的注入通道转换。根据配置位 JEXTEN 的值，可以立即开始转换（软件触发配置），也可以在发生注入硬件触发事件后开始转换（硬件触发配置）。 该位通过硬件清零： 在单次转换模式下，如果选择了软件触发（JEXTSEL=0x0）：出现注入转换序列结束（JEOS）标志时清零。 在所有情况下：执行完 JADSTP 命令后，由硬件将 JADSTP 位清零的同时清零。 0：当前未进行 ADC 注入转换 1：写入 1 可开始注入转换。读取值为 1 表示 ADC 正在运行，最终会转换注入通道。 注意：仅当 ADEN=1 且 ADDIS=0 时（ADC 已使能，并且没有任何待处理的禁止 ADC 的请求），才允许通过软件将 JADSTART 置 1。在自动注入模式下（JAUTO=1），通过将 ADSTART 位置 1 开始常规转换和自动注入转换（JADSTART 必须保持清零）。
2	ADSTART	R/W	ADC 开始常规转换（ADC Start of Regular Conversion） 此位由软件置 1，用于开始 ADC 的常规通道转换。根据配置位 EXTEN 的值，可以立即开始转换（软件触发配置），也可以在发生常规硬件触发事件后开始转换（硬件触发配置）。 该位通过硬件清零： 在单次转换模式下，如果选择了软件触发（EXTSEL=0x0）：出现常规转换序列结束（EOS）标志时清零。 在所有情况下：执行完 ADSTP 命令后，由硬件将 ADSTP 位清零的同时清零。 0：当前未进行 ADC 常规转换 1：写入 1 可开始常规转换。读取值为 1 表示 ADC 正在运行，最终会转换常规通道。 注意：仅当 ADEN=1 且 ADDIS=0 时（ADC 已使能，并且没有任何待处理的禁止 ADC 的请求），才允许通过软件将 ADSTART 置 1。在自动注入模式下（JAUTO=1），通过将 ADSTART 位置 1 开始常规转换和自动注入转换（JADSTART 必须保持清零）。
1	保留		
0	ADEN	R/W	ADC 使能控制（ADC Enable Control） 该位由软件置 1 和清零，用于使能 ADC。 0：禁止 ADC（OFF 状态） 1：写入 1 来使能 ADC

23.4.4 配置寄存器（ADC12_CFGR）

偏移地址：0x0c

复位值：0x0000 0000

位/域	名称	R/W	描述
31:30	保留		
29:26	AWD1CH	R/W	模拟看门狗 1 通道选择（Analog Watchdog 1 Channel Selection） 这些位将由软件置 1 和清零。它们用于选择由模拟看门狗监控的输入通道。 0000：通过 AWD1 监控 ADC 模拟输入通道 0 0001：通过 AWD1 监控 ADC 模拟输入通道 1 0010：通过 AWD1 监控 ADC 模拟输入通道 2

位/域	名称	R/W	描述
			1100: 通过 AWD1 监控 ADC 模拟输入通道 12 1101: 通过 AWD1 监控 ADC 模拟输入通道 13 其他: 保留, 不得使用 注意: 通过 AWD1CH 选择的通道必须也在 SQRI 或 JSQRI 寄存器中选择。 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
25	JAUTO	R/W	注入组自动转换 (Automatic Injected Group Conversion) 通过软件将该位置 1 和清零可在常规组转换后分别使能/禁止注入组自动转换。 0: 禁止注入组自动转换 1: 使能注入组自动转换 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行常规转换、也未进行注入转换), 才允许通过软件对此位执行写操作。
24	JAWD1EN	R/W	注入通道上的模拟看门狗 1 使能 (Analog Watchdog 1 Enable on Injected Channels) 此位由软件置 1 和清零。 0: 在注入通道上禁止模拟看门狗 1 1: 在注入通道上使能模拟看门狗 1 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何注入转换), 才允许通过软件对此位执行写操作。
23	AWD1EN	R/W	常规通道上的模拟看门狗 1 使能 (Analog Watchdog 1 Enable on Regular Channels) 此位由软件置 1 和清零。 0: 在常规通道上禁止模拟看门狗 1 1: 在常规通道上使能模拟看门狗 1 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对此位执行写操作。
22	AWD1SGL	R/W	在单一通道或所有通道上使能看门狗 1 (Enable The Watchdog 1 on A Single Channel or on All Channels) 此位由软件置 1 和清零, 用于在通过 AWD1CH[3:0]位确定的通道或所有通道上使能模拟看门狗。 0: 在所有通道上使能模拟看门狗 1 1: 在单一通道上使能模拟看门狗 1 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
21	保留		
20	JDISCEN	R/W	注入通道的不连续采样模式 (Discontinuous Mode On Injected Channels) 通过软件将该位置 1 和清零可使能/禁止组中注入通道的不连续采样模式。 0: 禁止注入通道的不连续采样模式 1: 使能注入通道的不连续采样模式 注意: 仅当 JADSTART=0 时 (这可确保当前未进行任何注入转换), 才允许通过软件对此位执行写操作。 不能同时使用自动注入模式和不连续模式: 当 JAUTO 置 1 时, DISCEN 和 JDISCEN 位必须通过软件保持清零状态。

位/域	名称	R/W	描述
19:17	DISCNUM	R/W	不连续采样模式通道计数（Discontinuous Mode Channel Count） 软件将写入这些位，用于定义在接收到外部触发后于不连续采样模式下转换的常规通道数。 000: 1 个通道 001: 2 个通道 ... 110: 7 个通道 111: 8 个通道 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
16	DISCEN	R/W	常规通道的不连续模式（Discontinuous Mode For Regular Channels） 此位由软件置 1 和清零，用于使能/禁止常规通道的不连续模式。 0: 禁止常规通道的不连续模式 1: 使能常规通道的不连续模式 注意：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。 不能同时使用自动注入模式和不连续模式：当 JAUTO 置 1 时，DISCEN 和 JDISCEN 位必须通过软件保持清零状态。 仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
15:14	保留		
13	CONT	R/W	常规转换的单次/连续转换模式（Single/Continuous Conversion Mode For Regular Conversions） 此位由软件置 1 和清零。该位置 1 时，常规转换将持续进行，直到该位清零。 0: 单次转换模式 1: 连续转换模式 注意：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。 仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对此位执行写操作。
12:11	保留		
10	EXTEN	R/W	常规通道的外部触发使能和极性选择（External Trigger Enable And Polarity Selection For Regular Channels） 通过软件将这些位置 1 和清零可选择外部触发极性和使能常规组的触发。 0: 禁止硬件触发检测（可通过软件启动转换） 1: 在上升沿执行硬件触发检测 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
9	保留		
8:6	EXTSEL	R/W	常规组的外部触发选择（External Trigger Selection For Regular Group） 这些位可选择用于触发常规组转换的外部事件。 000: 事件 0 001: 事件 1 010: 事件 2 011: 事件 3

位/域	名称	R/W	描述
			100: 事件 4 101: 事件 5 110: 事件 6 111: 事件 7 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
5	ALIGN	R/W	数据对齐 (Data Alignment) 该位由软件设置和清除。 0: 右对齐 1: 左对齐 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
4:1	保留		
0	DMAEN	R/W	直接存储器访问使能 (Direct Memory Access Enable) 此位由软件置 1 和清零, 用于使能 DMA 请求的生成。 0: 禁止 DMA 1: 使能 DMA 注意: 仅当 ADSTART=0 时 (这可确保当前未进行常规任何转换), 才允许通过软件对此位执行写操作。

23.4.5 采样时间寄存器 1 (ADC12_SMPR1)

偏移地址: 0x14

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	保留		
30:28	SMP7[2:0]	R/W	通道 7 采样时间选择 (Channel x Sampling Time Selection)
27	保留		
26:24	SMP6[2:0]	R/W	通道 6 采样时间选择 (Channel x Sampling Time Selection)
23	保留		
22:20	SMP5[2:0]	R/W	通道 5 采样时间选择 (Channel x Sampling Time Selection)
19	保留		
18:16	SMP4[2:0]	R/W	通道 4 采样时间选择 (Channel x Sampling Time Selection)
15	保留		
14:12	SMP3[2:0]	R/W	通道 3 采样时间选择 (Channel x Sampling Time Selection)
11	保留		
10:8	SMP2[2:0]	R/W	通道 2 采样时间选择 (Channel x Sampling Time Selection)
7	保留		
6:4	SMP1[2:0]	R/W	通道 1 采样时间选择 (Channel x Sampling Time Selection)
3	保留		
2:0	SMP0[2:0]	R/W	通道 0 采样时间选择 (Channel x Sampling Time Selection) 通过软件写入这些位可分别为各个通道选择采样时间。在采样周期期间, 通道选择位必须保持不变。 000: 7 个 ADC 时钟周期 001: 16 个 ADC 时钟周期 010: 27 个 ADC 时钟周期

位/域	名称	R/W	描述
			011: 32 个 ADC 时钟周期 100: 67 个 ADC 时钟周期 101: 96 个 ADC 时钟周期 110: 128 个 ADC 时钟周期 111: 256 个 ADC 时钟周期 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

23.4.6 采样时间寄存器 2 (ADC12_SMPR2)

偏移地址: 0x18

复位值: 0x0000 0000

位/域	名称	R/W	描述
31			保留
30:28	SMP15[2:0]	R/W	通道 15 采样时间选择 (Channel x Sampling Time Selection)
27			保留
26:24	SMP14[2:0]	R/W	通道 14 采样时间选择 (Channel x Sampling Time Selection)
23			保留
22:20	SMP13[2:0]	R/W	通道 13 采样时间选择 (Channel x Sampling Time Selection)
19			保留
18:16	SMP12[2:0]	R/W	通道 12 采样时间选择 (Channel x Sampling Time Selection)
15			保留
14:12	SMP11[2:0]	R/W	通道 11 采样时间选择 (Channel x Sampling Time Selection)
11			保留
10:8	SMP10[2:0]	R/W	通道 10 采样时间选择 (Channel x Sampling Time Selection)
7			保留
6:4	SMP9[2:0]	R/W	通道 9 采样时间选择 (Channel x Sampling Time Selection)
3			保留
2:0	SMP8[2:0]	R/W	通道 8 采样时间选择 (Channel x Sampling Time Selection) 通过软件写入这些位可分别为各个通道选择采样时间。在采样周期期间, 通道选择位必须保持不变。 000: 7 个 ADC 时钟周期 001: 16 个 ADC 时钟周期 010: 27 个 ADC 时钟周期 011: 32 个 ADC 时钟周期 100: 67 个 ADC 时钟周期 101: 96 个 ADC 时钟周期 110: 128 个 ADC 时钟周期 111: 256 个 ADC 时钟周期 注意: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

23.4.7 模拟看门狗寄存器 1 (ADC12_TR1)

偏移地址: 0x20

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	保留		
27:16	HT1[11:0]	R/W	模拟看门狗 1 阈值上限 (Analog Watchdog 1 Higher Threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值上限。 注: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。
15:12	保留		
11:0	LT1[11:0]	R/W	模拟看门狗 1 阈值下限 (Analog Watchdog 1 Lower Threshold) 这些位由软件写入, 用于定义模拟看门狗 1 的阈值下限。 注: 仅当 ADSTART=0 且 JADSTART=0 时 (这可确保当前未进行任何转换), 才允许通过软件对这些位执行写操作。

23.4.8 常规序列寄存器 1 (ADC12_SQR1)

偏移地址: 0x2C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:28	SQ7[3:0]	R/W	常规序列中的第七次转换 (7th Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第七次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
27:24	SQ6[3:0]	R/W	常规序列中的第六次转换 (6th Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第六次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
23:20	SQ5[3:0]	R/W	常规序列中的第五次转换 (5th Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第五次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
19:16	SQ4[3:0]	R/W	常规序列中的第四次转换 (4th Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第四次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
15:12	SQ3[3:0]	R/W	常规序列中的第三次转换 (3rd Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第三次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
11:8	SQ2[3:0]	R/W	常规序列中的第二次转换 (2nd Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第二次转换。 注意: 仅当 ADSTART=0 时 (这可确保当前未进行任何常规转换), 才允许通过软件对这些位执行写操作。
7:4	SQ1[3:0]	R/W	常规序列中的第一次转换 (1st Conversion In Regular Sequence) 通过软件写入这些位, 并将通道编号分配为常规转换序列中的第一次转换。

位/域	名称	R/W	描述
			注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
3:0	LT3[3:0]	R/W	常规通道序列长度（ Regular Channel Sequence Length ） 通过软件写入这些位可定义常规通道转换序列中的转换总数。 0000: 1 次转换 0001: 2 次转换 ... 1111: 16 次转换 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

23.4.9 常规序列寄存器 2（**ADC12_SQR2**）

偏移地址：0x30

复位值：0x0000 0000

位/域	名称	R/W	描述
31:28			保留
27:24	SQ14[3:0]	R/W	常规序列中的第十四次转换（ 14th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十四次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
23:20	SQ13[3:0]	R/W	常规序列中的第十三次转换（ 13th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十三次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
19:16	SQ12[3:0]	R/W	常规序列中的第十二次转换（ 12th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十二次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
15:12	SQ11[3:0]	R/W	常规序列中的第十一次转换（ 11th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十一次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
11:8	SQ10[3:0]	R/W	常规序列中的第十次转换（ 10th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
7:4	SQ9[3:0]	R/W	常规序列中的第九次转换（ 9th Conversion In Regular Sequence ） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第九次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
3:0	SQ8[3:0]	R/W	常规序列中的第八次转换（ 8th Conversion In Regular Sequence ）

位/域	名称	R/W	描述
			通过软件写入这些位，并将通道编号分配为常规转换序列中的第八次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

23.4.10 常规序列寄存器 3 (ADC12_SQR3)

偏移地址：0x34

复位值：0x0000 0000

位/域	名称	R/W	描述
31:8			保留
7:4	SQ16[3:0]	R/W	常规序列中的第十六次转换（16th Conversion In Regular Sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十六次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。
3:0	SQ15[3:0]	R/W	常规序列中的第十五次转换（15th Conversion In Regular Sequence） 通过软件写入这些位，并将通道编号分配为常规转换序列中的第十五次转换。 注意：仅当 ADSTART=0 时（这可确保当前未进行任何常规转换），才允许通过软件对这些位执行写操作。

23.4.11 数据寄存器 (ADC12_DR)

偏移地址：0x38

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	RDATA[15:0]	R	已转换常规数据（Regular Data Converted） 这些位为只读。其中包含上一转换常规通道的转换结果。

23.4.12 注入序列寄存器 (ADC12_JSQR)

偏移地址：0x3C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:24			保留
23:20	JSQ4[3:0]	R/W	注入序列中的第四次转换（4th Conversion in the Injected Sequence） 通过软件写入这些位，并将通道编号分配为注入转换序列中的第四次转换。 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
19:16	JSQ3[3:0]	R/W	注入序列中的第三次转换（3rd Conversion in the Injected Sequence） 通过软件写入这些位，并将通道编号分配为注入转换序列中的第三次转换。 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
15:12	JSQ2[3:0]	R/W	注入序列中的第二次转换（2nd Conversion in the Injected Sequence）

位/域	名称	R/W	描述
			通过软件写入这些位，并将通道编号分配为注入转换序列中的第二次转换。 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
11:8	JSQ1[3:0]	R/W	注入序列中的第一次转换（1st Conversion in the Injected Sequence） 通过软件写入这些位，并将通道编号分配为注入转换序列中的第一次转换。 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
7	保留		
6	JEXTEN	R/W	注入通道的外部触发使能和极性选择（External Trigger Enable And Polarity Selection For Injected Channels） 通过软件将这些位置 1 和清零可选择外部触发极性和使能注入组的触发。 0：禁止硬件触发检测（可通过软件启动转换） 1：在上升沿执行硬件触发检测。 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
5	保留		
4:2	JEXTSEL[2:0]	R/W	注入组的外部触发选择（External Trigger Selection For Injected Group） 这些位可选择用于触发注入组转换的外部事件： 000：事件 0 001：事件 1 010：事件 2 011：事件 3 100：事件 4 101：事件 5 110：事件 6 111：事件 7 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。
1:0	JL[1:0]	R/W	注入通道序列长度（Injected Channel Sequence Length） 通过软件写入这些位可定义注入通道转换序列中的转换总数。 00：1 次转换 01：2 次转换 10：3 次转换 11：4 次转换 注意：仅当 JADSTART=0 且 JAUTO=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。

23.4.13 注入通道数据寄存器 1（ADC12_JDR1）

偏移地址：0x40

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	JDATA1[15:0]	R	注入数据（Injected Data）

位/域	名称	R/W	描述
			这些位为只读，包含了注入通道的转换结果。数据是左对齐或右对齐。

23.4.14 注入通道数据寄存器 2 (ADC12_JDR2)

偏移地址: 0x44

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	JDATA2[15:0]	R	注入数据 (Injected Data) 这些位为只读，包含了注入通道的转换结果。数据是左对齐或右对齐。

23.4.15 注入通道数据寄存器 3 (ADC12_JDR3)

偏移地址: 0x48

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	JDATA3[15:0]	R	注入数据 (Injected Data) 这些位为只读，包含了注入通道的转换结果。数据是左对齐或右对齐。

23.4.16 注入通道数据寄存器 4 (ADC12_JDR4)

偏移地址: 0x4c

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16			保留
15:0	JDATA4[15:0]	R	注入数据 (Injected Data) 这些位为只读，包含了注入通道的转换结果。数据是左对齐或右对齐。

23.4.17 注入通道偏移寄存器 1 (ADC12_JOFFSET1)

偏移地址: 0x58

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:12			保留
11:0	JOFFSET1[11:0]	R/W	注入通道偏移寄存器 1 (Inject channel offset register 1) 注入序列第 1 个转换对应的数据偏移补偿这些位通过软件写入，用于定义在转换通道 (可以是常规通道或注入通道) 时从原始转换数据中减去的偏移。 注意: 仅当 JAUTO=0 且 JADSTART=0 时 (这可确保当前未进行任何注入转换)，才允许通过软件对这些位执行写操作。

23.4.18 注入通道偏移寄存器 2 (ADC12_JOFFSET2)

偏移地址: 0x5c

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11:0	JOFFSET2[11:0]	R/W	注入通道偏移寄存器 2 (Inject channel offset register 2) 注入序列第 2 个转换对应的数据偏移补偿这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 JAUTO=0 且 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。

23.4.19 注入通道偏移寄存器 3 (ADC12_JOFFSET3)

偏移地址：0x60

复位值：0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11:0	JOFFSET3[11:0]	R/W	注入通道偏移寄存器 3 (Inject channel offset register 3) 注入序列第 3 个转换对应的数据偏移补偿这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 JAUTO=0 且 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。

23.4.20 注入通道偏移寄存器 4 (ADC12_JOFFSET4)

偏移地址：0x64

复位值：0x0000 0000

位/域	名称	R/W	描述
31:12	保留		
11:0	JOFFSET4[11:0]	R/W	注入通道偏移寄存器 4 (Inject channel offset register 4) 注入序列第 4 个转换对应的数据偏移补偿这些位通过软件写入，用于定义在转换通道（可以是常规通道或注入通道）时从原始转换数据中减去的偏移。 注意：仅当 JAUTO=0 且 JADSTART=0 时（这可确保当前未进行任何注入转换），才允许通过软件对这些位执行写操作。

24 数模转换器 (DAC)

24.1 简介

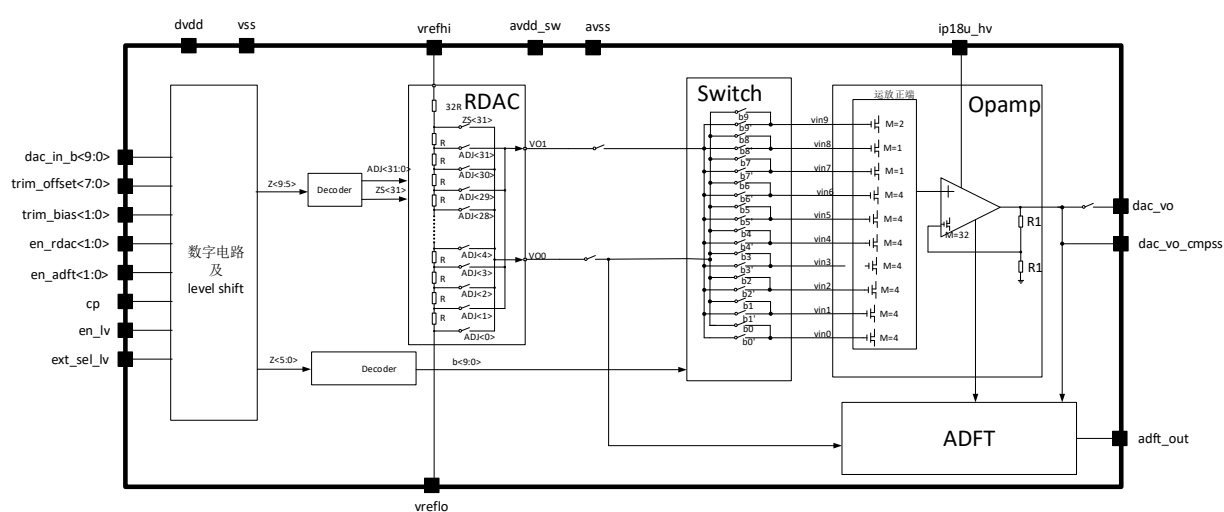
数字/模拟转换模块 (DAC) 是一个 10 位数模转换器, 可以将输入的数字信号转换为模拟电压输出。DAC 的数据可以通过左对齐寄存器或右对齐寄存器写入。DAC 的参考电压是 VDDA。DAC 内部集成缓冲器, 可以实现更高的驱动电流。

24.2 主要特征

- (1) 单个输出通道
- (2) 数据可为左对齐或右对齐
- (3) 波形发生器
- (4) 噪声发生器
- (5) 三角波发生器
- (6) 锯齿波发生器
- (7) 转换支持内、外部触发及软件触发
- (8) 缓冲偏移校准
- (9) DAC 可配置输出到外部引脚或连接到内部其他外设

24.3 结构框图

图 142 DAC 结构框图



24.4 功能描述

24.4.1 DAC 通道使能

通过设置 DACx_CR 寄存器中的 EN 位可以使能 DAC 通道，使能后 DAC 通道需要有一个稳定时间。

24.4.2 DAC 输出缓冲使能

DAC 内部集成一个输出缓冲器，通过输出缓冲器可以增加驱动能力。DAC 的输出缓冲器在 DACx_CR 寄存器中的 EN 位为 1 时由硬件自动使能。

通过 DACx_CR 寄存器中的 EXT_SEL 位可以选择输出缓冲器是连接到外部引脚还是连接到内部其他外设。当 EXT_SEL 为 0 时，输出缓冲器连接到内部其他外设，当 EXT_SEL 为 1 时，输出缓冲器连接到外部引脚。

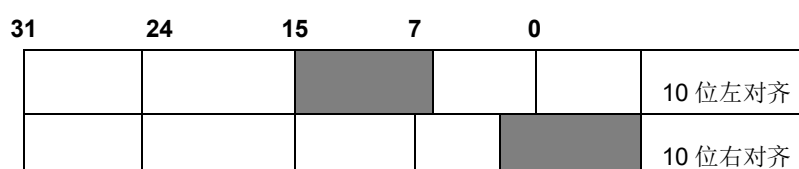
24.4.3 DAC 数据格式

单 DAC 通道

- 10 位左对齐：软件必须将数据加载到 DACx_DHR10L[31:22]位（存储在 DHR[9:0]位）
- 10 位右对齐：软件必须将数据加载到 DACx_DHR10R[9:0]位（存储在 DHR[9:0]位）

根据加载的 DACx_DHR 寄存器，用户写入的数据将被移位并存储在 DHR（数据保持寄存器，内部非内存映射寄存器）中。然后 DACx_DHR 寄存器的数据由软件触发或者内外部触发加载到 DOR 寄存器中。

图 143 DAC 数据对齐



24.4.4 DAC 转换

DACx_DOR 寄存器软件不能直接写入，任何传输给 DAC 通道的数据都必须通过加载 DACx_DHR 寄存器（通过对 DACx_DHR10R 或 DACx_DHR10L 寄存器写操作）来完成。

24.4.5 DAC 输出电压

DAC 的输出电压由一个线性的转换器根据输入的数字值转换得到一个 0~VREF+ 之间的电压。在 DAC 通道输出的电压由以下公式决定：

$$DAC_{output} = VREF \times DOR / 1024$$

24.4.6 DAC 触发选择

当 DACx_CR 寄存器中的 EN 位为 1 时，可以由软件触发或事件触发转换，通过

DACx_CR 中的 TSEL[2:0]位段可以选择 8 个触发源中的一个。当 EN 位为 0 时，DAC_DHR 寄存器中的数据不会传输到 DACx_DOR 寄存器中。

DAC 内部信号名称

表格 99 DAC 内部信号名称

信号名称	触发源
DACx_TRG1	TMR1_TRGO
DACx_TRG2	TMR2_TRGO
DACx_TRG3	TMR3_TRGO
DACx_TRG4	TMR4_TRGO
DACx_TRG5	EINT_Line0
DACx_TRG6	EINT_Line2
DACx_TRG7	EINT_Line11

DAC 触发源

表格 100 DAC 触发源

TSEL[2:0]	触发源
000	SWTRIG
001	DACx_TRG1
010	DACx_TRG2
011	DACx_TRG3
100	DACx_TRG4
101	DACx_TRG5
110	DACx_TRG6
111	DACx_TRG7

事件触发

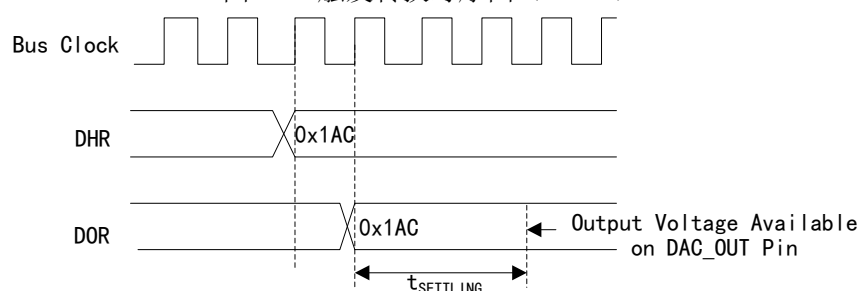
当 DAC 接口检测到所选触发源的上升沿时，最后存储在 DACx_DHR 寄存器中的数据就会传送到 DACx_DOR 寄存器中。DACx_DOR 寄存器的更新时间为触发发生后的一个 DAC_PCLK 时钟。

软件触发

如果选择的是软件触发，软件一旦设置 DACx_SWTRGR 寄存器中的 SWTRIG 位，转换就会开始。DACx_DHR 寄存器中的内容会被加载到 DACx_DOR 寄存器中，一旦加载完成，SWTRIG 位会被硬件复位。DACx_DOR 寄存器的更新时间为触发发生后的一个 DAC_PCLK 时钟。

注意：TSEL[2:0]位段只能在 EN 位为 0 时才能修改

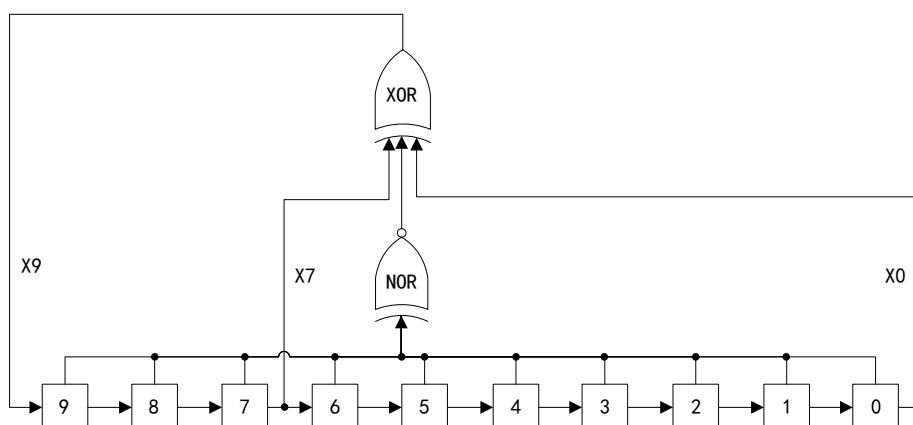
图 144 触发转换时序图 (EN=1)



24.4.7 DAC 噪声发生器

为了生成可变幅度的伪随机噪声，可以使用一个线性反馈移位寄存器（LFSR）。通过将 WAVE[1:0] 设置为 01 来选择 DAC 噪声生成。在 LFSR 中预加载的值是 0x2AA。此寄存器会在每次触发事件后的一个 `dac_pclk` 时钟周期更新，遵循一个特定的计算算法。

图 145 DAC 噪声发生器

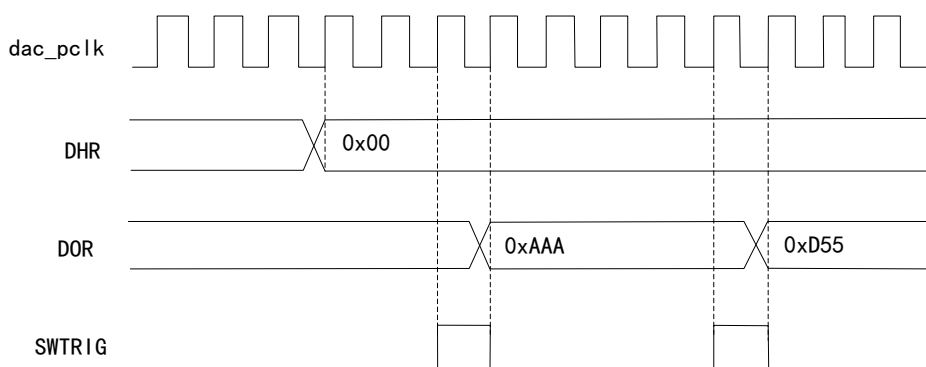


LFSR 算法

LFSR 的值，可以通过 `DACx_CR` 寄存器中的 `MAMP[3:0]` 位部分或完全屏蔽。这个值加上 `DACx_DHR` 寄存器中的值，由硬件确保不会发生溢出，然后这个结果传送到 `DACx_DOR` 寄存器中。

如果 LFSR 是 0x0000，则会注入一个 '1'（防锁定机制）。通过重置 `DACx_CR` 寄存器中的 `WAVE[1:0]` 位可以重置 LFSR 波形生成。

图 146 软件触发 LFSR 转换时序图

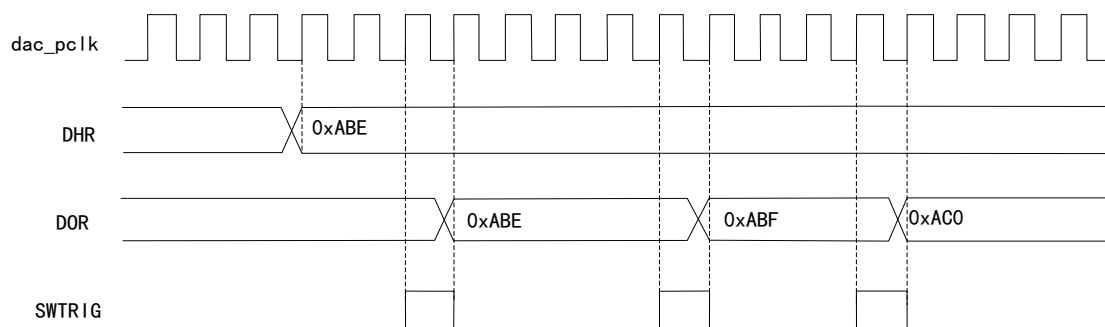


24.4.8 DAC 三角波发生器

可以在直流信号或缓慢变化的信号上加上一个小幅度的三角波形。通过将 **DACx_CR** 寄存器中的 **WAVE[1:0]** 设置为 10 来选择 DAC 三角波生成。通过 **DACx_CR** 寄存器中的 **MAMP[3:0]** 位来配置幅度。在每个触发事件后的一个 **DAC_PCLK** 时钟周期，内部三角形计数器会递增。然后，这个计数器的值加到 **DACx_DHR** 寄存器中，加和时不会溢出，结果被传送到 **DACx_DOR** 寄存器。只要三角计数器的值小于通过 **MAMP[3:0]** 位定义的最大幅度，就会持续递增。一旦达到配置的幅度，计数器就会递减到 0，然后再次递增，以此类推。

通过重置 **DACx_CR** 寄存器中的 **WAVE[1:0]** 位可以重置三角波波形生成。

图 147 软件触发三角波转换时序图



24.4.9 DAC 锯齿波发生器

DAC 可以生成锯齿波形。需要特定的寄存器设置来配置初始值、增量值和方向控制：通过在 **DACx_CR** 寄存器中将 **WAVE[1:0]** 设置为 11 来选择 DAC 锯齿波形生成。

锯齿波计数器初始值（重置值）通过 **DACx_STR** 寄存器中的 **STRSTDATA[9:0]** 位来配置。增量值由 **DACx_STR** 寄存器中的 **STINC DATA[15:0]** 位定义。

锯齿波方向由 **DACx_STR** 寄存器中的 **STDIR** 位定义。

锯齿波计数器从 **STRSTDATA[9:0]** 开始（位 10 至 15 被设置为 000000），每个增量触发器随后增加（或减少）**STINC DATA[15:0]** 的值。

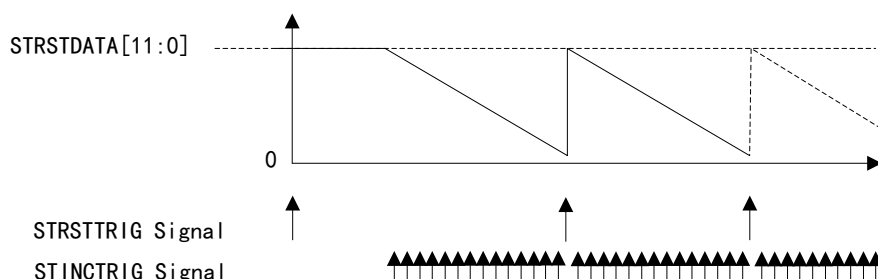
DAC 输出使用计数器值的 10 个最高有效位（MSB）。当计数器达到 0x0000 或 0xFFFF 时，数值会饱和。锯齿波复位触发信号会将计数器值初始化为

STRSTDATA[9:0]的值（第 10 至 15 位设置为 000000）。增量和复位触发必须通过 STINCTRIGSEL[2:0]和 STRSTTRIGSEL[2:0]位来选择。

STRSTTRIG 信号的优先级高于 STINCTRIG 信号。如果 STRSTTRIG 和 STINCTRIG 的触发速度超过允许的 DACx_DOR 数据更新速率，则会出错。

仅支持外部模式，数据率<200KHz；内部模式，数据率<1MHz。

图 148 软件触发锯齿波转换时序图（TDIR=0）



表格 101 锯齿波增量触发源

STINCTRIGSEL[2:0]	触发源
000	SWTRIG
001	DACx_TRG1
010	DACx_TRG2
011	DACx_TRG3
100	DACx_TRG4
101	DACx_TRG5
110	DACx_TRG6
111	DACx_TRG7

表格 102 锯齿波复位触发源

STRSTTRIGSEL[2:0]	触发源
000	SWTRIGB
001	DACx_TRG1
010	DACx_TRG2
011	DACx_TRG3
100	DACx_TRG4
101	DACx_TRG5
110	DACx_TRG6
111	DACx_TRG7

24.4.10 DAC 输出缓冲器校准

由于输出缓冲器的特性，模拟输出上会引入偏移误差。为了补偿 Vos，需要进行校准。执行校准的步骤如下：

通过将 DACx_CR 寄存器中的 EN 位设置为 1，启动 DAC 通道的校准。将代码写入 trim_offset[7:0]位，从 0 开始。

测试输出电压与期望值是否一致，如果不一致，则调整 trim_offset[7:0]。直到输出电压与期望值一致时，trim_offset[7:0]就是需要的校准值。

24.5 寄存器地址映射

下表中将 DAC 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表格 103 DAC 寄存器地址映射

寄存器名	描述	偏移地址
DACx_CR	控制寄存器	0x00
DACx_SWTRGR	软件触发寄存器	0x04
DACx_DHR10R	右对齐数据寄存器	0x08
DACx_DHR10L	左对齐数据寄存器	0x0C
DACx_DOR	数据输出寄存器	0x10
DACx_STR	锯齿波形寄存器	0x14
DACx_STMODR	锯齿模式寄存器	0x18
DAC_SR	状态寄存器	0x1C

24.6 寄存器功能描述

24.6.1 控制寄存器（DAC_CR）

偏移地址：0x00

复位值：0x0000 0000

位/域	名称	R/W	描述
31:15	保留		
14	EXT_SEL	R/W	BUFFER 输出是否接到 PAD（Whether the BUFFER output is connected to the PAD） 0: BUFFER 输出未连接到 PAD 1: BUFFER 输出连接到 PAD（外部负载 50PF） 仅当 EN=0 时才能修改。
13:12	EN_RDAC[1:0]	R/W	DAC 电阻串输出信号到运放输入的开关（A switch for the DAC resistor string to output a signal to the operational amplifier input） 控制 DAC 电阻串输出信号到运放输入的开关，低有效。 仅当 EN=0 时才能修改。
11:8	MAMP[3:0]	R/W	DAC 通道屏蔽/幅值选择（DAC channel shielding/amplitude select） 由软件设置这些位，用来在噪声生成模式下选择屏蔽位，在三角波生成模式下选择波形的幅值。 0000: 不屏蔽 LSFR 位 0 / 三角波幅值等于 1 0001: 不屏蔽 LSFR 位[1:0] / 三角波幅值等于 3 0010: 不屏蔽 LSFR 位[2:0] / 三角波幅值等于 7 0011: 不屏蔽 LSFR 位[3:0] / 三角波幅值等于 15

位/域	名称	R/W	描述
			0100: 不屏蔽 LSFR 位[4:0] / 三角波幅值等于 31 0101: 不屏蔽 LSFR 位[5:0] / 三角波幅值等于 63 0110: 不屏蔽 LSFR 位[6:0] / 三角波幅值等于 127 0111: 不屏蔽 LSFR 位[7:0] / 三角波幅值等于 255 1000: 不屏蔽 LSFR 位[8:0] / 三角波幅值等于 511 其他: 不屏蔽 LSFR 位[9:0] / 三角波幅值等于 1023 仅当 EN=0 时才能修改。
7:6	WAVE[1:0]	R/W	DAC 通道噪声/三角波生成使能 (DAC channel noise/triangular wave generation enable) 00: 波形发生器 01: 使能噪声波形发生器 10: 使能三角波发生器 11: 使能锯齿波发生器 仅当 EN=0 时才能修改。
5	保留		
4:2	TSEL[2:0]	R/W	DAC 通道触发选择 (DAC channel trigger select) 000: SWTRIG 001: DACx_TRG1 010: DACx_TRG2 ... 111: DACx_TRG7 仅当 EN=0 时才能修改。
1	保留		
0	EN	R/W	DAC 使能 (DAC enable) 0: 禁止 1: 使能

24.6.2 软件触发寄存器 (DAC_SWTRGR)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:17	保留		
16	SWTRIGB	W	DAC 通道软件触发器 B (DAC channel software trigger B) 该位由软件设置, 用于在软件触发模式下触发 DAC (锯齿波生成)。它由硬件清除。 0: 无触发 1: 触发锯齿波增量
15:1	保留		
0	SWTRIG	W	DAC 通道软件触发 (DAC channel software triggers) 该位由软件设置, 用于在软件触发模式下触发 DAC。 0: 无触发 1: 触发 注意: 一旦 DAC_DHR 寄存器的值被加载到 DAC_DOR 寄存器后, 该位会被硬件清除 (在一个 DAC_PCLK 时钟周期之后)。

24.6.3 右对齐数据寄存器 (DAC_DHR10R)

偏移地址: 0x08

复位值：0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:0	DHR10R[9:0]	R/W	DAC 通道 10 位右对齐数据 (DAC channel 10-bit right-aligned data) 这些位由软件编写。它们指定 DAC 通道的 10 位数据。

24.6.4 左对齐数据寄存器 (DAC_DHR10L)

偏移地址：0x0C

复位值：0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:6	DHR10L[9:0]	R/W	DAC 通道 10 位左对齐数据 (DAC channel 10-bit left-aligned data) 这些位由软件编写。它们指定 DAC 通道的 10 位数据。
5:0	保留		

24.6.5 数据输出寄存器 (DAC_DOR)

偏移地址：0x10

复位值：0x0000 0000

位/域	名称	R/W	描述
31:10	保留		
9:0	DOR[9:0]	R	DAC 通道数据输出 (DAC channel data output) 这些位是只读的。它们包含 DAC 通道的数据输出。 外部模式：数据率<200KHZ 内部模式：数据率<1MHZ

24.6.6 锯齿波形寄存器 (DAC_STR)

偏移地址：0x14

复位值：0x0000 0000

位/域	名称	R/W	描述
31:22	STINCDATA[9:0]	R/W	DAC 通道锯齿波增量值 (DAC channel sawtooth wave increment value)
21:13	保留		
12	STDIR	R/W	DAC 通道锯齿波方向设置 (DAC channel sawtooth wave direction set) 此位由软件编写，用于选择锯齿波步进方向。 0：递减 1：递增
11:10	保留		
9:0	STRSTDATA[9:0]	R/W	DAC 通道锯齿波复位值 (DAC channel sawtooth wave reset value)

24.6.7 锯齿模式寄存器 (DAC_STMODR)

偏移地址：0x18

复位值：0x0000 0000

位/域	名称	R/W	描述
31:11	保留		
10:8	STINCTRIGSEL[2:0]	R/W	DAC 通道锯齿波增量触发选择 (DAC channel sawtooth wave incremental trigger select) 000: SWTRIGB 001: DACx_TRG1 111: DACx_TRG7 仅当 EN=0 时才能修改。
7:3	保留		
2:0	STRSTTRIGSEL[2:0]	R/W	DAC 通道锯齿波复位触发选择 (DAC channel sawtooth wave reset trigger select) 000: SWTRIG 001: DACx_TRG1 111: DACx_TRG7 映射与 TSEL[3:0]相同。 仅当 EN=0 时才能修改。

24.6.8 状态寄存器 (DAC_SR)

偏移地址: 0x1C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:2	保留		
1	UP_OW_FLAG	RC_W1	DOR 数据上溢标志 (DOR data overflow flag) 0: 未发生数据上溢 1: 已发生数据上溢
0	DOWN_OW_FLAG	RC_W1	DOR 数据下溢标志 (DOR data underflow flag) 0: 未发生数据下溢 1: 已发生数据下溢

25 温度传感器（TS）

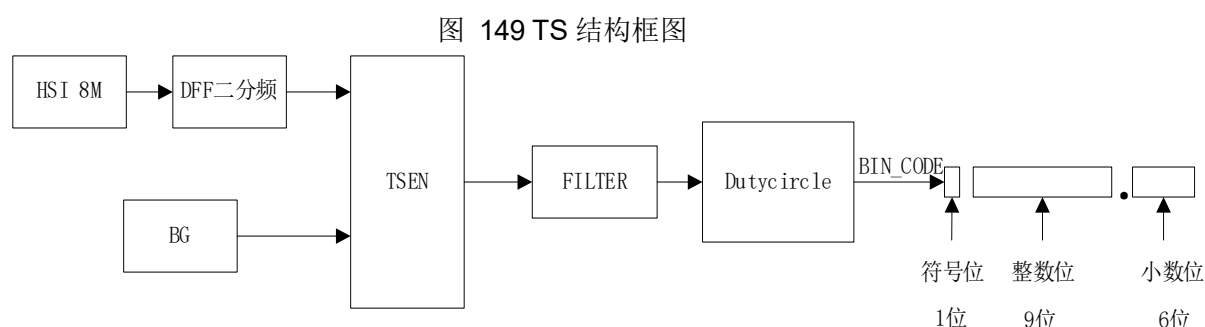
25.1 简介

芯片内置一个温度传感器模块，可配置不同的速率生成数据，数据产生后，可以触发中断。

25.2 主要特征

- （1） 使能后硬件自动转换
- （2） 采样率可配置
- （3） 16 位数据
 - 最高位为符号位
 - 9 位整数位
 - 6 位小数位
- （4） 转换完成后支持产生中断

25.3 结构框图



25.4 功能描述

通过软件将 TS_CR 寄存器的 TS_EN 位设置为 1 后，启动温度传感器模块。启动后，硬件会自动开始转换数据，当转换完成后，数据被存入 TS_DR 寄存器，同时 TS_SR 寄存器的 RDY 位被置 1。如果 TS_CR 寄存器的 TS_IE 位为 1，则会触发产生中断。

当 TS_SR 寄存器的 RDY 为 1 时，软件读取 TS_DR 寄存器后，硬件会自动将 RDY 位清零。如果 RDY 位一直为 1，则 TS_DR 寄存器的值不会更新，一直保留上一次转换后的值，建议使用时使能数据溢出更新，确保 TS_DR 寄存器保存的数值为最新的采样值。

温度传感器转换后的值存储在 TS_DR 寄存器的 DATA[15:0]位段中，其中最高位为符号位，DATA[14:6]位段为整数，DATA[5:0]为小数。

25.5 寄存器地址映射

表格 104 TS 寄存器地址映射

寄存器名	描述	偏移地址
TS_CR	控制寄存器	0x00
TS_DR	数据寄存器	0x04
TS_SR	状态寄存器	0x08

25.6 寄存器功能描述

25.6.1 控制寄存器 (TS_CR)

偏移地址: 0x00

复位值: 0x0000 0004

位/域	名称	R/W	描述
31:18	保留		
17	OVRIE	R/W	TS 模块数据溢出中断使能 (TS module data overflow interrupt enable) 0: 当数据溢出时, 不产生中断 1: 当数据溢出时, 产生中断
16	TS_IE	R/W	TS 模块中断使能 (TS module interrupt enable) 0: 禁止 1: 使能
15:5	保留		
4	OVRMOD	R/W	数据溢出控制 (Data overflow control) 0: 当发生数据溢出时, TS_DR 寄存器保留原来的值 1: 当发生数据溢出时, TS_DR 寄存器使用新值覆盖原来的值
3	保留		
2:1	OSR_SEL	R/W	采样率配置 (Sampling rate configure) 00: 128 01: 256 10: 512 11: 1024 注意: 配置对应的值为采样周期值。
0	TS_EN	R/W	TS 模块使能 (TS module enable) 0: 禁止 1: 使能

25.6.2 数据寄存器 (TS_DR)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:16	保留		
15:0	DATA	R	采样数据 (Sample data)

位/域	名称	R/W	描述
			最高位符号位+9bit 整数+6bit 小数

25.6.3 状态寄存器 (TS_SR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31:2			保留
1	OVR	RC_W1	溢出标志 (Overflow flag) 当 RDY 标志位为 1 时有新数据产生, 由硬件将该位设置为 1。软件对此位写 1 可将此位清零。当此位为 1 时。 0: 没有数据溢出 1: 发生数据溢出
0	RDY	RC_W1	采样数据有效标志 (Sampling data valid flag) 当采样数据就绪后由硬件置 1。 当读取 TS_DR 寄存器后, 该位由硬件自动清零。

26 比较器（COMP）

26.1 术语全称、缩写描述

表格 105 术语全称、缩写描述

中文全称	英文全称	英文缩写
比较器	Comparator	COMP
反转	Invert	INV
迟滞	Hysteresis	HYS
同相输入	Input Plus	INP
反相输入	Input Minus	INM

26.2 简介

MCU 内嵌四个可独立使用的通用比较器（COMP1、COMP2、COMP3、COMP4），它们可以和定时器结合使用。

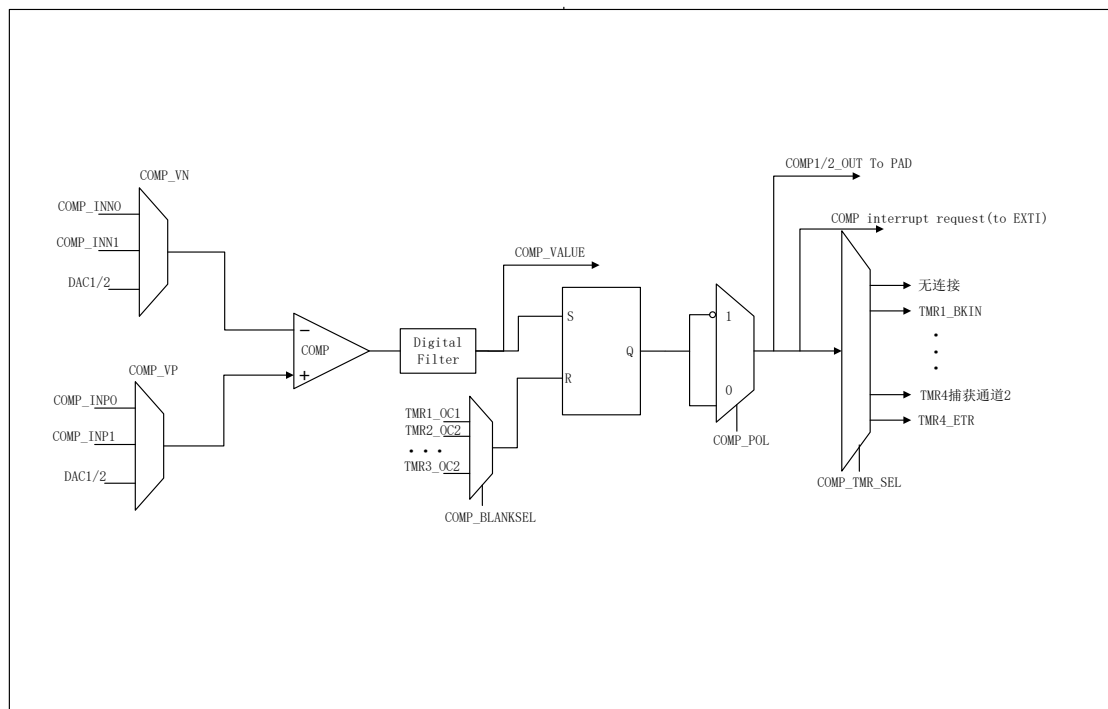
26.3 主要特征

COMP 模块支持的功能如下：

- 每个比较器具有可配置的正负输入，用于灵活的电压选择；
 - 选择 GPIO 的输出电压
 - 内部输入可选择 DAC1 或 DAC2 的输出电压
- 输出极性支持可配置
- 比较器输出可以连接到 I/O 或连接到内部 16 位定时器进行计数
- 比较器输出在内部连接到扩展中断和事件控制器，每个比较器都有自己的 EINT 行，可以生成中断事件
- 输出消隐以抵抗切换噪声

26.4 结构框图

图 150 COMP 结构框图



26.5 功能描述

G32R430 内置 4 个模拟比较器。

这些比较器可用于多种功能，包括模拟信号调理与定时器的 PWM 输出结合使用时进行逐周期电流控制回路。

26.5.1 COMP 引脚

比较器可复用的输入、输出引脚列举如下：

表格 106 比较器引脚

	COMP1	COMP2	COMP3	COMP4
负端输入	PD11/PD12	PD9/PD10	PB3/PB2	PB6/PB8
正端输入	PD12/PD11	PD10/PD9	PB2/PB3	PB7/PB9
输出	PB6	PB9	/	/

26.5.2 COMP 时钟与复位

四个 COMP 共用一个时钟使能控制位，时钟与 PCLK 同步。配置 RCM_APB CG 寄存器的 COMPCEN 位可控制 COMP 时钟使能或禁用。

COMP 可通过系统复位或配置 RCM_APB RST 寄存器的 COMPRST 位来达到模块的复位。

26.5.3 COMP 写保护

比较器可用于安全目的，如过流或热保护。对于具有特定功能安全要求的应用程序，必须确保在发生虚假寄存器访问或程序计数器损坏时不能更改比较器配置。比较器控制寄存器和状态寄存器可以被写保护。

一旦编程完成，就可以设置 COMP_CxCSR 寄存器的 LOCK 位。这将导致整个寄存器变为只读，包括 LOCK 位。写保护只能通过复位来解除。

26.5.4 COMP 输入

GPIO 作为比较器输入时需要配置为模拟模式。

COMP 输入分为同相输入与反相输入。输入连接可以选择 IO 引脚、内部 DAC 输出的电压，通过配置 COMP_CxCSR 寄存器中的 VP_SEL、VN_SEL 来选择输入电压。内部连接可选择 DAC1 或 DAC2 的输出电压。

26.5.5 COMP 输出

比较器的输出可以连接到外部 IO 口，同样也可以连接到内部定时器信号：定时器的输入捕获通道。

输出连接可通过编程 COMP_CxCSR 寄存器的 COMP_TMR_SEL[3:0]位来进行修改。

输出极性可通过编程 COMP_CxCSR 寄存器的 POL 位来进行修改。

26.5.6 COMP 迟滞

比较器包含一个可编程的滞后功能，以避免在输入信号噪声较大时产生伪输出转换。该迟滞功能是非对称的，仅作用于比较器输出的下降沿。内部迟滞功能可以被禁用，从而可以通过外部组件设置迟滞量。

输出极性可通过编程 COMP_CxCSR 寄存器的 POL 位来进行修改。

26.5.7 COMP 输出消隐

消隐功能的目的是防止在 PWM 周期开始时的短暂电流尖峰（通常是功率开关反并联二极管中的恢复电流）导致电流调节失效。这通过设置一个由定时器输出比较信号定义的消隐窗口来实现。消隐源通过相应的 COMP_CxCSR 寄存器的 BLANKSEL[2:0]位域，由软件为每个比较器通道单独选择。反相消隐信号与比较器级输出进行逻辑与运算，以生成比较器通道 x 的输出。

26.5.8 COMP 中断

比较器输出内部连接到了外部中断/事件控制器（EINT），正确配置外部中断可产生 EINT 中断或者唤醒进入 STOP 模式的 MCU。

26.6 寄存器地址映射

表格 107 COMP 寄存器地址映射

寄存器名	描述	偏移地址
COMP_C1CSR	COMP1 控制状态寄存器	0x00
COMP_C2CSR	COMP2 控制状态寄存器	0x04
COMP_C3CSR	COMP3 控制状态寄存器	0x08
COMP_C4CSR	COMP4 控制状态寄存器	0x0C

26.7 寄存器功能描述

26.7.1 COMP1 控制状态寄存器 (COMP_C1CSR)

偏移地址: 0x00

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	LOCK	R/W	锁定比较器 1 控制状态寄存器 (Lock comparator 1 control status register) 该位由软件设置, 并由硬件系统复位清除。它锁定比较器 1 控制状态寄存器 COMP_C1CSR[31:0]的全部内容。当锁定时, 所有控制位和标志位仅可读不可写。当解锁时, 控制位也可以被软件写入。 0: 解锁 1: 锁定
30	VALUE	R	极性选择器和屏蔽之前的电平值 (Polarity selector and the level value before shielding) 该只读标志反映了比较器 1 输出在极性选择器和屏蔽之前的电平值。
29:21	保留		
20:18	BLANKSEL	R/W	选择比较器通道 1 的屏蔽信号 (Comparator channel 1 mask signal select) 该位域由软件控制, 用于选择比较器通道 1 的屏蔽信号。 000: TMR1_OC1 001: TMR2_OC2 010: TMR3_OC3 011: TMR4_OC4 100: TMR1_OC4 110: TMR2_OC1 111: TMR3_OC2
17:16	HYS	R/W	比较器 1 迟滞功能使能 (Comparator 1 hysteresis function enable) 00: 无迟滞 01: 迟滞电压为 24mV 10: 迟滞电压为 45mV 11: 迟滞电压为 65mV

位/域	名称	R/W	描述
15	POL	R/W	选择比较器 1 的输出极性 (Comparator 1 output polarity select) 该位由软件控制。 0: 非反相 1: 反相
14:12	保留		
11:8	COMP_TMR_SEL	R/W	输出连接 (output connection) 0000: 无连接 0001: TMR1_BKIN 0010: TMR1 捕获通道 1 0011: TMR1 捕获通道 2 0100: TMR1_ETR 0101: TMR2 捕获通道 1 0110: TMR2 捕获通道 2 0111: TMR2 捕获通道 3 1000: TMR2 捕获通道 4 1001: TMR2_ETR 1010: TMR3 捕获通道 1 1011: TMR3 捕获通道 2 1100: TMR3_ETR 1101: TMR4 捕获通道 1 1110: TMR4 捕获通道 2 1111: TMR4_ETR
7:6	VP_SEL	R/W	比较器 1 正端输入电压选择 (Comparator 1 positive input voltage select) 00: 选择 COMP1 的 INP0 引脚作为输入 01: 选择 COMP1 的 INP1 引脚作为输入 10: 选择 DAC2 的输出电压 11: 保留
5:4	VN_SEL	R/W	比较器 1 负端输入电压选择 (Comparator 1 negative terminal input voltage select) 00: 选择 COMP1 的 INN0 引脚作为输入 01: 选择 COMP1 的 INN1 引脚作为输入 10: 选择 DAC2 的输出电压 11: 保留
3:1	FILTER	R/W	比较器 1 数字滤波时间选择 (Comparator 1 digital filter time select) 000: 不滤波 001: 2 x HSI CLK 010: 4 x HSI CLK 011: 6 x HSI CLK 100: 12 x HSI CLK 101: 18 x HSI CLK 110: 24 x HSI CLK 111: 30 x HSI CLK
0	EN	R/W	使能比较器 1 (Comparator 1 enable) 该位由软件控制。

位/域	名称	R/W	描述
			0: 禁用 1: 使能

26.7.2 COMP2 控制状态寄存器 (COMP_C2CSR)

偏移地址: 0x04

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	LOCK	R/W	锁定比较器 2 控制状态寄存器 (Lock comparator 2 control status register) 该位由软件设置, 并由硬件系统复位清除。它锁定比较器 2 控制状态寄存器 COMP_C2CSR[31:0]的全部内容。当锁定时, 所有控制位和标志位仅可读不可写。当解锁时, 控制位也可以被软件写入。 0: 解锁 1: 锁定
30	VALUE	R	极性选择器和屏蔽之前的电平值 (Polarity selector and the level value before shielding) 该只读标志反映了比较器 2 输出在极性选择器和屏蔽之前的电平值。
29:21	保留		
20:18	BLANKSEL	R/W	选择比较器通道 2 的屏蔽信号 (Comparator channel 2 mask signal select) 该位域由软件控制, 用于选择比较器通道 2 的屏蔽信号。 000: TMR1_OC1 001: TMR2_OC2 010: TMR3_OC3 011: TMR4_OC4 100: TMR1_OC4 110: TMR2_OC1 111: TMR3_OC2
17:16	HYS	R/W	比较器 2 迟滞功能使能 (Comparator 2 hysteresis function enable) 00: 无迟滞 01: 迟滞电压为 24mV 10: 迟滞电压为 45mV 11: 迟滞电压为 65mV
15	POL	R/W	选择比较器 2 的输出极性 (Comparator 2 output polarity select) 该位由软件控制。 0: 非反相 1: 反相
14:12	保留		
11:8	COMP_TMR_SEL	R/W	输出连接 (output connection) 0000: 无连接 0001: TMR1_BKIN 0010: TMR1 捕获通道 1 0011: TMR1 捕获通道 2 0100: TMR1_ETR

位/域	名称	R/W	描述
			0101: TMR2 捕获通道 1 0110: TMR2 捕获通道 2 0111: TMR2 捕获通道 3 1000: TMR2 捕获通道 4 1001: TMR2_ETR 1010: TMR3 捕获通道 1 1011: TMR3 捕获通道 2 1100: TMR3_ETR 1101: TMR4 捕获通道 1 1110: TMR4 捕获通道 2 1111: TMR4_ETR
7:6	VP_SEL	R/W	比较器 2 正端输入电压选择 (Comparator 2 positive input voltage select) 00: 选择 COMP2 的 INP0 引脚作为输入 01: 选择 COMP2 的 INP1 引脚作为输入 10: 选择 DAC2 的输出电压 11: 保留
5:4	VN_SEL	R/W	比较器 2 负端输入电压选择 (Comparator 2 negative terminal input voltage select) 00: 选择 COMP2 的 INN0 引脚作为输入 01: 选择 COMP2 的 INN1 引脚作为输入 10: 选择 DAC2 的输出电压 11: 保留
3:1	FILTER	R/W	比较器 2 数字滤波时间选择 (Comparator 2 digital filter time select) 000: 不滤波 001: 2 x HSI CLK 010: 4 x HSI CLK 011: 6 x HSI CLK 100: 12 x HSI CLK 101: 18 x HSI CLK 110: 24 x HSI CLK 111: 30 x HSI CLK
0	EN	R/W	使能比较器 2 (Comparator 2 enable) 该位由软件控制。 0: 禁用 1: 使能

26.7.3 COMP3 控制状态寄存器 (COMP_C3CSR)

偏移地址: 0x08

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	LOCK	R/W	锁定比较器 3 控制状态寄存器 (Lock comparator 3 control status register) 该位由软件设置, 并由硬件系统复位清除。它锁定比较器 3 控制状态寄存器 COMP_C3CSR[31:0]的全部内容。当锁定时, 所有控制位和标志位仅可读不可写。当解锁时, 控制位也可以被软件写入。

位/域	名称	R/W	描述
			0: 解锁 1: 锁定
30	VALUE	R	极性选择器和屏蔽之前的电平值 (Polarity selector and the level value before shielding) 该只读标志反映了比较器 3 输出在极性选择器和屏蔽之前的电平值。
29:21	保留		
20:18	BLANKSEL	R/W	选择比较器通道 3 的屏蔽信号 (Comparator channel 3 mask signal select) 该位域由软件控制, 用于选择比较器通道 3 的屏蔽信号。 000: TMR1_OC1 001: TMR2_OC2 010: TMR3_OC3 011: TMR4_OC4 100: TMR1_OC4 110: TMR2_OC1 111: TMR3_OC2
17:16	HYS	R/W	比较器 3 迟滞功能使能 (Comparator 3 hysteresis function enable) 00: 无迟滞 01: 迟滞电压为 24mV 10: 迟滞电压为 45mV 11: 迟滞电压为 65mV
15	POL	R/W	选择比较器 3 的输出极性 (Comparator 3 output polarity select) 该位由软件控制。 0: 非反相 1: 反相
14:12	保留		
11:8	COMP_TMR_SEL	R/W	输出连接 (output connection) 0000: 无连接 0001: TMR1_BKIN 0010: TMR1 捕获通道 1 0011: TMR1 捕获通道 2 0100: TMR1_ETR 0101: TMR2 捕获通道 1 0110: TMR2 捕获通道 2 0111: TMR2 捕获通道 3 1000: TMR2 捕获通道 4 1001: TMR2_ETR 1010: TMR3 捕获通道 1 1011: TMR3 捕获通道 2 1100: TMR3_ETR 1101: TMR4 捕获通道 1 1110: TMR4 捕获通道 2 1111: TMR4_ETR

位/域	名称	R/W	描述
7:6	VP_SEL	R/W	比较器 3 正端输入电压选择 (Comparator 3 positive input voltage select) 00: 选择 COMP3 的 INP0 引脚作为输入 01: 选择 COMP3 的 INP1 引脚作为输入 10: 选择 DAC1 的输出电压 11: 保留
5:4	VN_SEL	R/W	比较器 3 负端输入电压选择 (Comparator 3 negative terminal input voltage select) 00: 选择 COMP3 的 INN0 引脚作为输入 01: 选择 COMP3 的 INN1 引脚作为输入 10: 选择 DAC1 的输出电压 11: 保留
3:1	FILTER	R/W	比较器 3 数字滤波时间选择 (Comparator 3 digital filter time select) 000: 不滤波 001: 2 x HSI CLK 010: 4 x HSI CLK 011: 6 x HSI CLK 100: 12 x HSI CLK 101: 18 x HSI CLK 110: 24 x HSI CLK 111: 30 x HSI CLK
0	EN	R/W	使能比较器 3 (Comparator 3 enable) 该位由软件控制。 0: 禁用 1: 使能

26.7.4 COMP4 控制状态寄存器 (COMP_C4CSR)

偏移地址: 0x0C

复位值: 0x0000 0000

位/域	名称	R/W	描述
31	LOCK	R/W	锁定比较器 4 控制状态寄存器 (Lock comparator 4 control status register) 该位由软件设置, 并由硬件系统复位清除。它锁定比较器 4 控制状态寄存器 COMP_C4CSR[31:0]的全部内容。当锁定时, 所有控制位和标志位仅可读不可写。当解锁时, 控制位也可以被软件写入。 0: 解锁 1: 锁定
30	VALUE	R	极性选择器和屏蔽之前的电平值 (Polarity selector and the level value before shielding) 该只读标志反映了比较器 4 输出在极性选择器和屏蔽之前的电平值。
29:21	保留		
20:18	BLANKSEL	R/W	选择比较器通道 4 的屏蔽信号 (Comparator channel 4 mask signal select) 该位域由软件控制, 用于选择比较器通道 4 的屏蔽信号。 000: TMR1_OC1

位/域	名称	R/W	描述
			001: TMR2_OC2 010: TMR3_OC3 011: TMR4_OC4 100: TMR1_OC4 110: TMR2_OC1 111: TMR3_OC2
17:16	HYS	R/W	比较器 4 迟滞功能使能 (Comparator 4 hysteresis function enable) 00: 无迟滞 01: 迟滞电压为 24mV 10: 迟滞电压为 45mV 11: 迟滞电压为 65mV
15	POL	R/W	选择比较器 4 的输出极性 (Comparator 4 output polarity select) 该位由软件控制。 0: 非反相 1: 反相
14:12	保留		
11:8	COMP_TMR_SEL	R/W	输出连接 (output connection) 0000: 无连接 0001: TMR1_BKIN 0010: TMR1 捕获通道 1 0011: TMR1 捕获通道 2 0100: TMR1_ETR 0101: TMR2 捕获通道 1 0110: TMR2 捕获通道 2 0111: TMR2 捕获通道 3 1000: TMR2 捕获通道 4 1001: TMR2_ETR 1010: TMR3 捕获通道 1 1011: TMR3 捕获通道 2 1100: TMR3_ETR 1101: TMR4 捕获通道 1 1110: TMR4 捕获通道 2 1111: TMR4_ETR
7:6	VP_SEL	R/W	比较器 4 正端输入电压选择 (Comparator 4 positive input voltage select) 00: 选择 COMP4 的 INP0 引脚作为输入 01: 选择 COMP4 的 INP1 引脚作为输入 10: 选择 DAC1 的输出电压 11: 保留
5:4	VN_SEL	R/W	比较器 4 负端输入电压选择 (Comparator 4 negative terminal input voltage select) 00: 选择 COMP4 的 INN0 引脚作为输入 01: 选择 COMP4 的 INN1 引脚作为输入 10: 选择 DAC1 的输出电压 11: 保留

位/域	名称	R/W	描述
3:1	FILTER	R/W	比较器 4 数字滤波时间选择 (Comparator 4 digital filter time select) 000: 不滤波 001: 2 x HSI CLK 010: 4 x HSI CLK 011: 6 x HSI CLK 100: 12 x HSI CLK 101: 18 x HSI CLK 110: 24 x HSI CLK 111: 30 x HSI CLK
0	EN	R/W	使能比较器 4 (Comparator 4 enable) 该位由软件控制。 0: 禁用 1: 使能

27 芯片电子签名

27.1 简介

芯片的电子签名存储在系统存储区，可以通过 CPU 或仿真器读取。电子签名包含出厂前写入的标识和校准数据，这些内容可以通过用户代码或其他外部器件去识别此芯片的特性。

27.2 功能描述

27.2.1 96 位唯一 ID

96 位唯一 ID 可以应用在以下几个场合：

- 用作序列号，由软件读取或使用
- 在对内部 FLASH 进行编程前将唯一 ID 与软件加密原文或协议结合使用，用作安全密钥的一部分以提高 FLASH 中代码的安全性
- 激活安全自举过程等

27.3 寄存器功能描述

96 位唯一 ID 提供了一个对于任何芯片和任何上下文都唯一的参考号码。这些位段用户只能读取，无法更改。此模块的基地址为 0x0802 020C。

27.3.1 唯一设备 96 位唯一芯片 ID

偏移地址：0x00

复位值：0xFFFF XXXX

位/域	名称	R/W	描述
31:0	U_ID[31:0]	R	以 BCD 格式表示晶圆上的 X 和 Y 坐标

偏移地址：0x04

复位值：0xFFFF XXXX

位/域	名称	R/W	描述
31:8	UID[63:40]	R	以 ASCII 码表示 Lot number 的低 24 位 (LOT_NUM[23:0])
7:0	UID[39:32]	R	以 8 位无符号数表示 Wafer number (WAFE_NUM[7:0])

偏移地址：0x08

复位值：0xFFFF XXXX

位/域	名称	R/W	描述
31:0	U_ID[95:64]	R	以 ASCII 码表示 Lot number 的高 32 位 (LOT_NUM[55:24])

27.3.2 主存储区容量寄存器

该寄存器用于配置闪存容量以及产品 ID。

基地址：0x0802 0208

偏移地址：0x00

复位值：0XXXXX XXXX

位/域	名称	R/W	描述
31:16	保留		
15:0	FLASH_SIZE [15:0]	R	FLASH 容量值，以 Kbytes 表示。比如 0x0080 表示 128Kbytes。

28 版本历史

表格 108 文件版本历史记录

日期	版本	变更历史
2026.4	1.0	初始版本
2026.7	1.1	- 删除 RCM_SYS_ANACR1 寄存器和 RCM_SYS_ANACR0 寄存器的 bit15:0 - 增加 LPTMR 寄存器的读写属性

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合

同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标

准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿 responsibility，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2026 珠海极海半导体有限公司 – 保留所有权利